

核探测与核电子学国家重点实验室2014年年会

SOI像素探测器的研究进展

核探测与核电子学国家重点实验室自主部署项目资助（2011，2013）
国家自然科学基金面上项目资助（2014-2017）

刘义 卢云鹏 欧阳群

2014-04-24

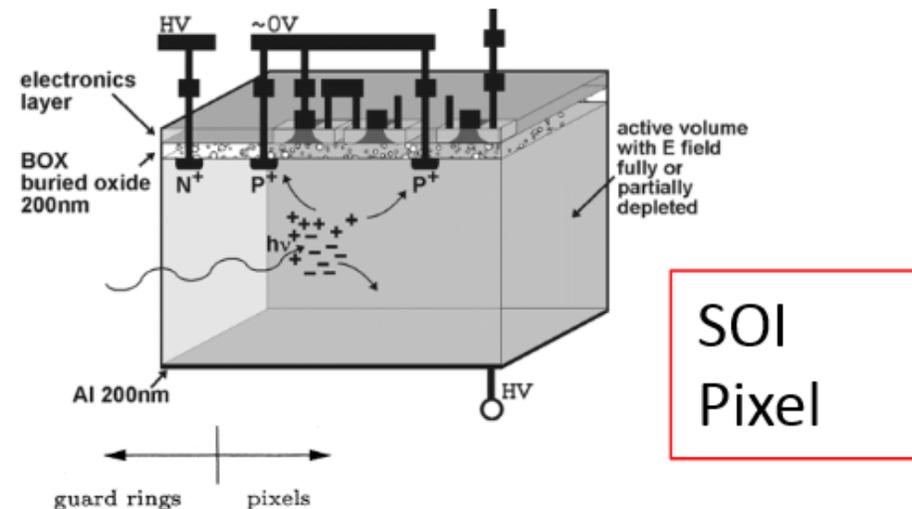
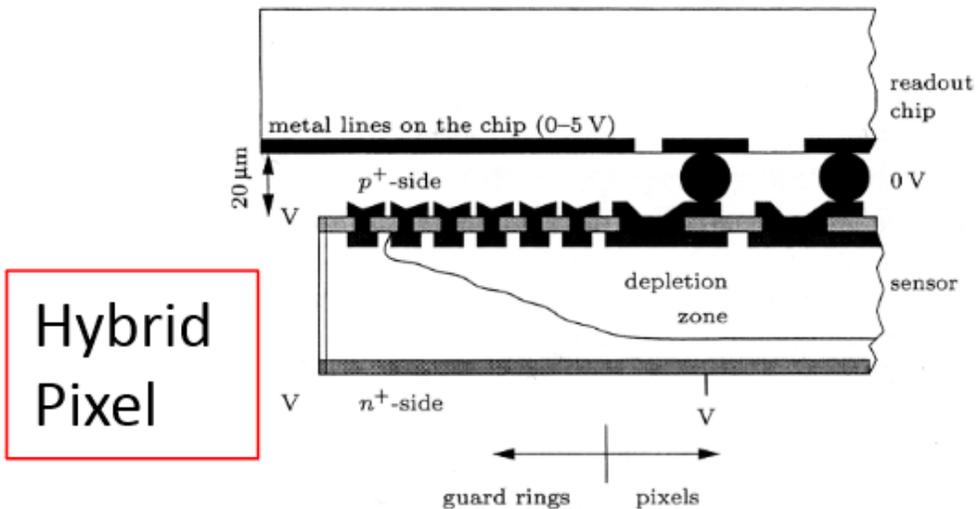
中国科学院高能物理研究所

Outline

- 前期研究回顾
- 嵌套阱结构屏蔽机制
- CPIXTEG3测试
- Double-SOI屏蔽机制与CPIXTEG3b设计
- 项目完成情况

SOI技术的优势

- 与传统的混合型像素探测器相比，**不需要Bump Bonding工艺**，有利于减薄处理。在高能物理顶点探测器应用中实现**极低质量**，减少多次散射对粒子径迹测量的影响。
- 与MAPS像素探测器相比，具备**全耗尽高阻Sensor**，有利于高效探测X射线，应用于同步辐射领域，有望为衍射和散射实验提供二维X射线强度探测器。



前期的工作

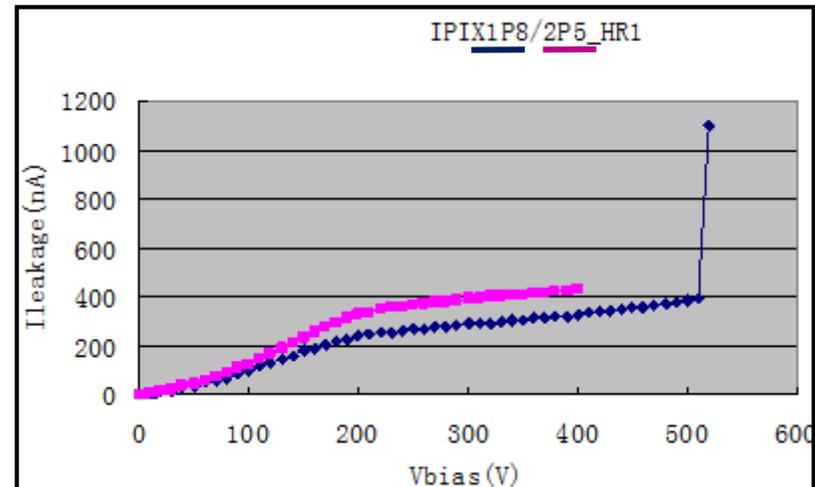
2011年：5月份开始研究SOI在粒子探测器的应用
积分型SOI硅像素探测器流片

2012年：测试系统开发，芯片测试

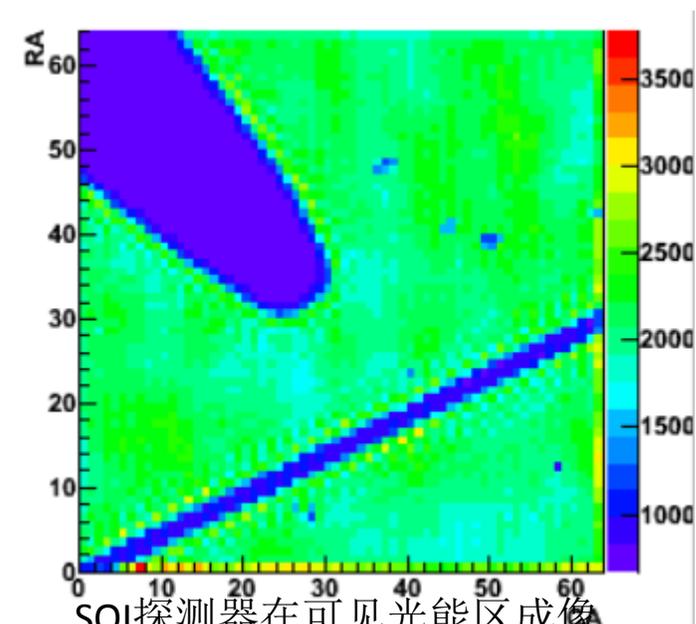
阶段性目标：了解SOI工艺特点，熟悉设计流程
成功建立了可工作探测器系统



2013年1月，提交了第一版计数型的芯片设计CPIXTEG3
面向同步辐射应用，同时为未来高能物理应用打下基础



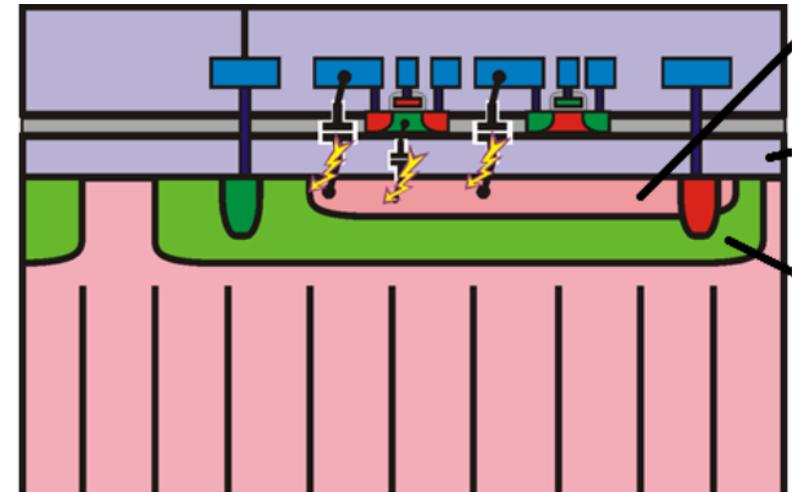
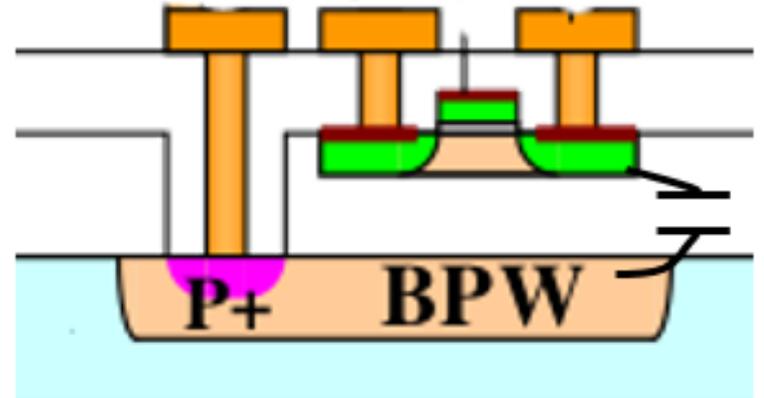
漏电流曲线，最高400V全耗尽
电压下正常工作



SOI探测器在可见光能区成像
图中，为镊子尖和一根25微米金属丝的阴影。

计数型芯片需要解决的特有问题：
Sensor和像素电路间屏蔽

- MOS管有源区与大面积的收集电极形成大电容，电路的状态切换对收集极注入噪声电荷。
 - 氧化埋入层厚度为200nm
每1平方微米电容为0.17fF
注入电荷 $1060e^-/(v \cdot \mu m^2)$ 平板电容器近似
- Sensor中的电场分布对片上电路的背栅效应。
- 在Sensor与片上电路间需要屏蔽机制。



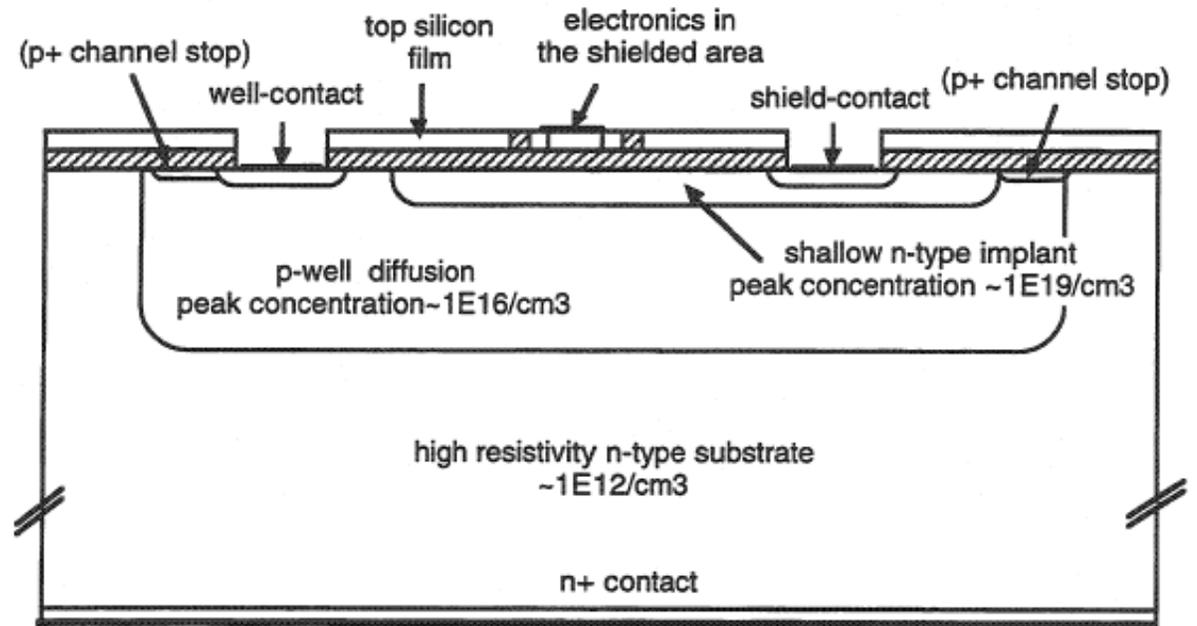
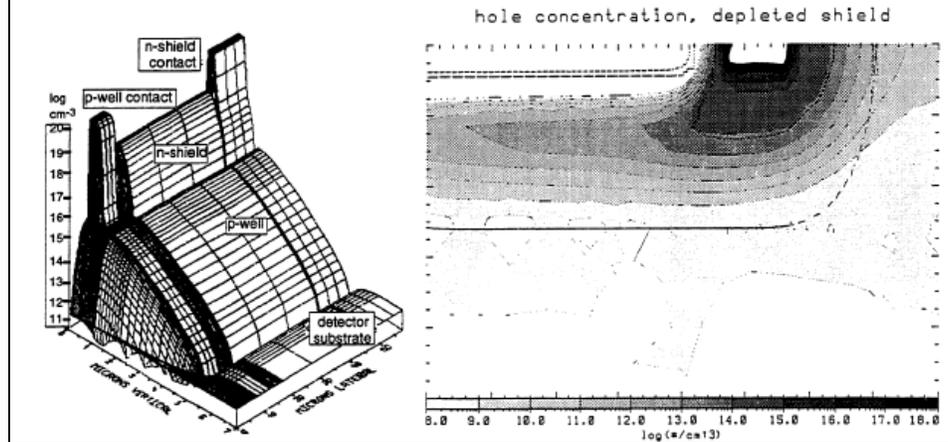
在电荷收集极与氧化埋入层间，对电荷收集极反向参杂，构成导电层，屏蔽电路MOS管动作对电荷收集极的注入。

嵌套阱结构的屏蔽机制

Monolithic Silicon Pixel Detectors in SOI Technology

原始文献

Franz Xaver Pengg



Franz Pengg 的思路是反偏屏蔽层与收集极之间的PN结，使收集电极全耗尽，减小收集极面积和电容。工艺关键点：收集极和屏蔽层在制备SOI晶圆前进行Pre-Process处理，形成高掺杂的低阻屏蔽层，工艺流程过长，难度大。

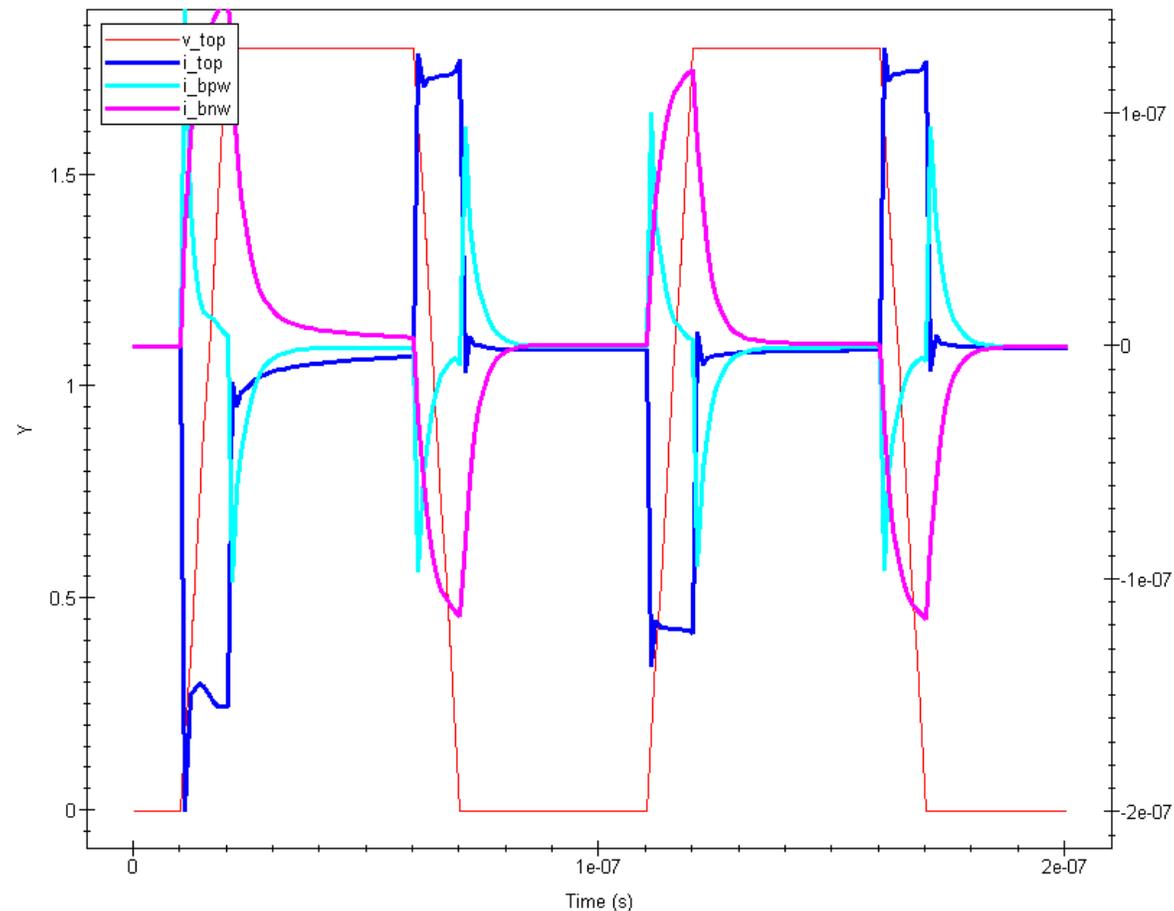
存在的问题：实际制作中wafer bonding的高温导致高掺杂的屏蔽层向收集极扩散，破坏了嵌套阱结构。此外该方法的全耗尽收集电极可能降低电荷收集效率，论文中没有对此予以考虑。

评估Nested-Wells的屏蔽效果



我们的SOI探测器基于商业SOI晶圆，只能使用后注入，屏蔽层掺杂浓度无法达到Pengg提出的浓度。因此我们要基于不同的工艺研究屏蔽效果。

bnw shields the major portion of charge injection from top MOS (edge 10ns)



TCAD模拟当前工艺嵌套阱结构的屏蔽效果
电压脉冲10ns上升沿，1.8V电压幅度
嵌套阱结构能有效屏蔽3/4的注入电荷

评估Nested-Wells的屏蔽效果

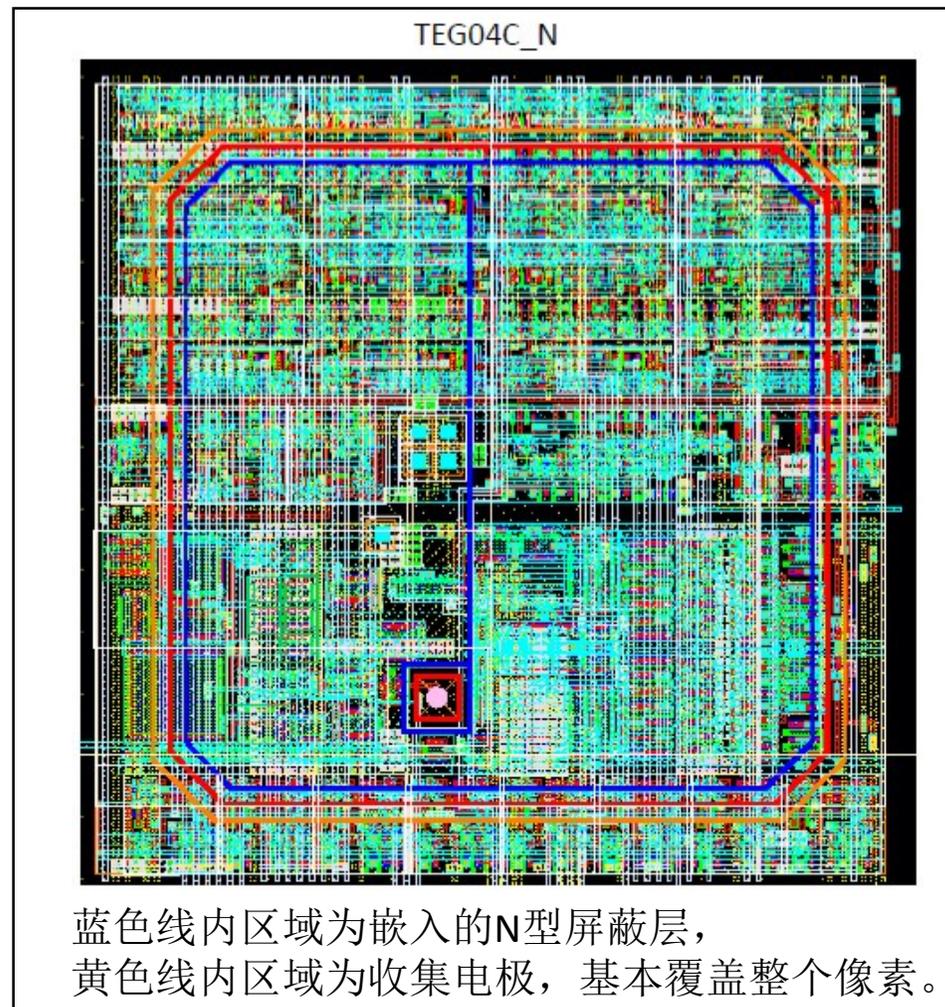
cpixteg3的嵌套阱结构测试单元(TEG04C_N)

测试单元包含一个完整像素，尺寸64um。其收集电极覆盖整个像素，并含有嵌套结构的N阱屏蔽层。

- 探测器电容达到800fF，对噪声不利
- 但有很好的电荷收集效率

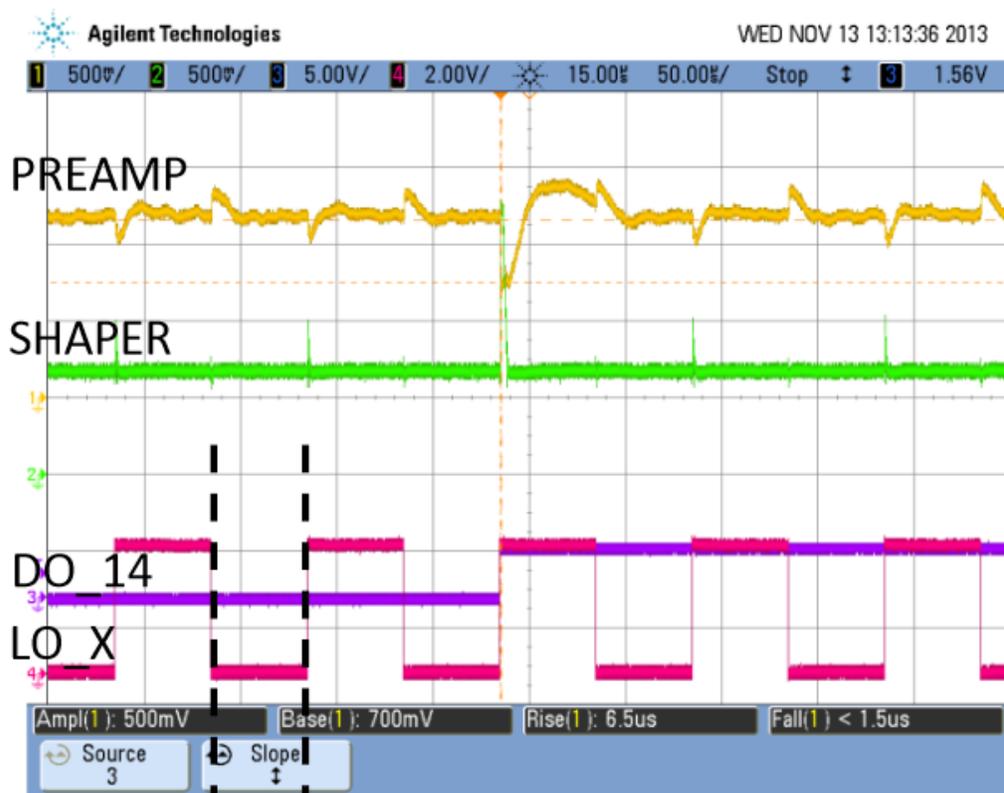
该单元的测试思路：

- 外部引线接入计数器前端
- 触发计数器动作，改变寄存器状态
- 观察该像素前放和成形的输出
- 分析寄存器进位瞬间的对收集电极的电荷注入

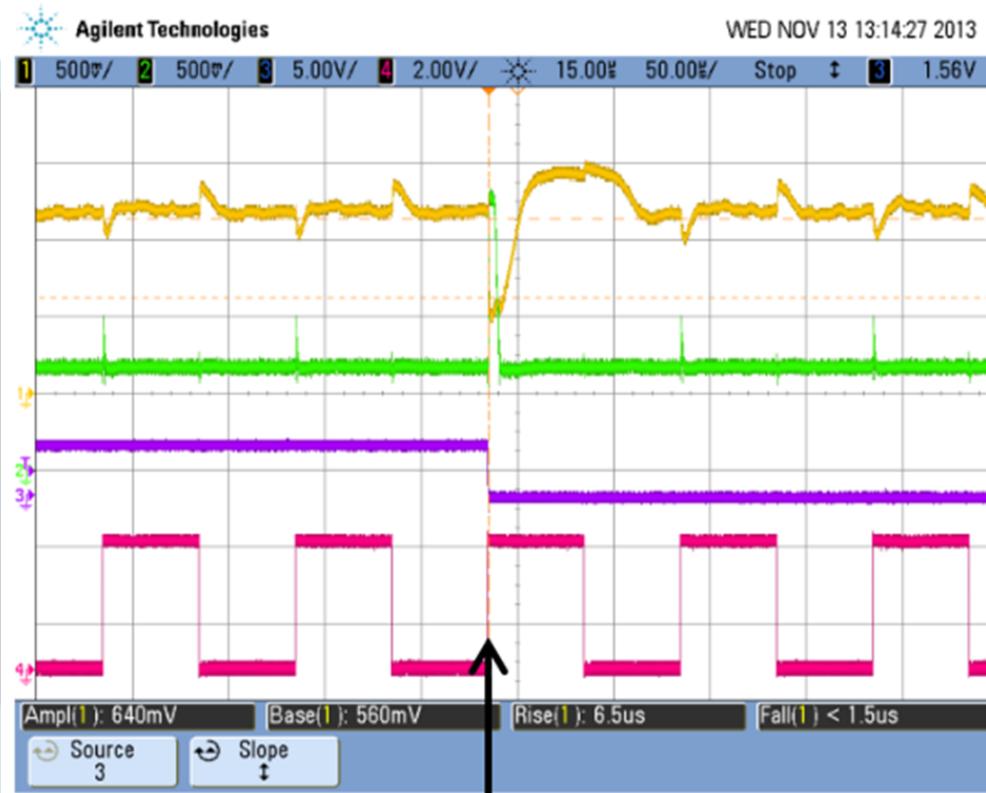


测试Nested-Wells的屏蔽效果

寄存器进位操作，电容耦合到收集极端，观察到电荷注入



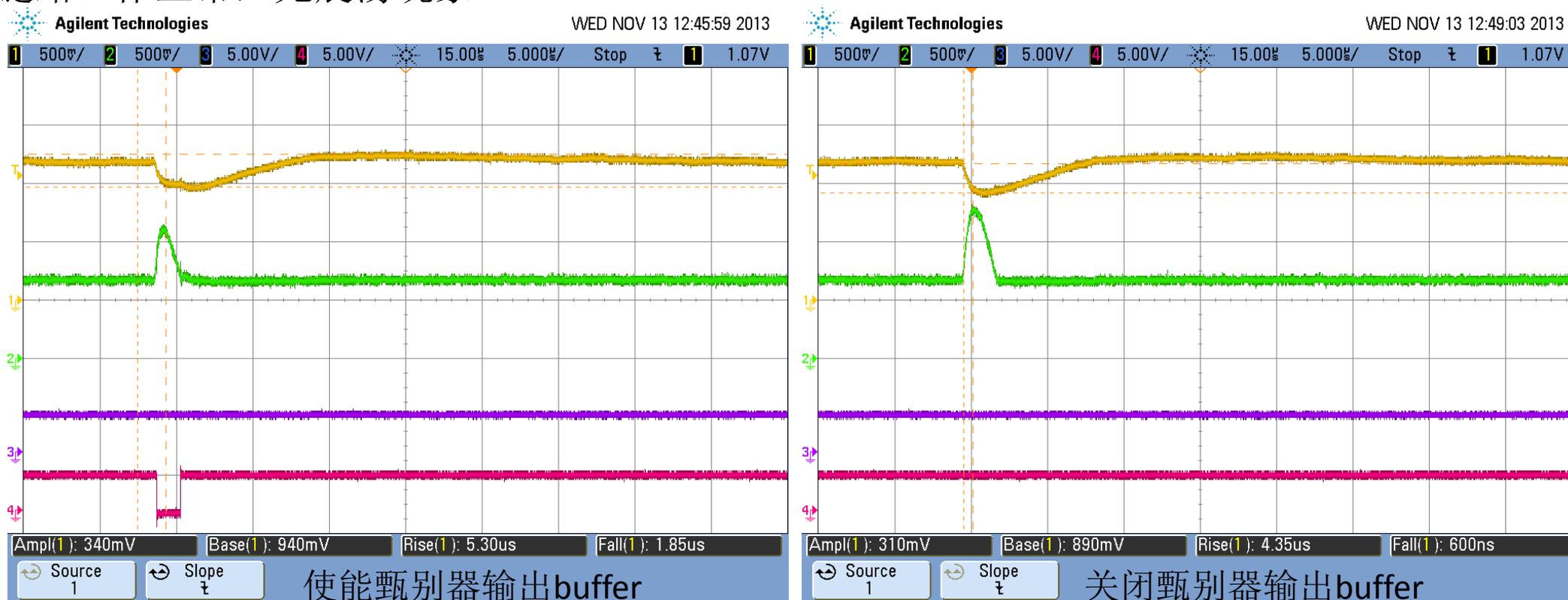
Hit logic operation Counter operation



X111_1111_1111_1111 TEG04C_N测试现象
→ X000_0000_0000_0000

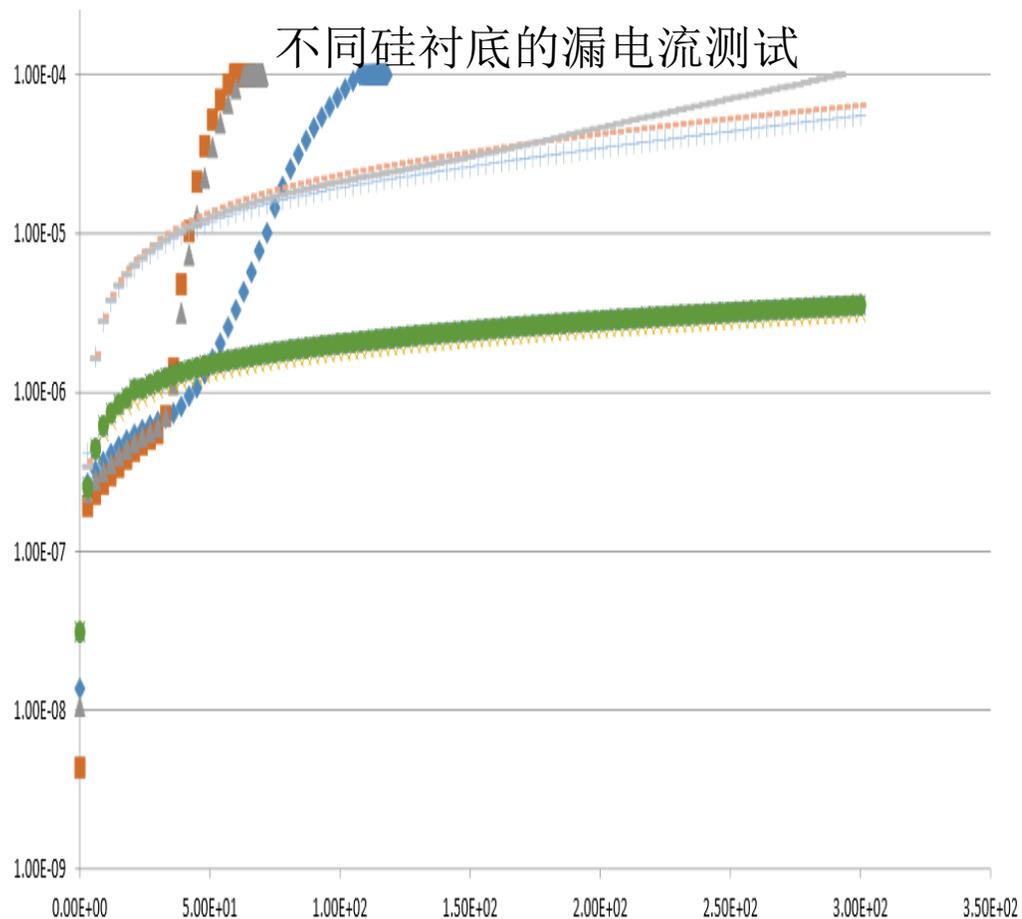
测试Nested-Wells的屏蔽效果

关闭计数器情况下，在前放输入端注入电荷，观察前放、成形和甄别器输出，示波器显示模拟链路工作正常，无震荡现象。

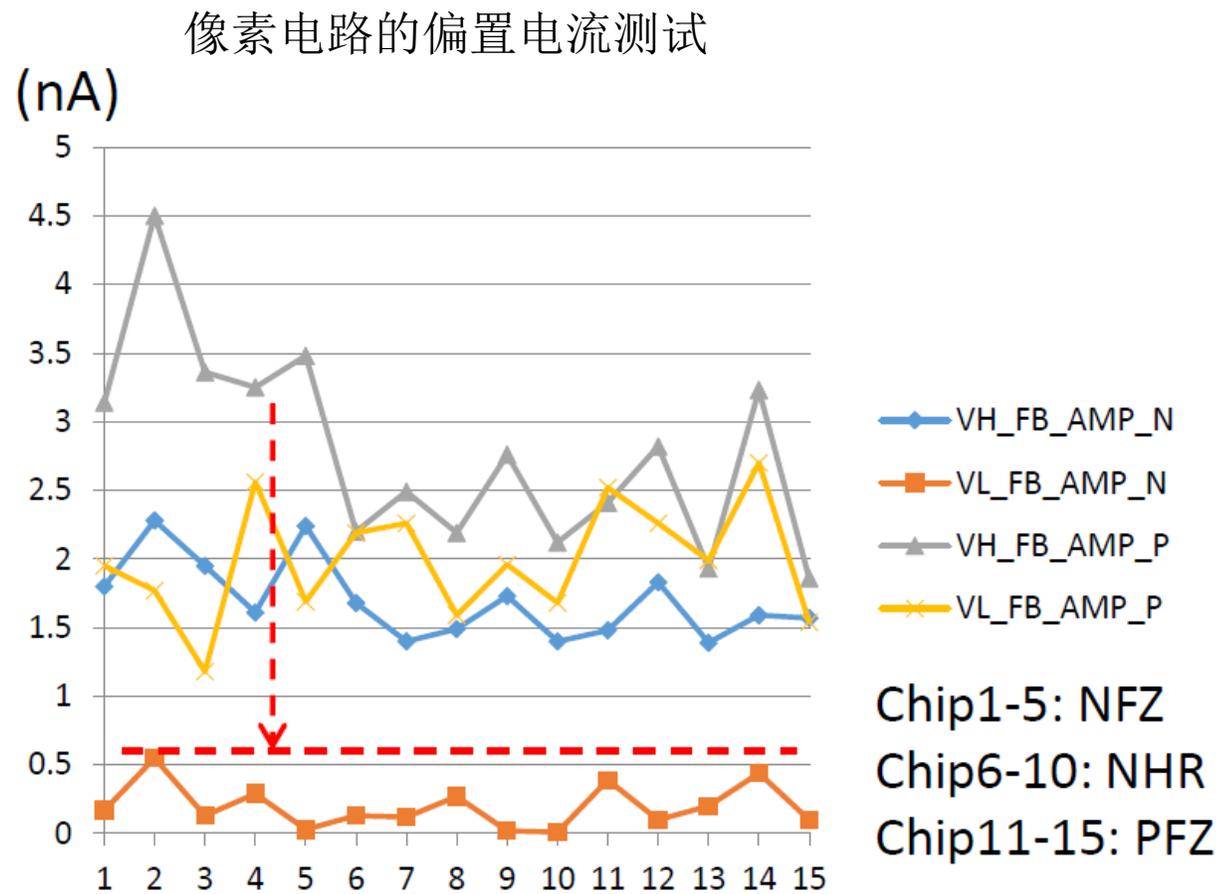


启示：电荷收集极避免与数字电路重叠，但可以与模拟电路的重叠

CPIXTEG3的其他测试结果



NFZ型衬底漏电流最小，优先用于后续测试

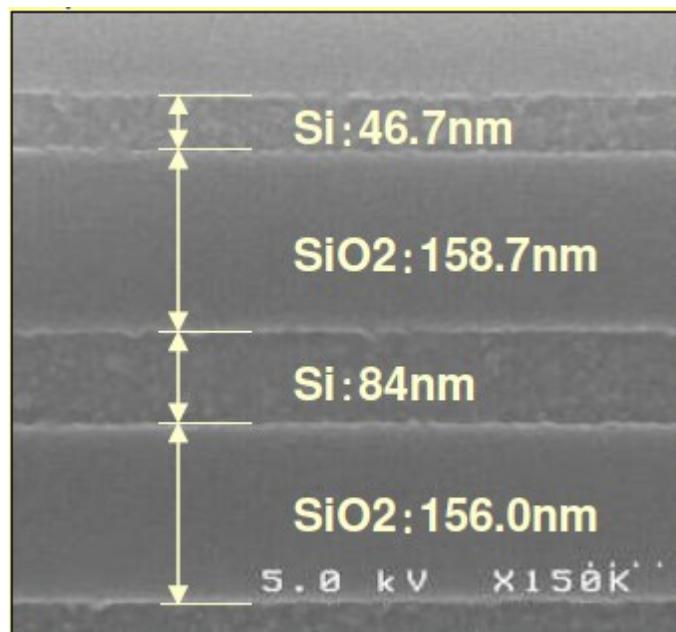


前放偏置电流误差比较大，可能是由于电路工艺问题，需要在电路设计中降低其影响。

Double-SOI结构的屏蔽机制

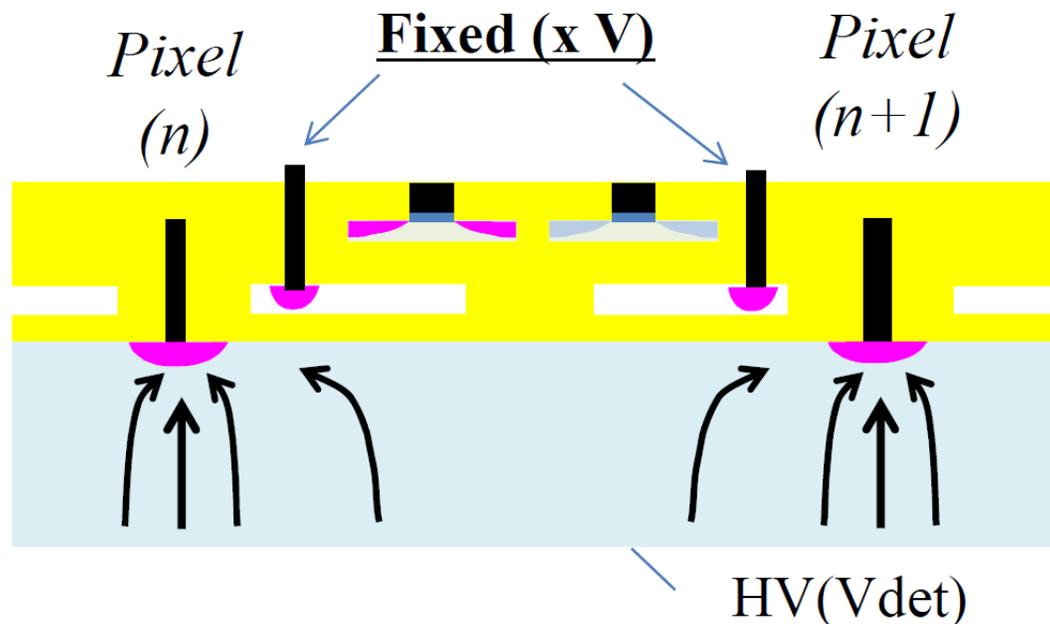
Double-SOI 电子显微断面结构:

- 2层氧化硅埋入
- 2层硅薄膜 (MOS器件、屏蔽)
- 硅衬底



中间导电硅层连接到固定电平，抑制charge injection和back gate效应。

与嵌套阱结构相比较：可以使用较小的电荷收集极和大面积的屏蔽层，降低探测器电容。

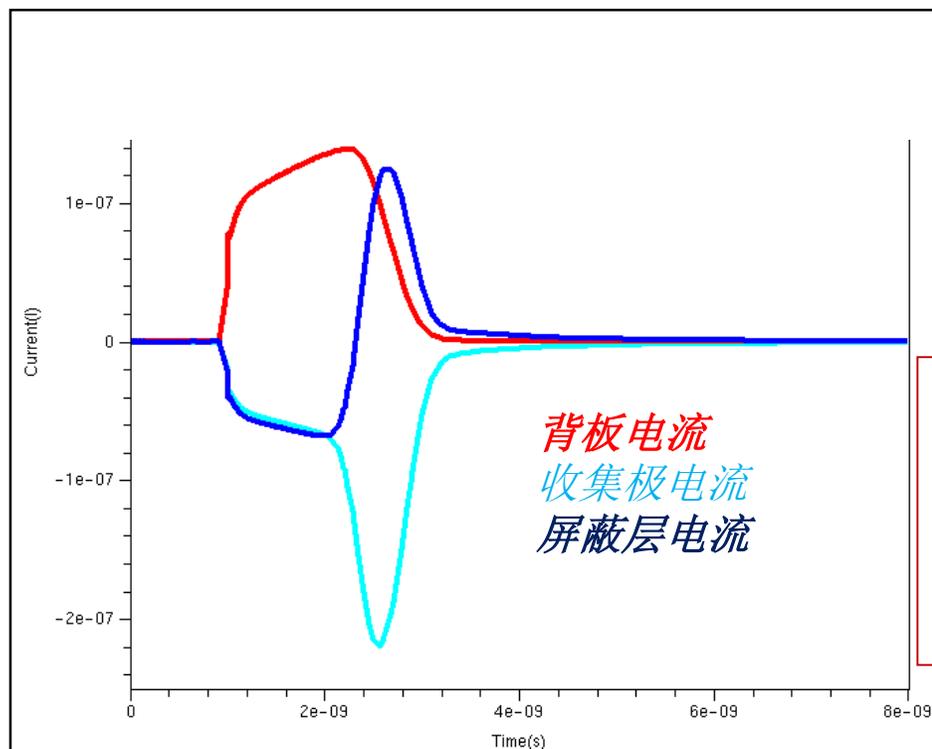
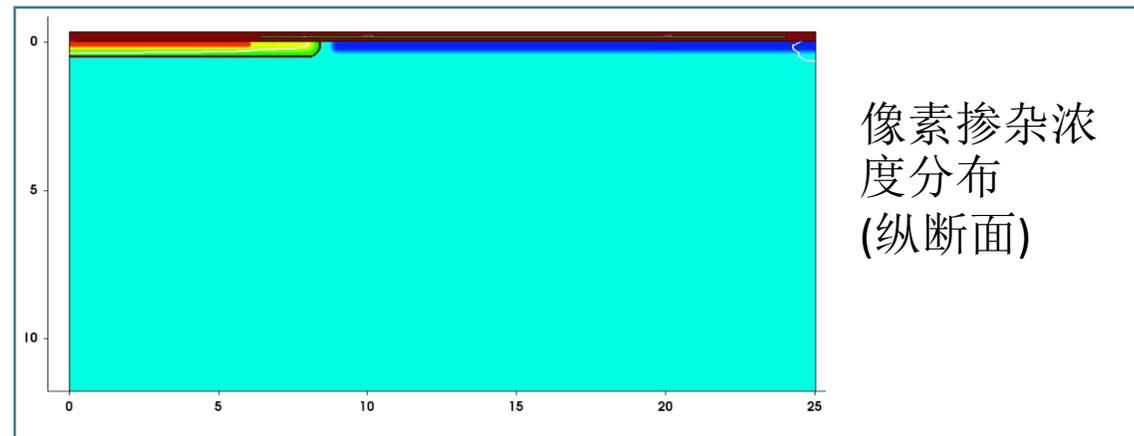


Double-SOI像素模拟

在电荷收集效率和探测器电容间进行取舍

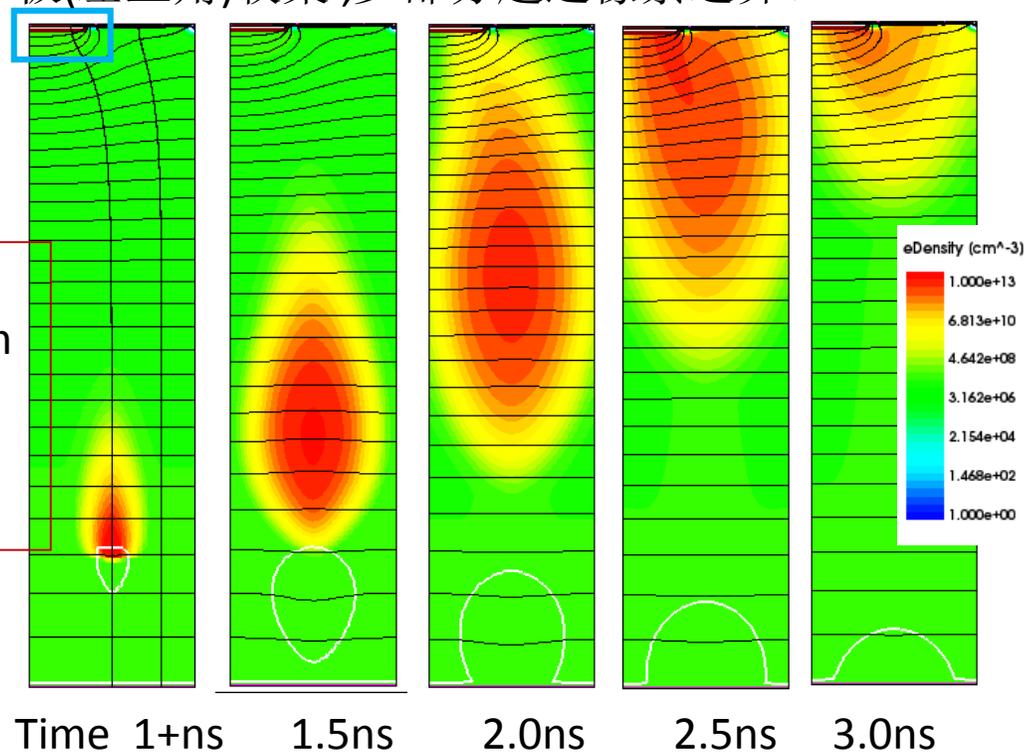
收集极宽度: 16 μ m

电容: 100fF



电子注入:
距像素中轴13 μ m
深度75 μ m
电荷量2000e-
收集效率98%

电子随电势梯度便扩散便漂移, 大部分电子被收集电极(左上角)收集, 少部分越过像素边界。

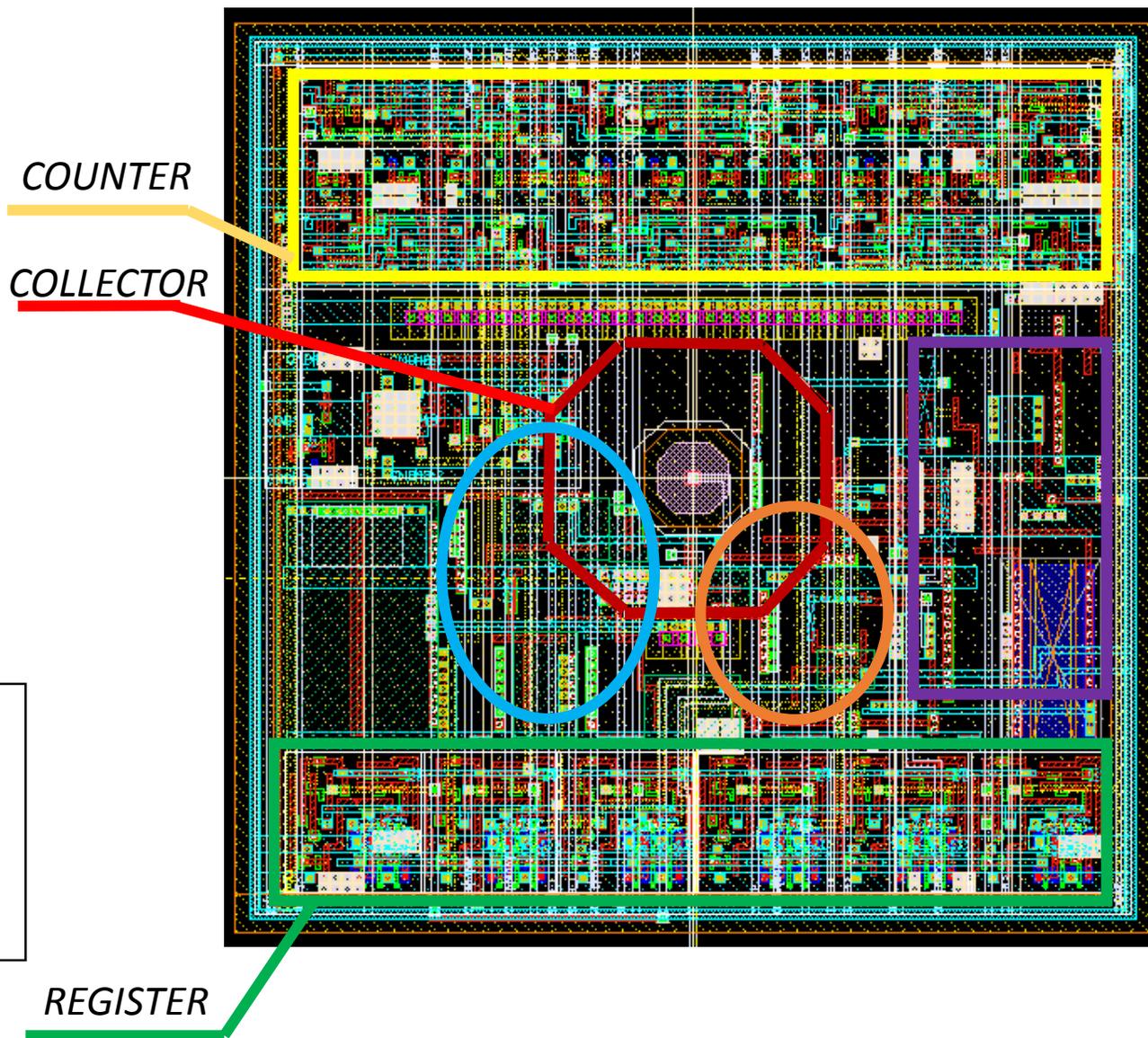


像素layout布局

- 像素尺寸50x50um
- 收集电极宽度16um

重点避免在电荷收集极上方布局计数器和寄存器电路

- 收集电极为中心红色八边形部分
- 计数器(黄色)、寄存器(绿色)和甄别器(紫色)与收集电极不重叠
- 前放(蓝色)和成形电路(橙色)与收集电极部分相交。



Double-SOI工艺的芯片设计

2014年1月提交流片

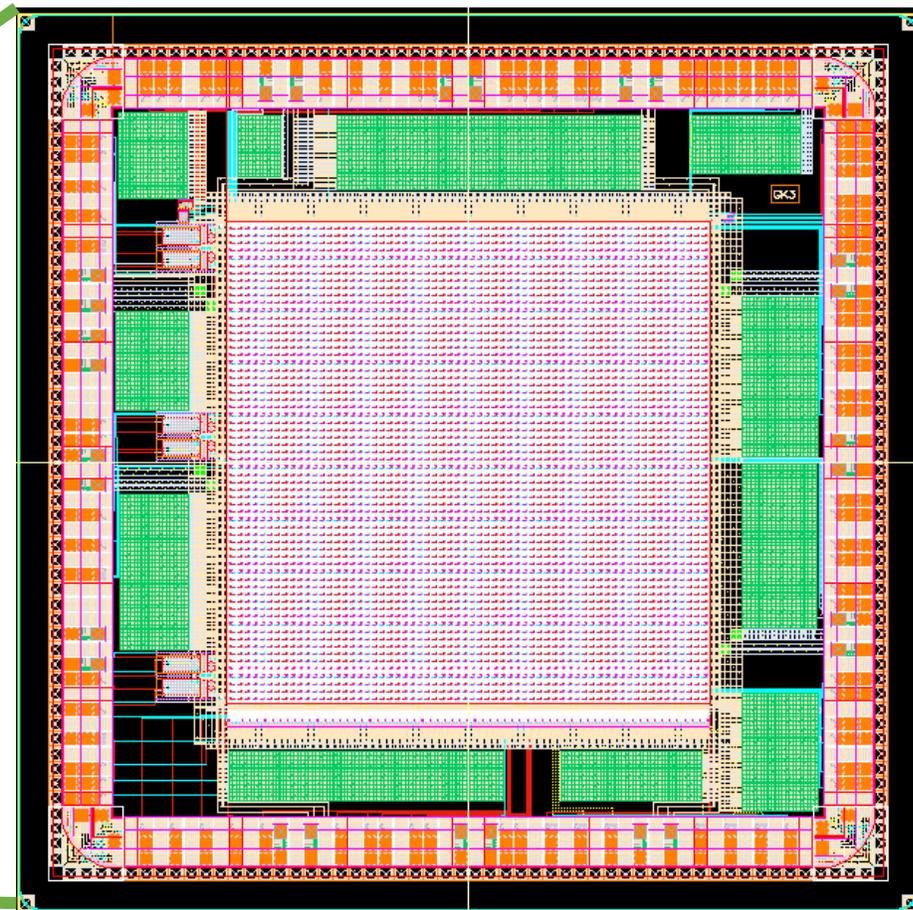
针对上一版本偏置电流的问题，重新设计了前放成形甄别电路，新的layout布局，减小像素尺寸到50um。

GK1	GK9 SOISTJ2 kasahara	GK15 TEGb AIST	GLA1 Lapis PTEG1	GK21 PPDTEG3 Arai	G1 ZTEG ZhaoKai	
	GK10 GuardTEG Mitsui	GK16 TEGc AIST		GK22 CAPTEG1 Honda	GJ1 CRTEG Nagase	
	GK11 MALPIX4 Fujita	GK17 TEGd AIST	GLA2 Lapis PTEG2	GK23 TEMPTEG Arai	GP1 KTEG Krakow	
	GK12 TMCTEG Ikemoto	GK18 XTALKTEG honda		Gk24 TRTEG7b Arai	GS1 PTEG Kawahito	
	TDIPIX3 Arai	GK13 RINGTEG LIU YI	GK19 CPUMP Iida	GLA3 Lapis PTEG3	GLA4 Lapis PTEG4	
		GK14 TEGa AIST	GK20 TRTEG8 Honda			
	GK7 3DTEG3D Ikebe	GK6 CPIXTEG Kishimoto		GK8 3DTEG3U Ikebe		
GK2 AXRPIX1 Arai	GK3 CPIXTEG3b Yunpeng	GK4 LHDPIX4 Miyoshi		GK5 CPIXb2 Miyoshi		

2014.1
MX1711 MPW run
Floor Plan

- Dicing 1
- Dicing 2(+GK2, GK4)
- Wafer
- Lapis

2014.1.27 v.7
Y.Arai (KEK)



CPIXTEG3b by Lu Yunpeng

固定电位N-Stop环

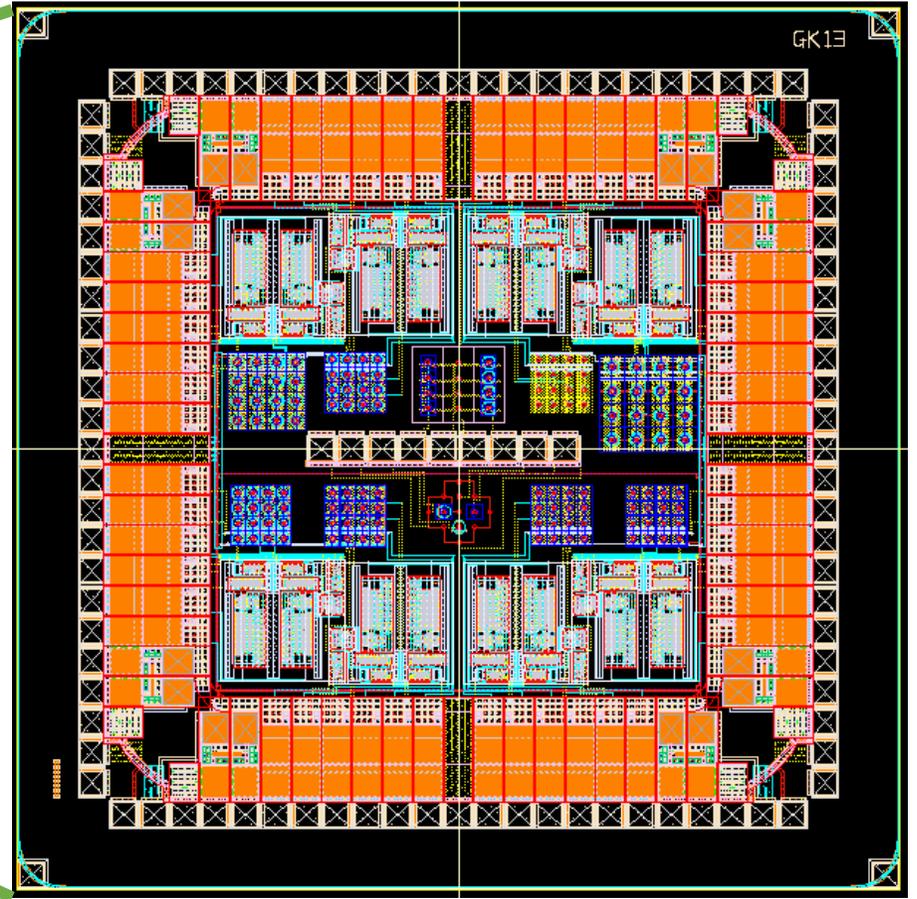
2014年1月提交测试结构设计 (RINGTEG)

TDIPIX3 Arai	GK9 SOISTJ2 kasahara	GK15 TEGb AIST	GLA1 Lapis PTEG1		GK21 PPDTEG3 Arai	G11 ZTEG ZhaoKai
	GK10 GuardTEG Mitsui	GK16 TEGc AIST			GK22 CAPTEG1 Honda	G1 CRTEG Nagase
	GK11 MALPIX4 Fujita	GK17 TEGd AIST	GLA2 Lapis PTEG2		GK23 TEMPTEG Arai	GP1 PTEG Krakow
	GK12 TMCTEG Ikemoto	GK18 XTALKTEG Honda			Gk24 TRTEG7b Arai	GS1 PTEG Kawahito
	GK13 RINGTEG LIU Yi	GK19 CPUMP Ida	GLA3 Lapis PTEG3		GLA4 Lapis PTEG4	
GK14 TEGa AIST	GK20 TRTEG8 Honda					
	GK7 3DTEG3D Ikebe		GK6 CPIXPTEG Kishimoto	GK8 3DTEG3U Ikebe		
GK2 AXRPIX1 Arai	GK3 CPIXTEG3b Yunpeng	GK4 LHDPIX4 Miyoshi	GK5 CPIXb2 Miyoshi			

2014.1
MX1711 MPW run
Floor Plan

- Dicing 1
- Dicing 2(+GK2, GK4)
- Wafer
- Lapis

2014.1.27 v.1
Y.Arai (KEK)

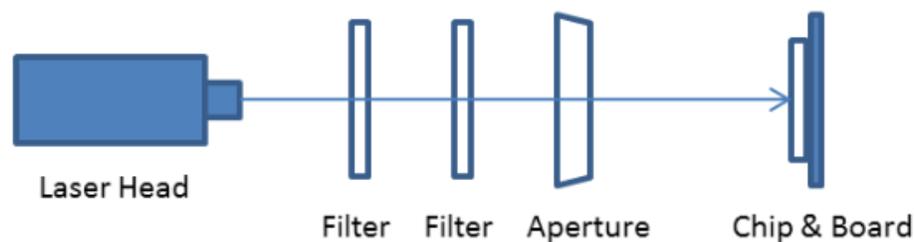


RINGTEG by Liu Yi

红外激光脉冲测试平台

模拟束流实验中的最小电离粒子，可用于各种像素探测器的实验室测试。

- 三轴移动平台精度1.5um
- 红外激光1064nm
- 光脉冲时间宽度3ps
- 聚焦后束斑最小尺寸1.6um



红外激光脉冲测试平台原理图



LASER



项目完成情况

项目任务书的年度计划

	研究内容	预期目标
第一年度	2013.5 - 2013.7: 电路仿真和TCAD仿真, 提出Nested-Wells的应用方案 ✓ 2013.8 - 2013.9: 测试系统改进, 对2012年芯片测试 ✓ 2013.10 - 2013.12: 芯片电路改进, 版图改进, 参加2013年MPW流片 ✓	完成2012年芯片测试; 完成仿真和设计, 按时提交MPW流片;
第二年度	2014.1 - 2014.2: 短期出访, 交流电路设计经验, 探讨工艺改进的方向。✓ 2014.3 - 2014.4: 对2013年芯片测试, 并与TCAD仿真结果分析比对, 得出研究结论。✗ 2014.5: 搭建红外脉冲激光测试平台 ✓	完成2013年芯片测试; 建立红外脉冲激光测试平台;

*✓基本完成