

用于同步辐射的计数型硅像素探测器读出 芯片初步进展

魏微 李怀申 宁哲 樊磊 张杰 李绍富 刘刚 陆卫国
江晓山 王铮 蓝克坚 卢云鹏 欧阳群 朱科军

核探测与核电子学国家重点实验室

2014-08-15

主要内容



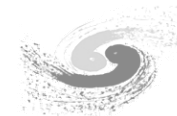
- 项目背景
- 读出芯片设计
 - 像素单元电路
 - 芯片整体设计
 - 仿真结果
- 项目整体进展
- 芯片测试结果
 - 纯芯片测试
 - 功能测试
 - 纯模拟电路性能测试
 - 阵列测试和一致性刻度
 - Sensor联调测试
 - 铁源纯模拟测试
 - 同步辐射束流测试
- 对比和总结

高能同步辐射光源硅像素探测器预研



- 针对同步辐射应用，力争实现实用化的硅像素探测器系统
- 通过数年的前期研究，参加国际合作，在读出电子学方面已有一定基础，通过该项目的研究，希望掌握像素读出芯片设计和测试的关键核心技术
- 项目时间：2012~2015
- **项目验收指标**
 - 灵敏面积：8cm × 8cm
 - 像素尺寸：200μm × 200μm
 - 帧刷新率：> 100Hz
 - 动态范围：20bit
 - 能量范围：8~20keV
- **项目设计指标**
 - 灵敏面积：8cm × 8cm
 - 像素尺寸：150μm × 150μm
 - 帧刷新率：1kHz
 - 动态范围：20bit
 - 能量范围：8~20keV
- 探测器整体方案基于成熟的混合型像素探测器结构，即全耗尽体硅传感器+倒装焊连接+像素ASIC读出芯片方案

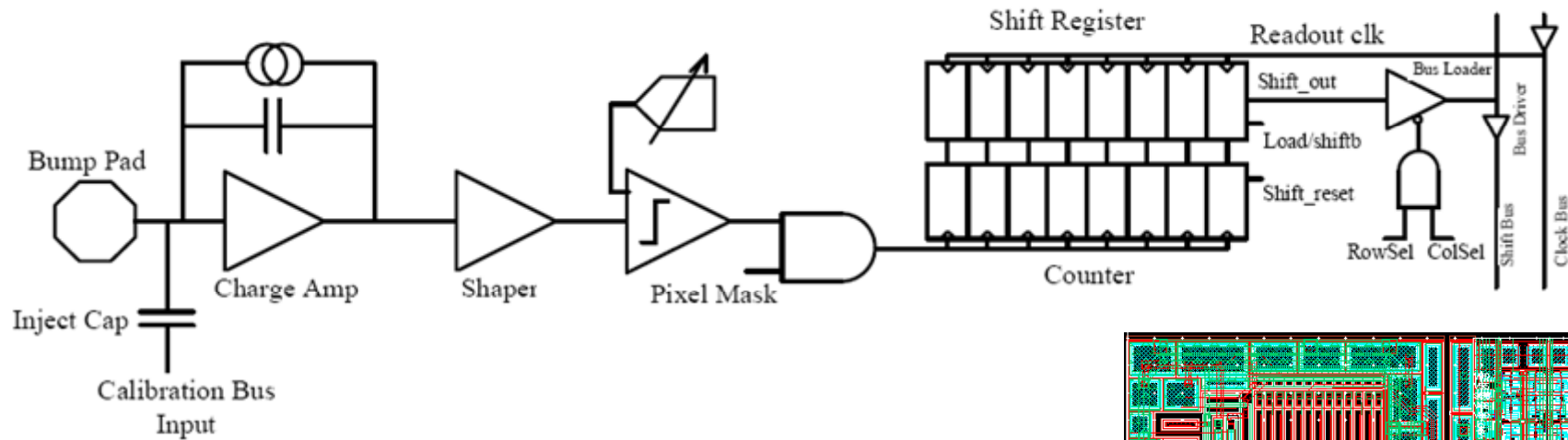
硅像素探测器预研



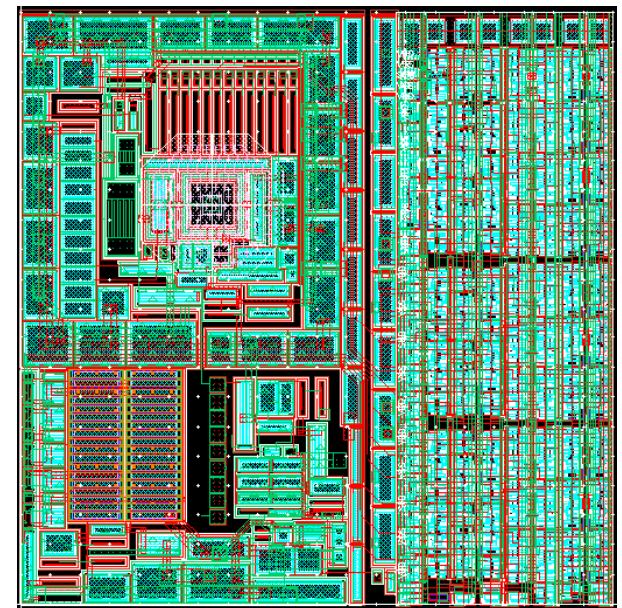
- 项目目标：
 - 制备硅像素探测器Sensor的条件还不具备，主要是参加Sensor的合作设计和测试，积累相关经验
 - 独立完成像素读出芯片和读出系统的设计，掌握芯片设计的核心技术
 - 利用合作单位Bump Bonding成熟技术，完成系统封装，掌握先进封装的相关设计技术
 - 完成像素成像系统的机械系统设计，在先进封装、像素冷却系统设计方面积累经验
- 芯片设计目标

| | | | |
|------------|--|--------|-------------------|
| 像素单元尺寸 | 150μm\times150μm | 刷新率 | 100~1kHz |
| 芯片规模 | 72列\times104行 | 总通道数 | 7488 |
| 工作模式 | 数字积分（计数） | 计数深度 | 20bit |
| ENC | 好于 200e | 能量探测范围 | 8keV~20keV |
| 像素单元功耗 | 50μW/pixel | 芯片总功耗 | 400mW |

读出芯片设计——像素单元

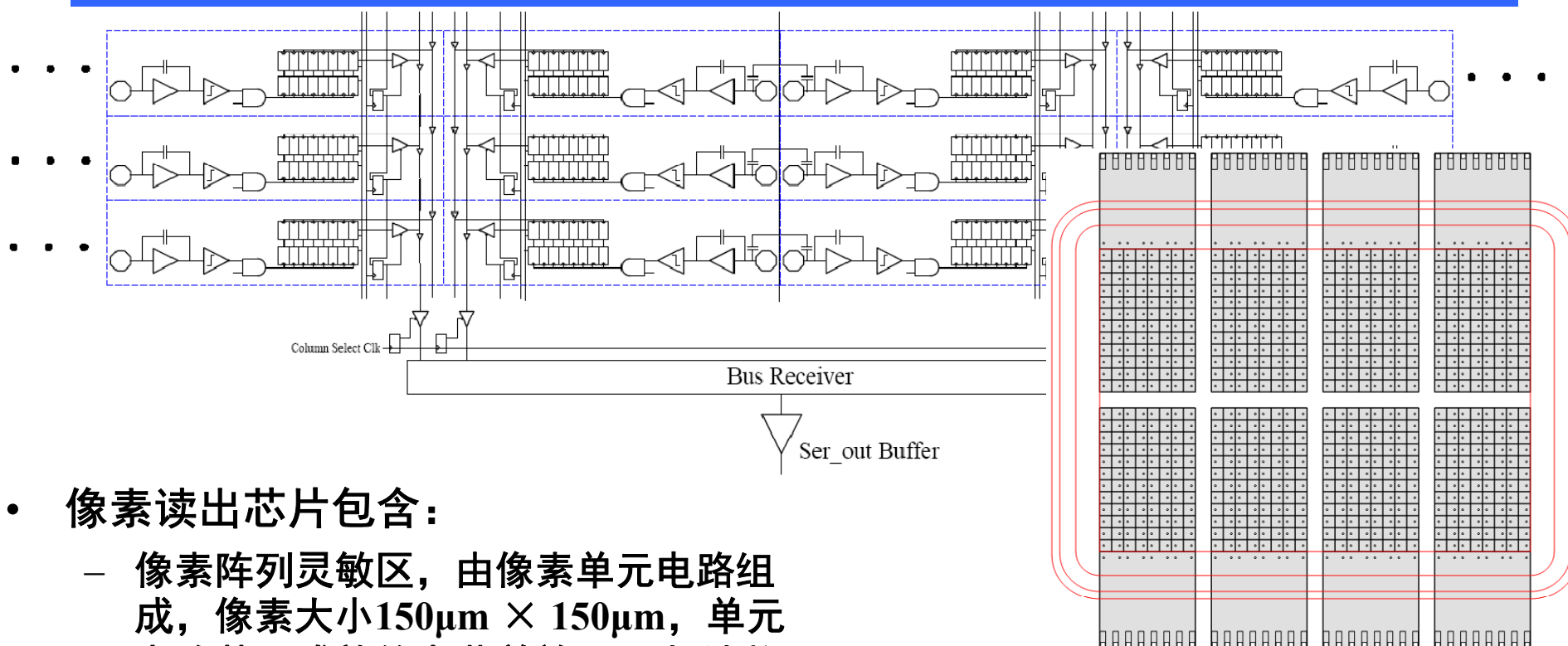
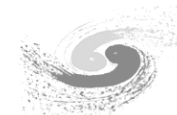


- 模拟部分：
 - ✓ 电荷灵敏前放
 - ✓ 成形放大
 - ✓ 甄别器
 - ✓ 局部阈值设定DAC
 - ✓ 刻度信号注入结构
- 数字部分：
 - ✓ 计数器链
 - ✓ 锁存读出链
 - ✓ 像素Mask逻辑
 - ✓ 总线挂载逻辑
 - ✓ 行列选通逻辑



像素单元版图100 μm ×100 μm

北方光源像素读出芯片整体结构



- 像素读出芯片包含：

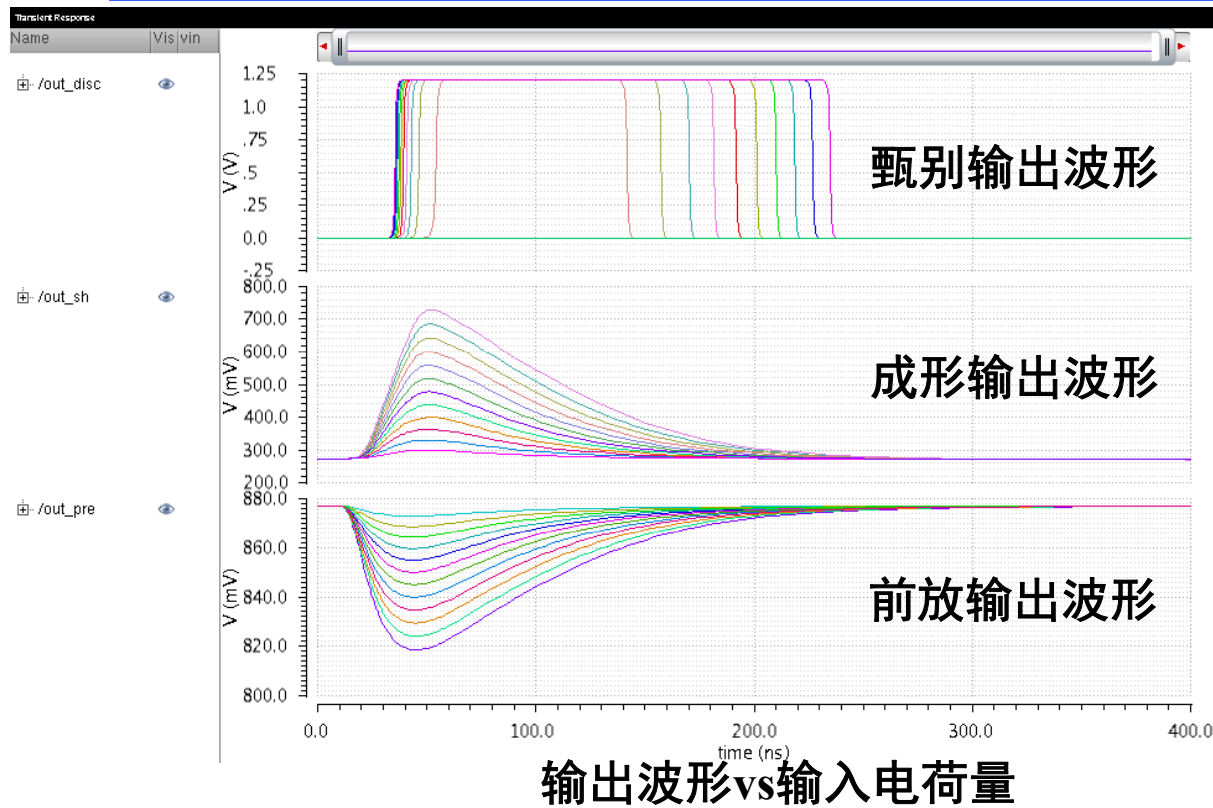
- 像素阵列灵敏区，由像素单元电路组成，像素大小 $150\mu\text{m} \times 150\mu\text{m}$ ，单元电路基于成熟的电荷前放+甄别+计数读出结构
- 外围逻辑和全局模块区，包含偏置和阈值产生电路、读出单元和IO接口

- 单片ASIC将包含72行 \times 104列像素，单片ASIC尺寸为 $1.7\text{cm} \times 1.1\text{cm}$ ，单个模块包含8片相互独立的ASIC芯片

- 单片ASIC将包含72行 \times 104列像素，单片ASIC尺寸为 $1.7\text{cm} \times 1.1\text{cm}$ ，单个模块包含8片相互独立的ASIC芯片

- 单模块面积为 $4.5\text{cm} \times 3.6\text{cm}$ ，样机将由6个模块组成
- 整体面积为 $9\text{cm} \times 10.8\text{cm}$

模拟单元电路仿真结果——动态范围



- **设计工艺：SMIC 0.13 μ m 1P8M，电源电压1.2V**
- **模拟单元总工作电流：15.7 μ A，即总功耗为18.9 μ W**
 - 满足了20 μ W的设计指标

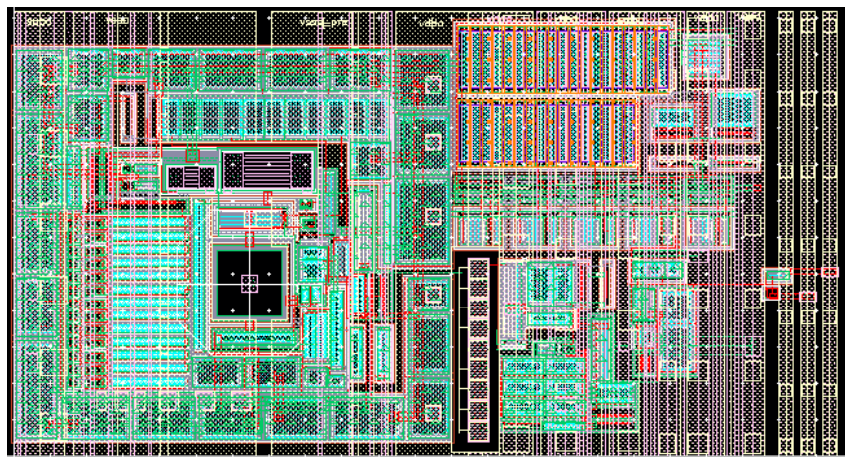
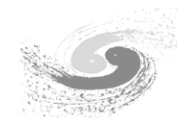
- 仿真输入为0~6ke⁻
- 即在8keV~20keV输入能量范围内保持了线性
- **峰值线性度拟合结果：**
 - 前放输出为1%
 - 成形输出为2%
- 甄别器输出初步实现了ToT功能
- **ENC (@Cd=200fF)**
 - @前放：119.5e⁻
 - @成形：117.9e⁻
- 信噪比@8keV \approx 16.9
- 噪声斜率：93e⁻+225.8e⁻/pF

芯片设计进展

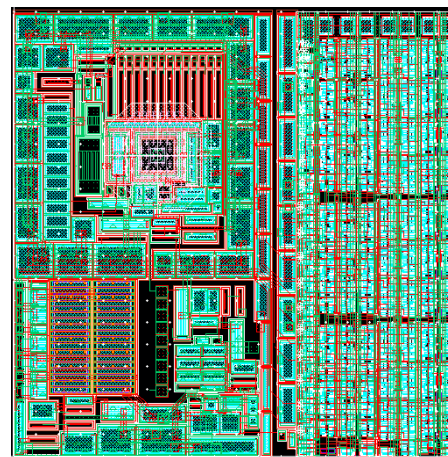


- 2012.5, 项目研究开始
- V0.1版芯片, 包含完整像素单元
 - 2012.7, 提交流片 (GF 0.13 μ m)
 - 2012.11, 接收芯片并进行测试板设计
 - 2013.2, 完成芯片测试
- V0.2版芯片, 包含 (4 \times 4) 像素小阵列, 可实现芯片全部功能
 - 2012.8, 提交流片 (GF 0.13 μ m)
 - 2013.2, 接收芯片并进行测试板设计
 - 2013.8, 完成芯片模拟部分测试和初步数字测试
 - 2013.9, 测试读出系统设计完毕, 完成芯片数字部分测试
- V1.0、V1.1版芯片, 包含 (12 \times 20) 像素阵列
 - 2013.5、8, 提交流片 (GF0.13 μ m工程批)
 - 2013.9, 接收芯片裸片并测试
- V1.2版芯片, 包含 (24 \times 20) 像素阵列
 - GF 0.13 μ m工艺不继续提供工程批支持, 需要变更工艺
 - 基于SMIC 0.13 μ m工艺, 2014.1流片, 2014.3接收, 2014.4完成纯芯片测试

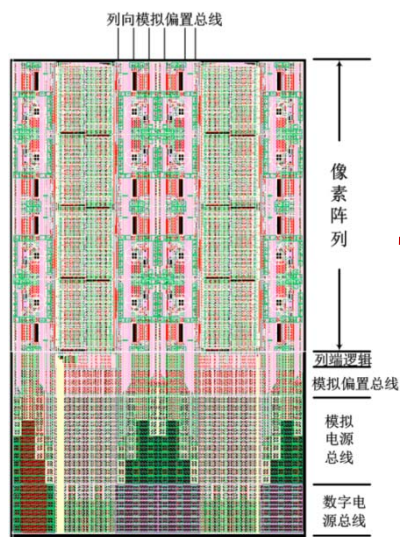
芯片设计进展



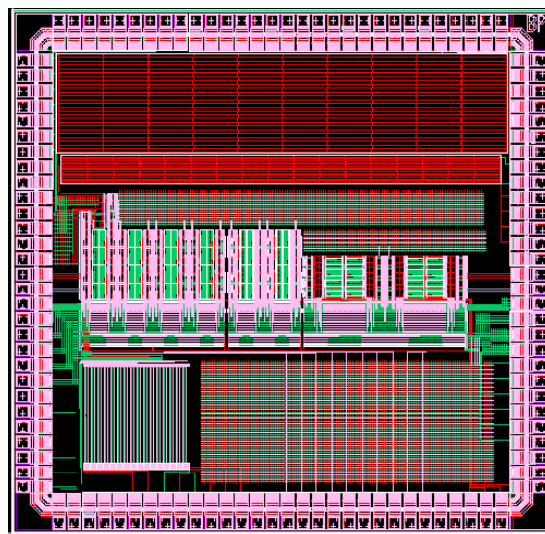
单像素单元（模拟）v0.1版：113 μm \times 61 μm



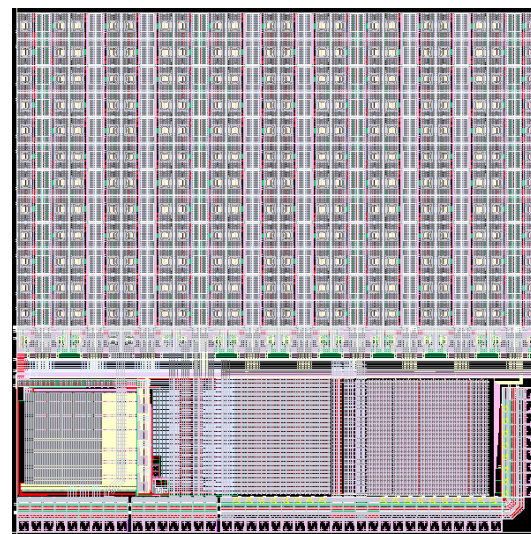
单像素单元v0.2版：100 μm \times 100 μm



4 \times 4像素阵列（v0.2）

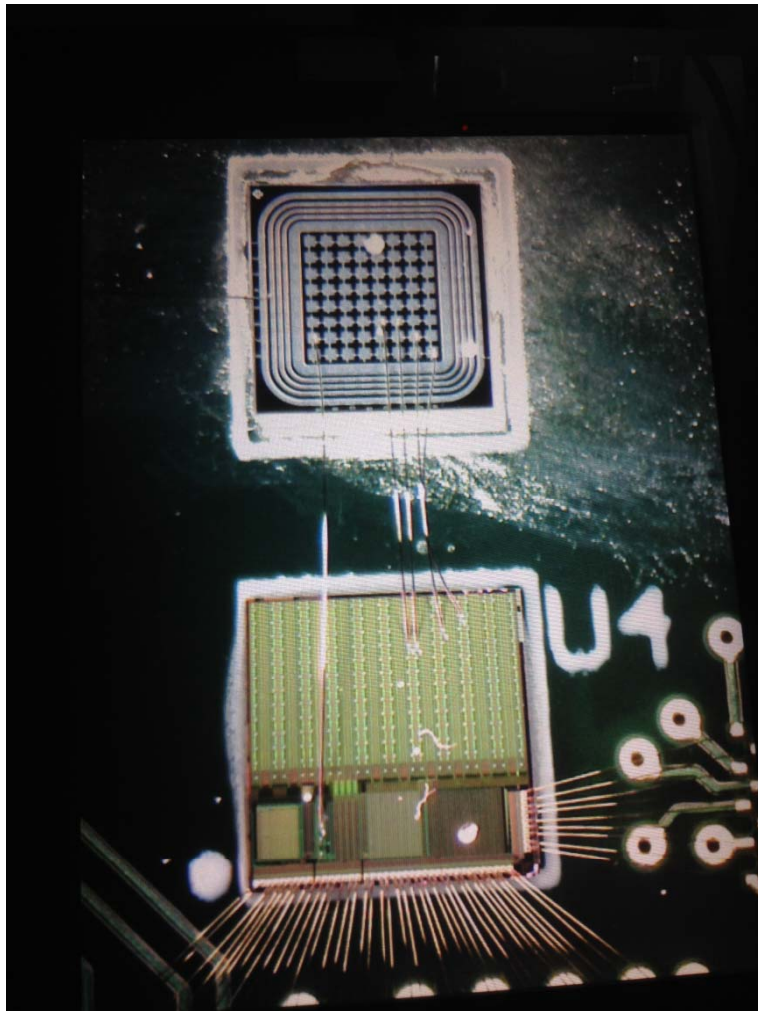
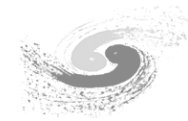


4 \times 4像素阵列（v0.2）

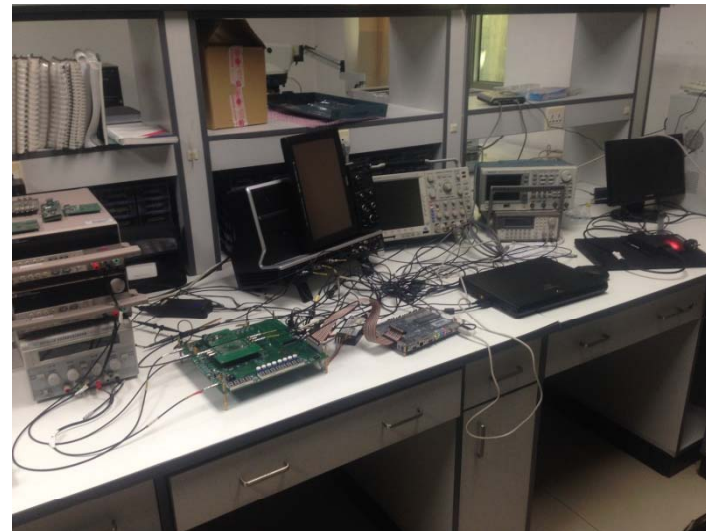


12 \times 20像素阵列、实际布局（v1.0）

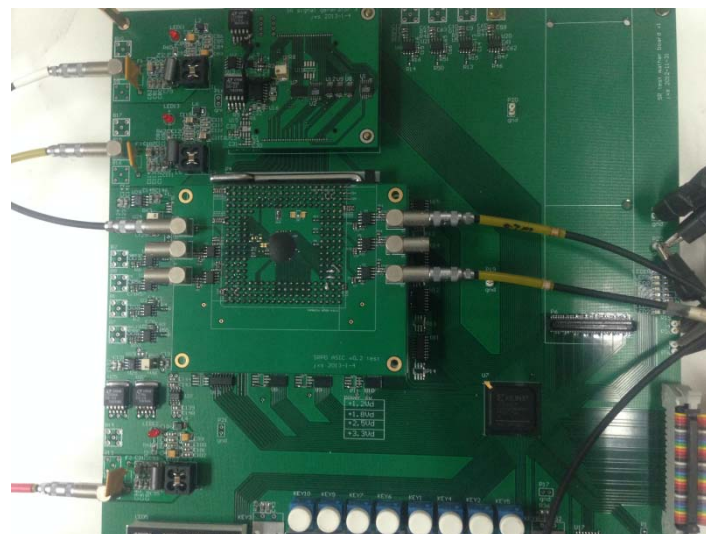
芯片测试环境



读出芯片、Wire Bonding打线封装以及和Sensor的联调测试

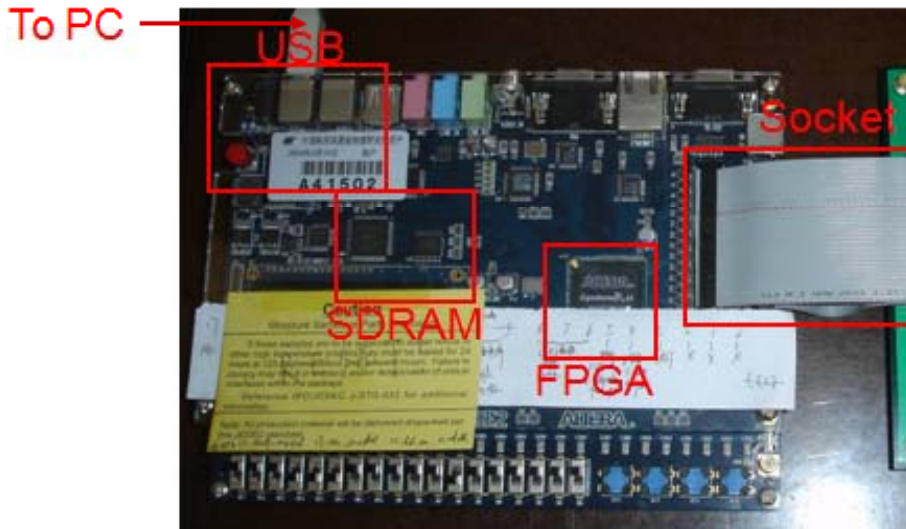
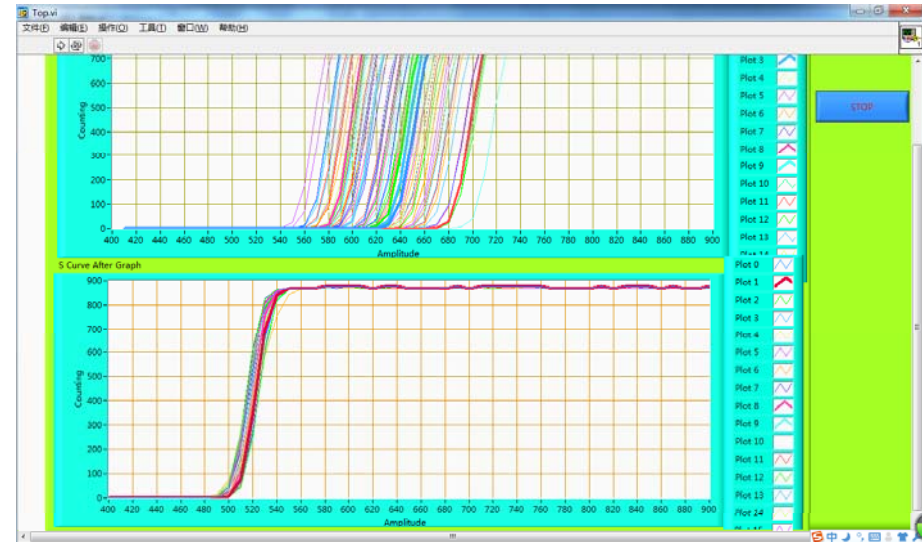
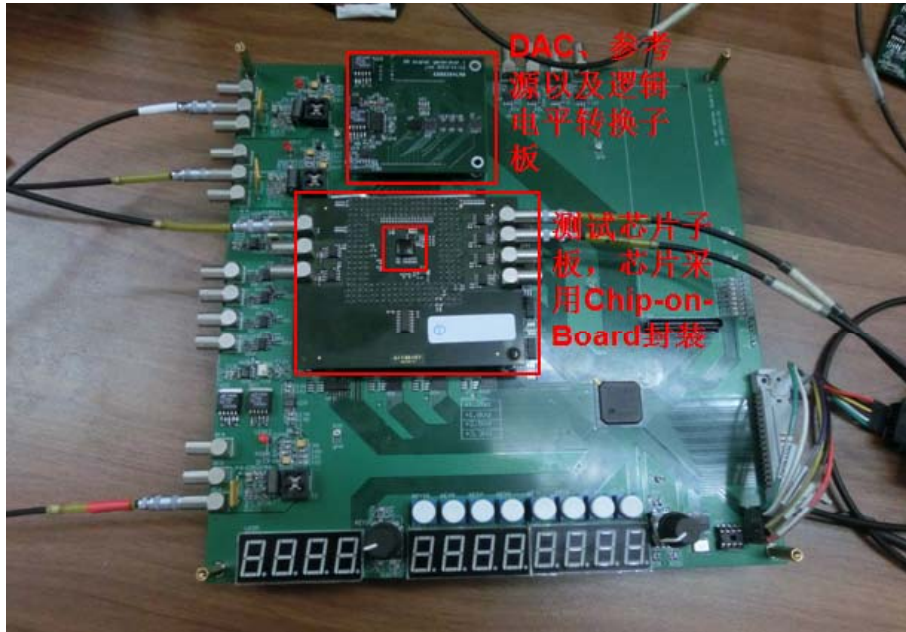
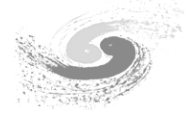


测试环境



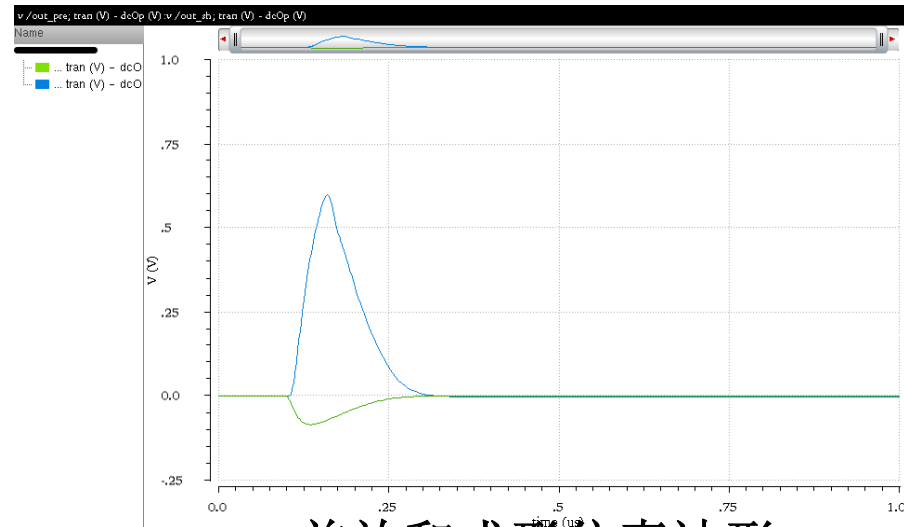
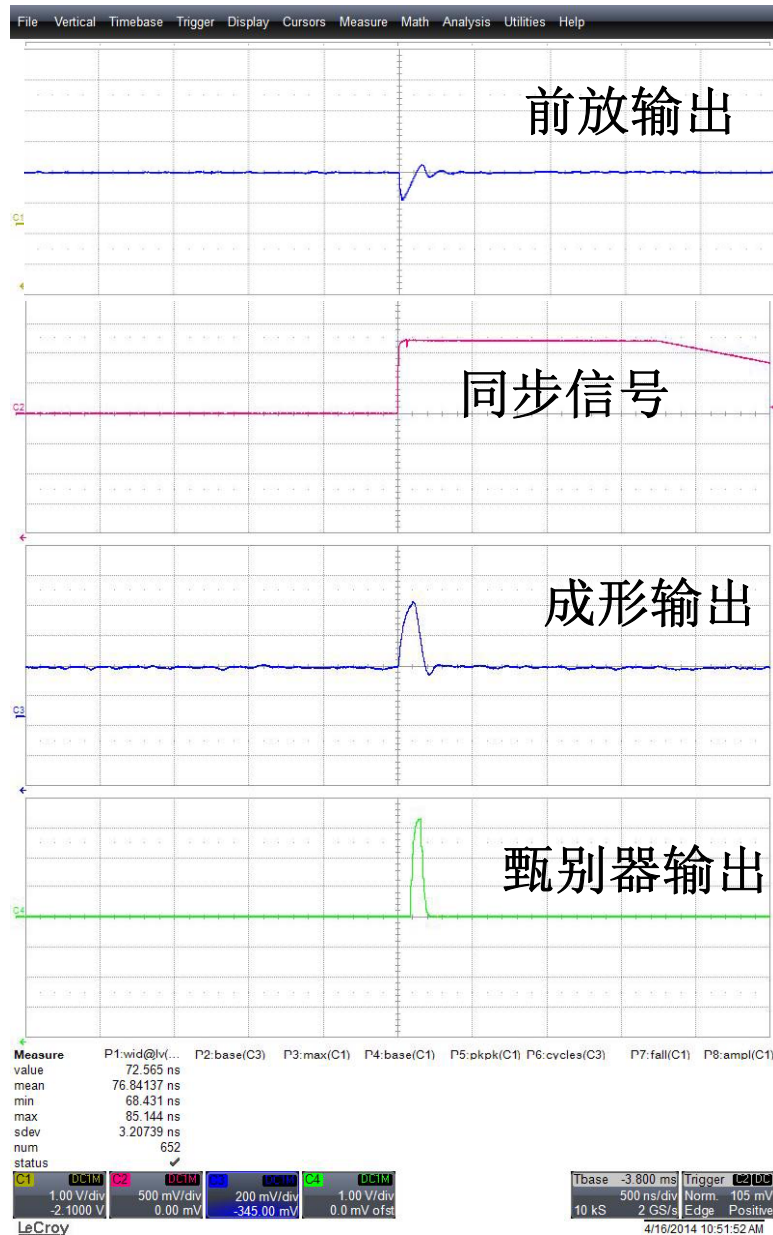
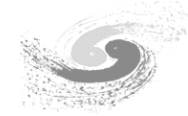
测试母板、被测芯片子板

芯片测试和读出系统



- 测试板读出系统：
 - 母板CPLD提供控制引脚和主要控制时序
 - Altera DE2开发板通过自定义IO同母板CPLD通讯，通过USB同PC通讯，加载像素阵列配置信息
 - 帧数据先缓存至开发板缓存，之后存储至PC
- 利用Labview界面实现在线控制和自动刻度算法

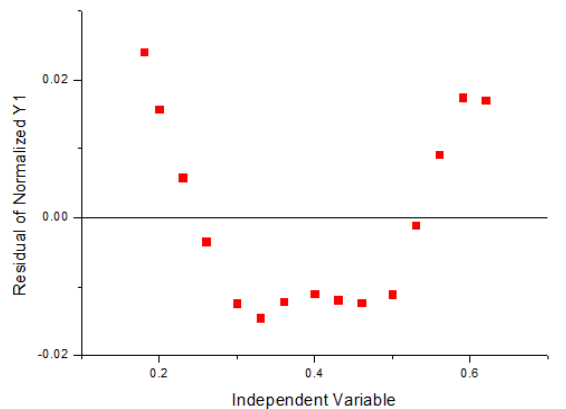
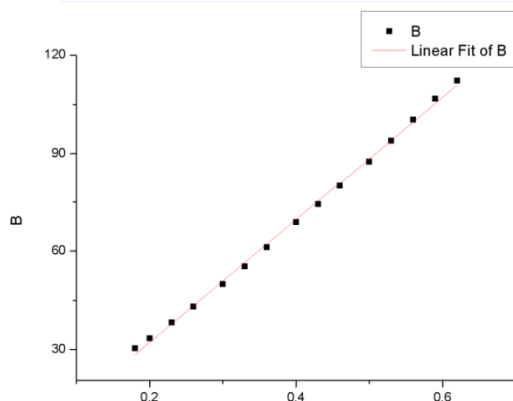
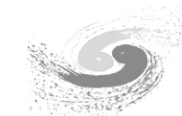
芯片功能测试和输出波形



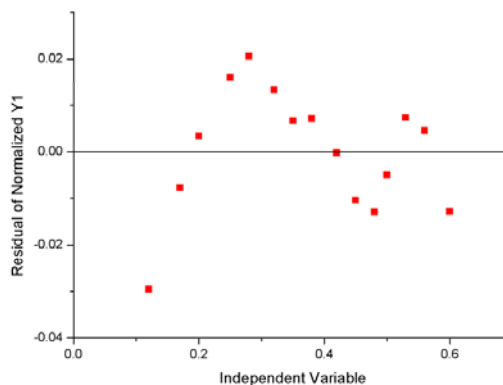
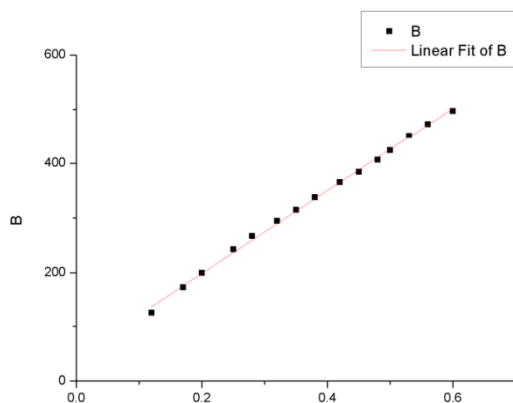
前放和成形仿真波形

- 测试方法：信号产生器从刻度输入端输入已知幅度的刻度脉冲，观察各观测节点波形
- 输入幅度 $600\text{mV}=6\text{ke}^-$ 电荷注入
- 实测波形和相同输入信号下的仿真输出波形相近：相同输入下幅度、达峰时间和波形底宽相同
- 改变甄别器阈值，可以得到正相关的甄别脉冲宽度

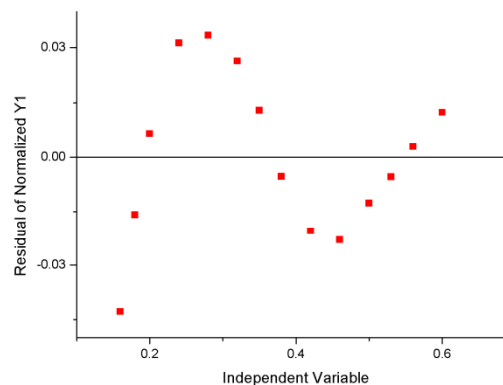
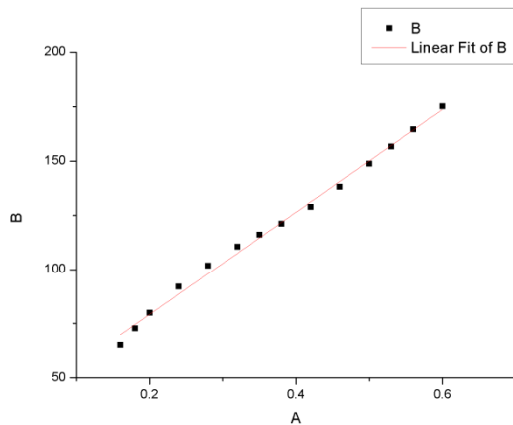
模拟单元测试



前放线性度 $\pm 2\%$



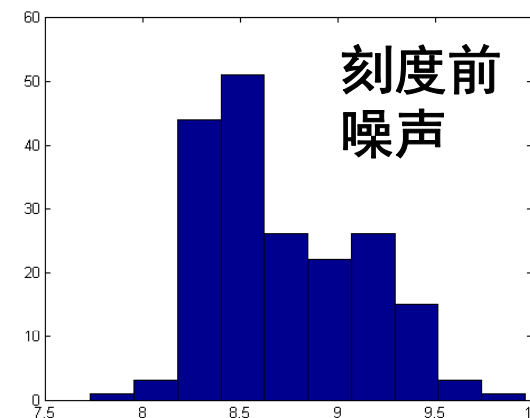
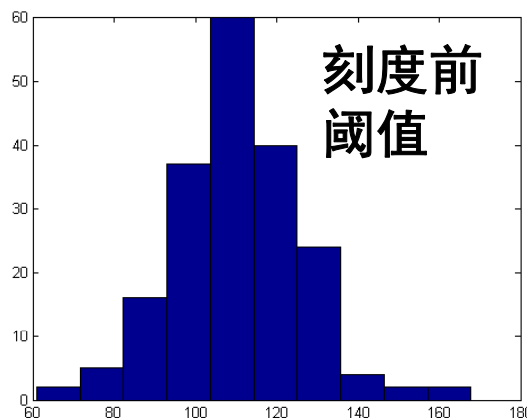
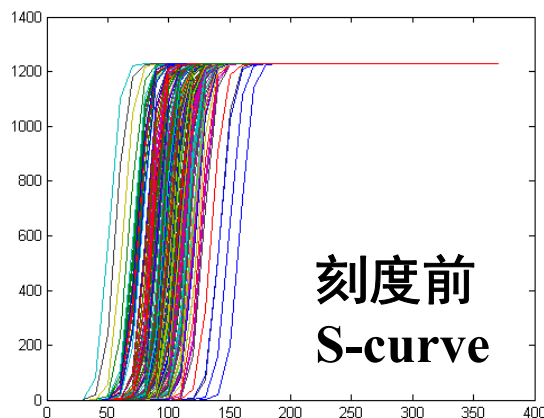
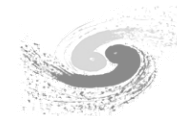
成形线性度 $\pm 2\%$



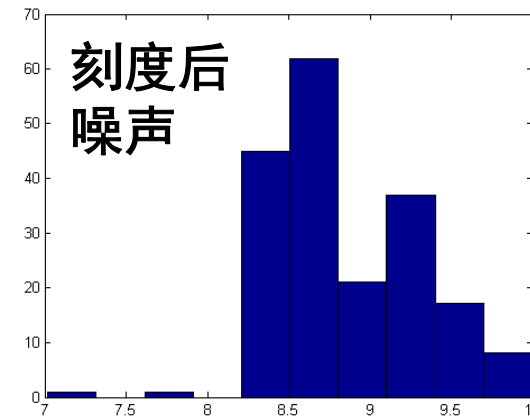
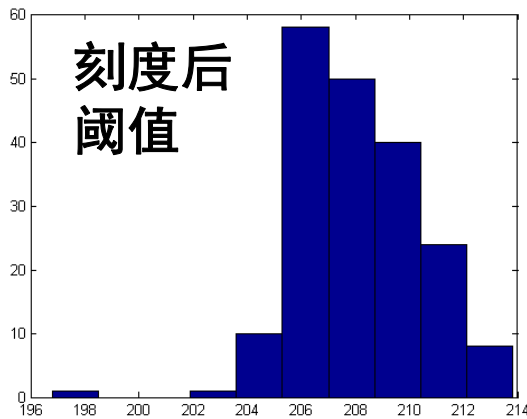
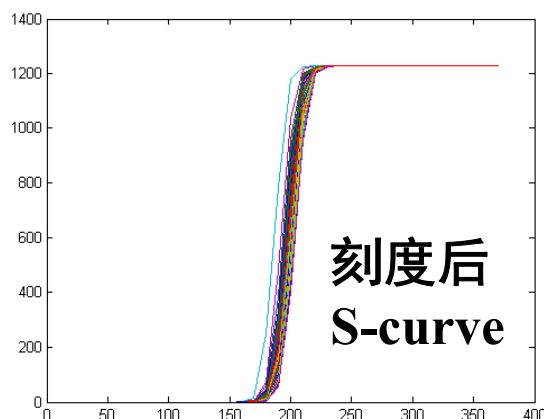
TOT脉宽线性度 $\pm 3\%$

- 以上实测线性度结果同仿真结果相符

像素阵列的阈值一致性刻度

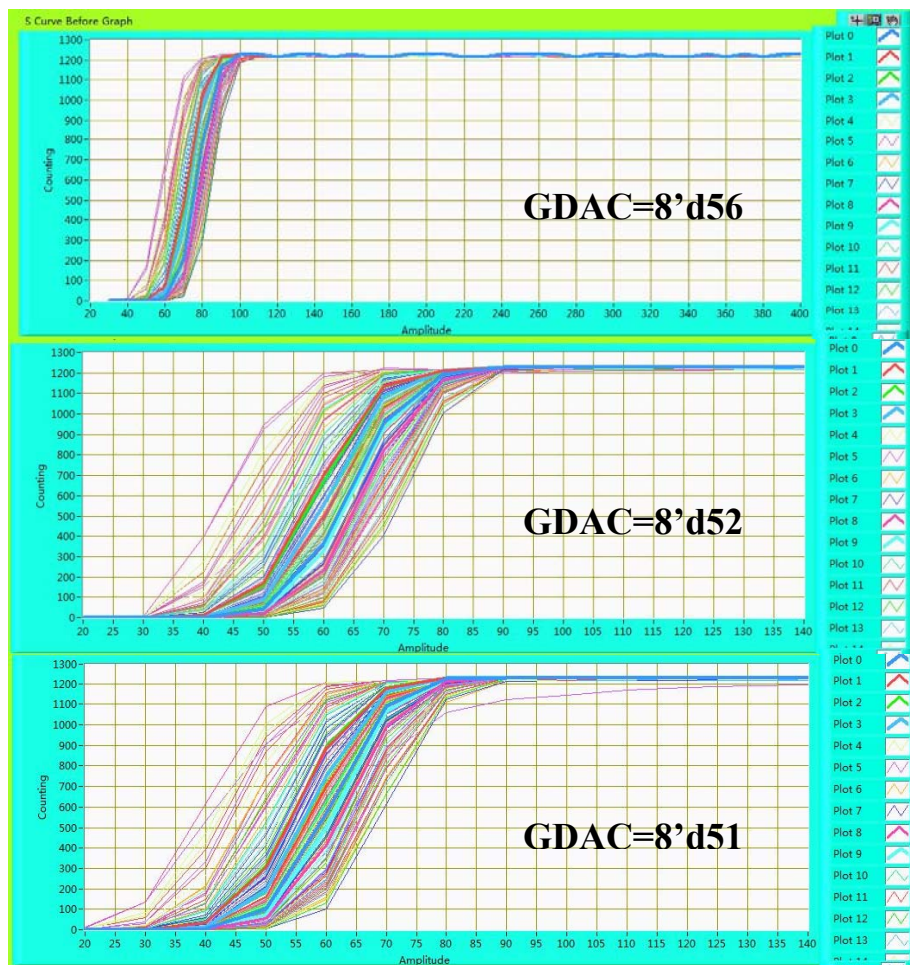
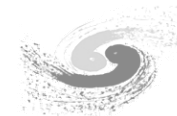


- 刻度前S-curve、阈值分布直方图、噪声分布直方图，共 $24 \times 8 = 192$ 像素
- 采用统一阈值时，阈值分布标准差为 $161.8e^-$ ，噪声平均值为 $87.3e^-$



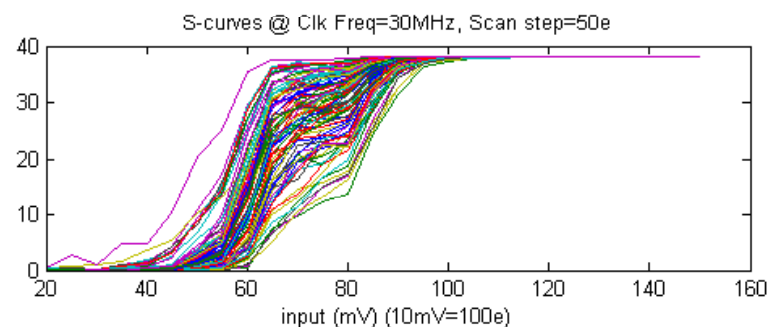
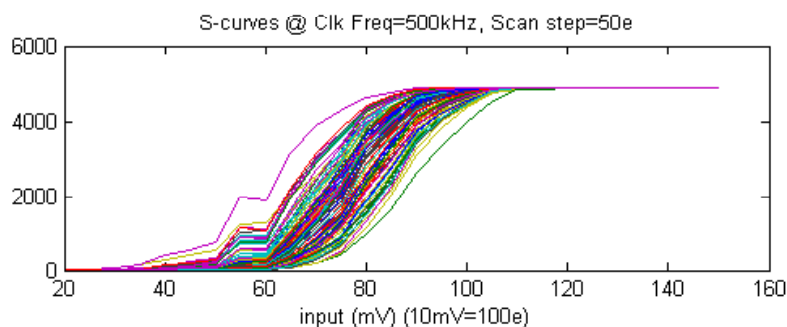
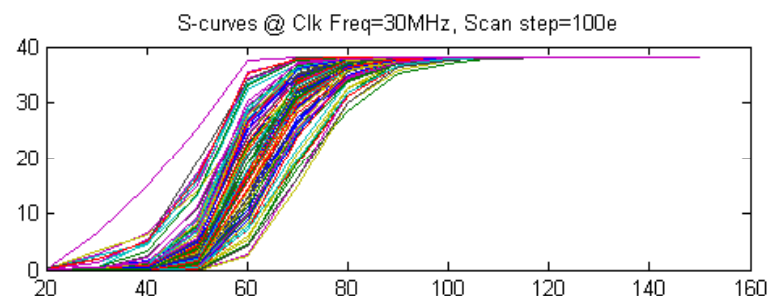
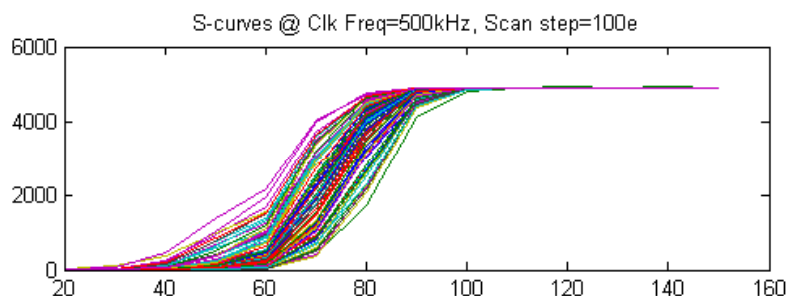
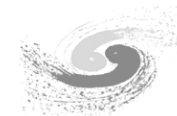
- 刻度后，阈值分布标准差为 $22.9e^-$ ，显著改善，噪声平均值为 $88.4e^-$ 基本不变
- 等效输入端噪声和阈值一致性实测性能指标满足设计指标
- 以上幅度→电荷的定标根据仿真值，实际结果需要利用放射源定标

最小无噪声触发可甄别能量



- 寻找了芯片最小可甄别能量（最小阈值）（纯芯片）
- 在一致性刻度的基础上不断压低全局阈值，直至出现恒定的噪声触发或noisy像素
- 测试表明阵列最小无噪声触发可甄别电荷为 $950e^-$ ，即 $3.6keV$ 最小可甄别能量
- 最小阈值下，像素间未发现计数串扰
- 连接Sensor之后，由于输入电容增加，噪声预期将增加，但根据仿真结果 $C_d=0fF$ 和 $200fF$ 时噪声分别为 $93e^-$ 和 $118e^-$ ，因此连接探测器后也应该能满足最小 $8keV$ 的能量探测需求

最高帧刷新率



S-curves @clk=500kHz, scan step=100e, 50e

S-curves @clk=30MHz, scan step=100e, 50e

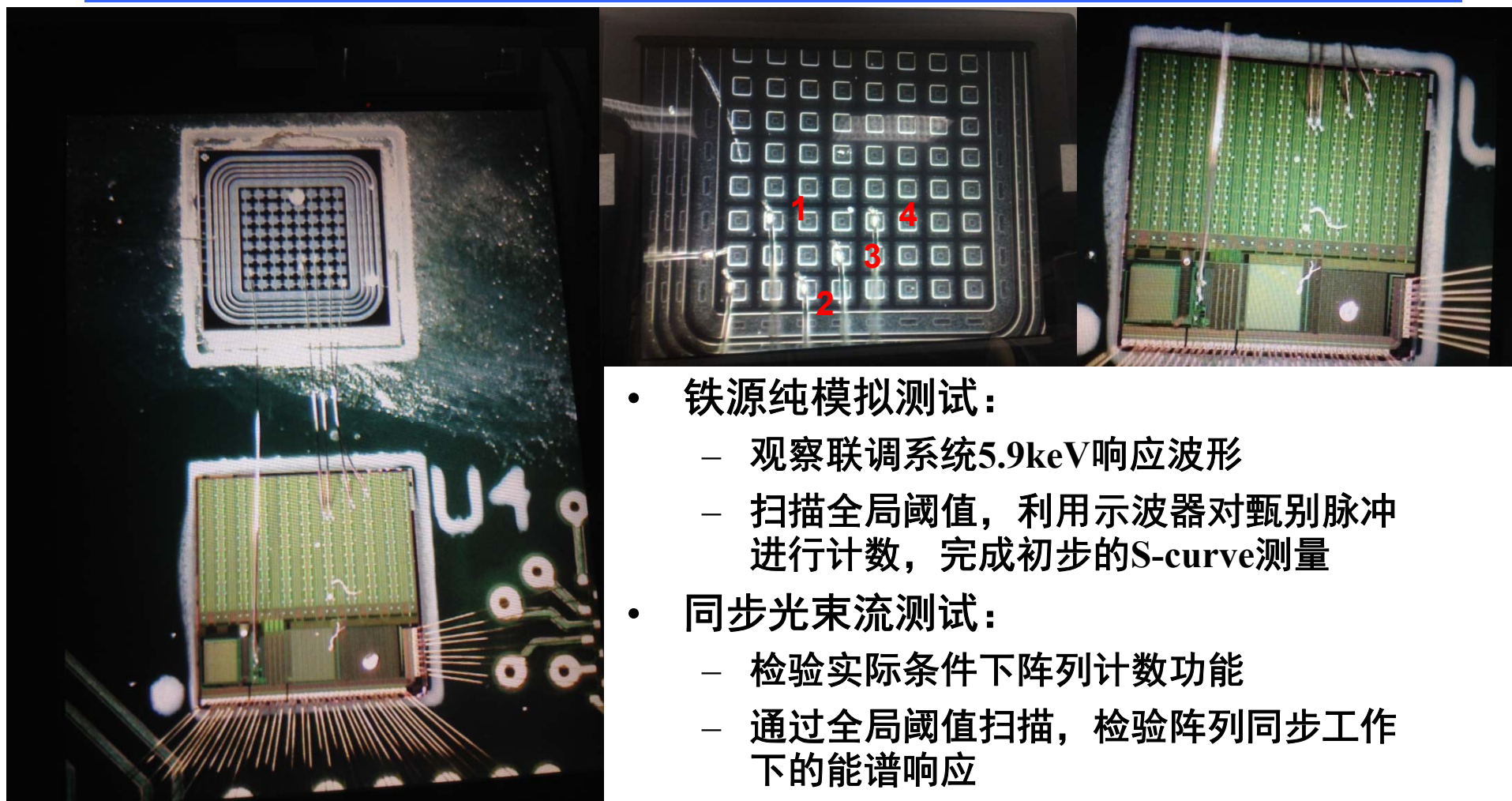
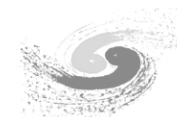
- 阈值设定在之前寻找的最小无噪声触发可甄别电荷处
- 逐渐增加系统时钟至30MHz（母板的上限频率），噪声平均值未发现明显增加，表明没有显著时钟串扰
 - 不过随着时钟频率的增加，每帧统计量减少，S-curve出现一些随机性
- 按此系统时钟频率，芯片最高帧刷新率可达1.8kHz（72×104阵列规模，按9个并行输出计算）

纯芯片测试总结



- 检验了芯片各模块功能正常
- 实测性能指标：
 - ENC: 87.3e-
 - 不一致性: < 30e-
 - 动态范围和线性度: 0~6000e输入信号内线性度好于2%
 - 最小可探测信号 (纯芯片): 3.6keV
 - 帧刷新率: > 1.8kHz
- 主要性能指标均满足项目需求
- 说明：
 - 模拟单元和数字单元间未发现显著串扰
 - 像素单元间计数结果无串扰
 - 连接Sensor后噪声预期将增加, 但仍应满足项目需求
 - 刻度信号为产生器输入, 电荷定标根据仿真和设计结果

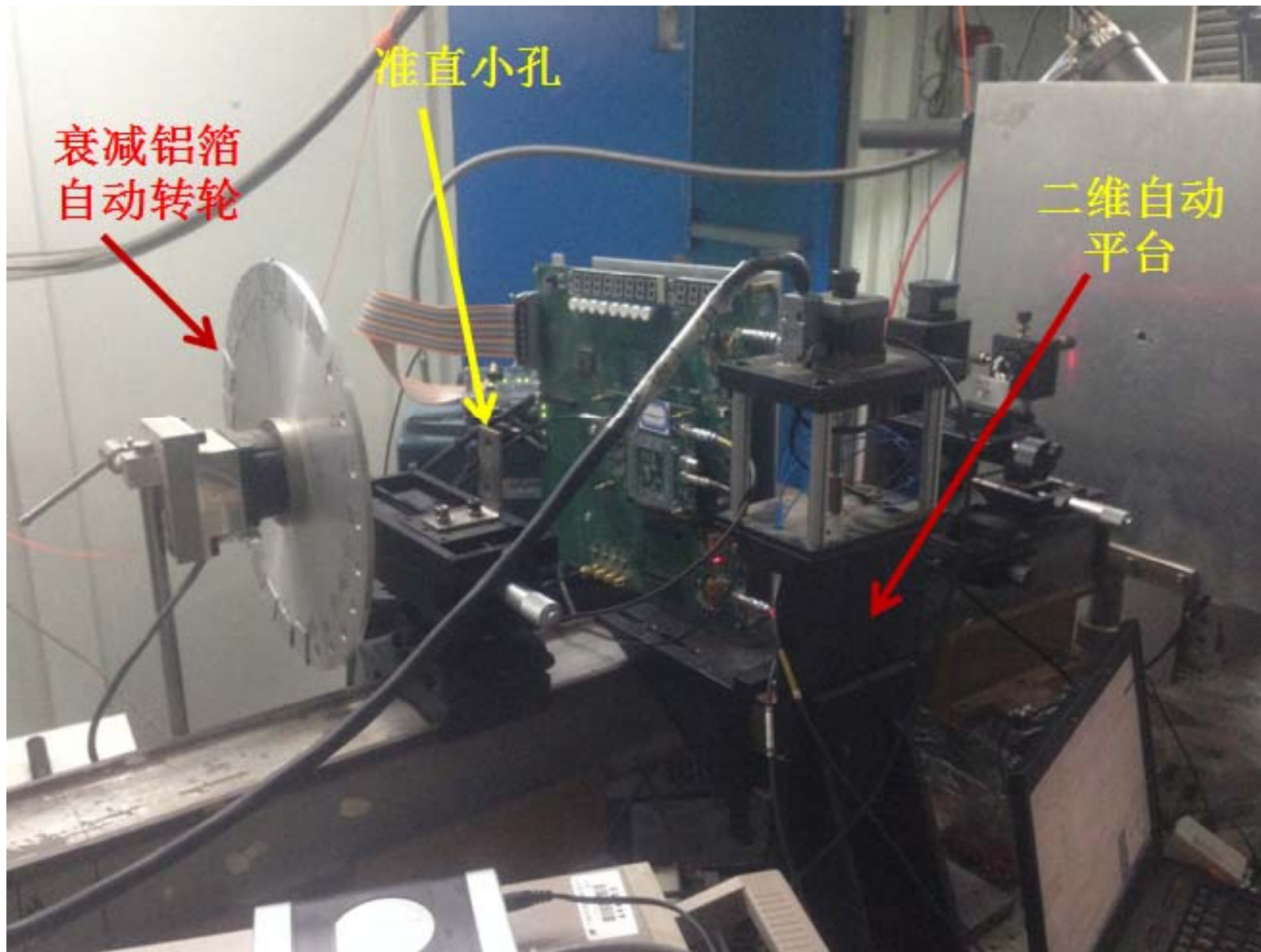
Sensor和ASIC联调测试方案



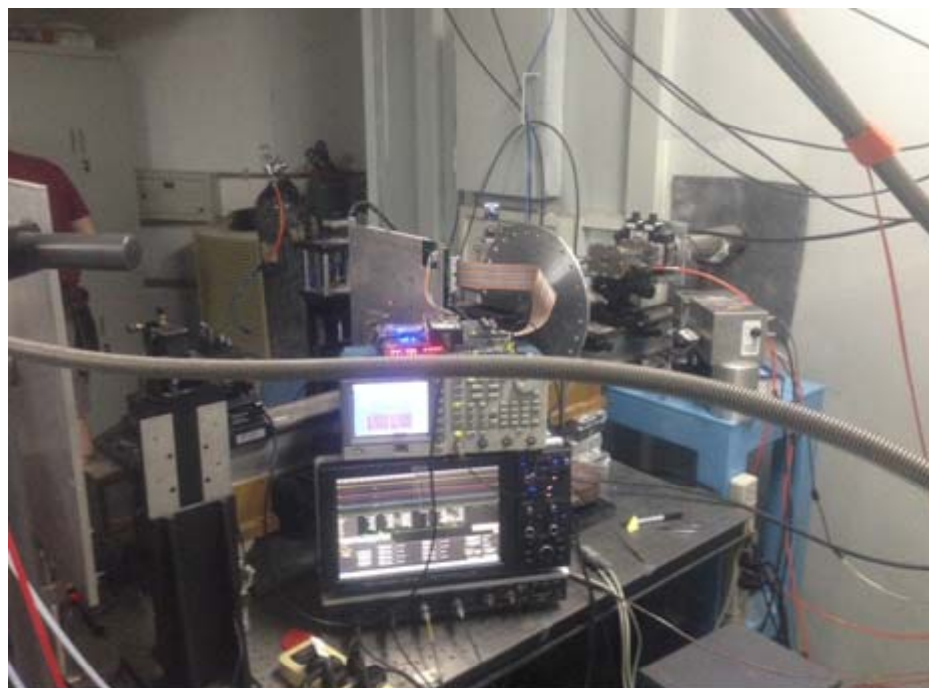
读出芯片、Wire Bonding打线封装以及和Sensor的联调测试

- 铁源纯模拟测试：
 - 观察联调系统5.9keV响应波形
 - 扫描全局阈值，利用示波器对甄别脉冲进行计数，完成初步的S-curve测量
- 同步光束流测试：
 - 检验实际条件下阵列计数功能
 - 通过全局阈值扫描，检验阵列同步工作下的能谱响应
 - 检验像素阵列的能量探测范围
 - 通过模拟波形和阵列每帧计数，观测像素阵列计数率指标

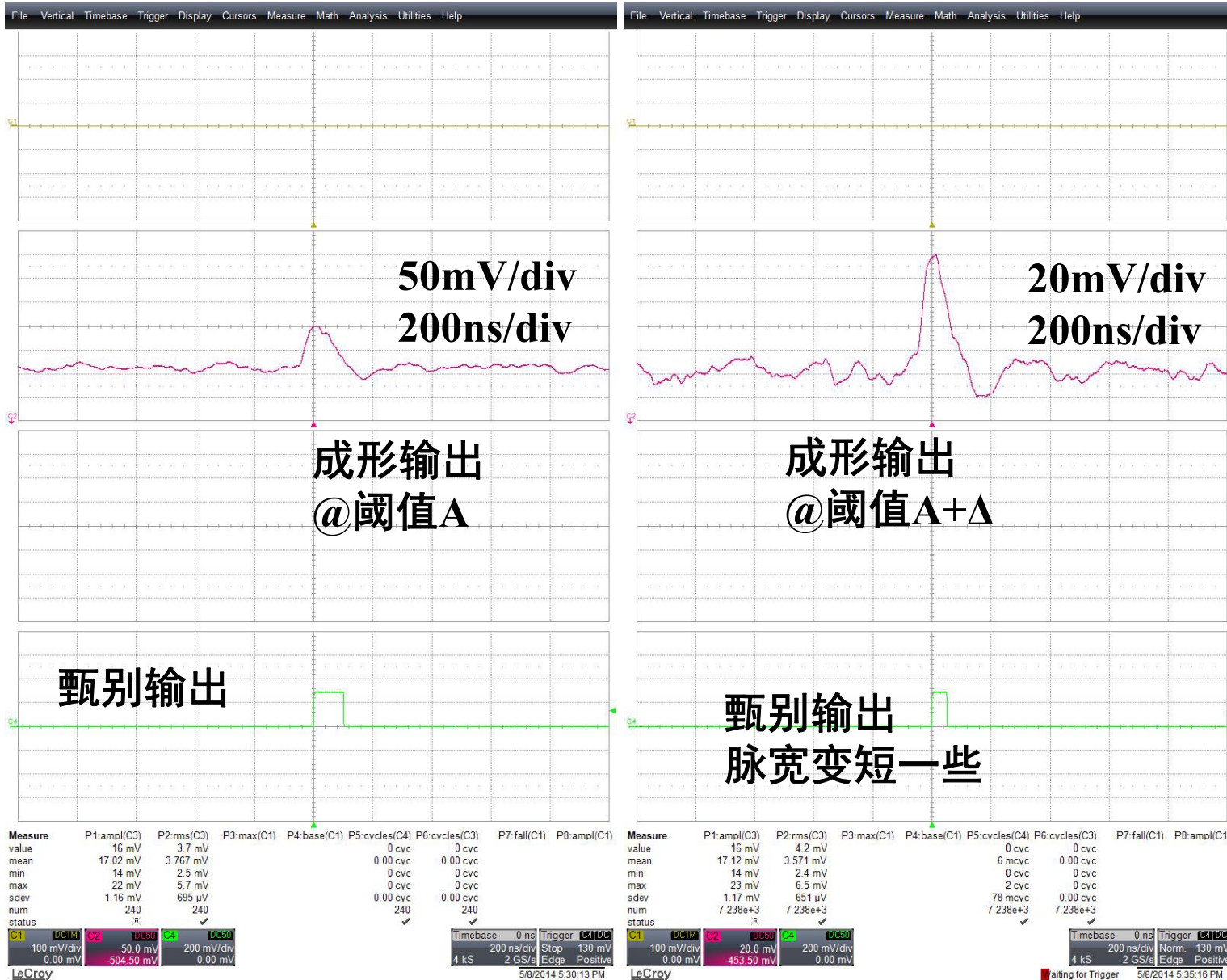
Sensor和ASIC束流测试环境@1W2B束线站



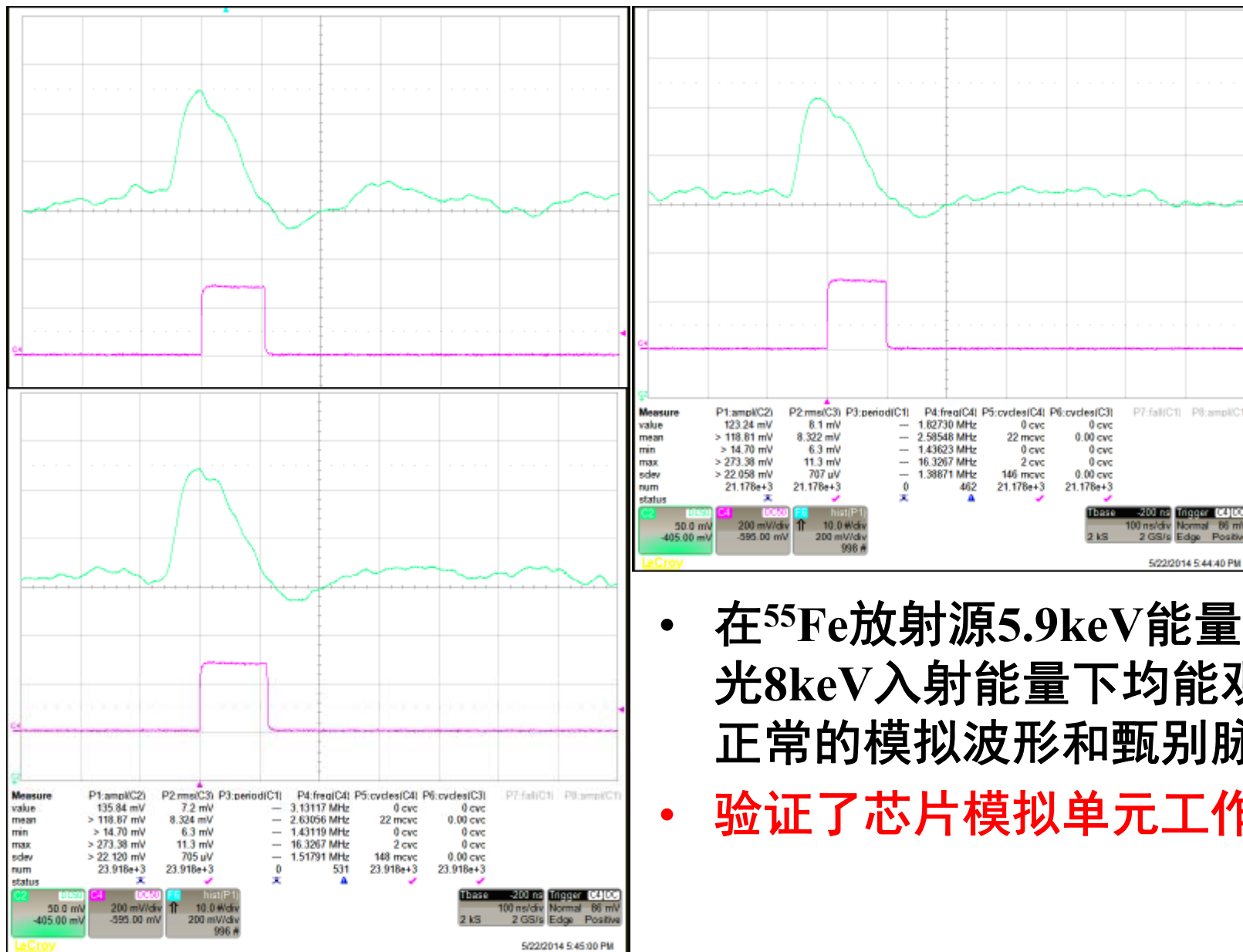
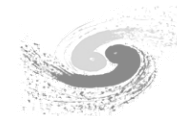
Sensor和ASIC束流测试环境@1W2B束线站



^{55}Fe 放射源纯模拟波形观测

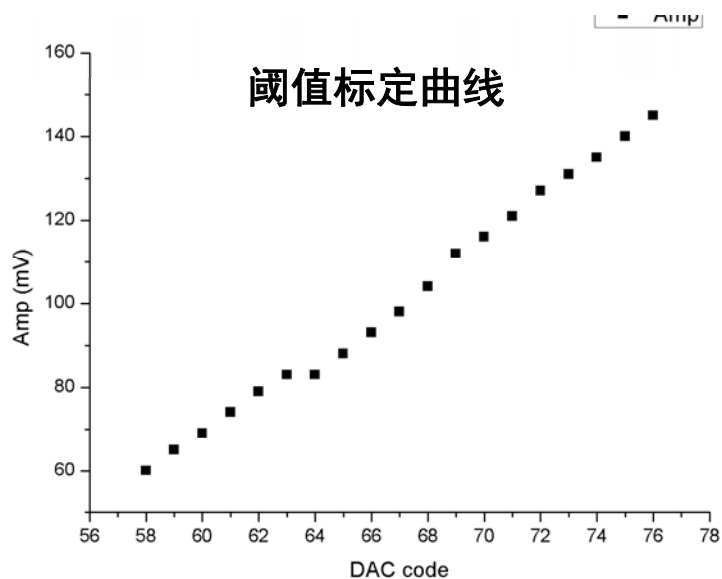
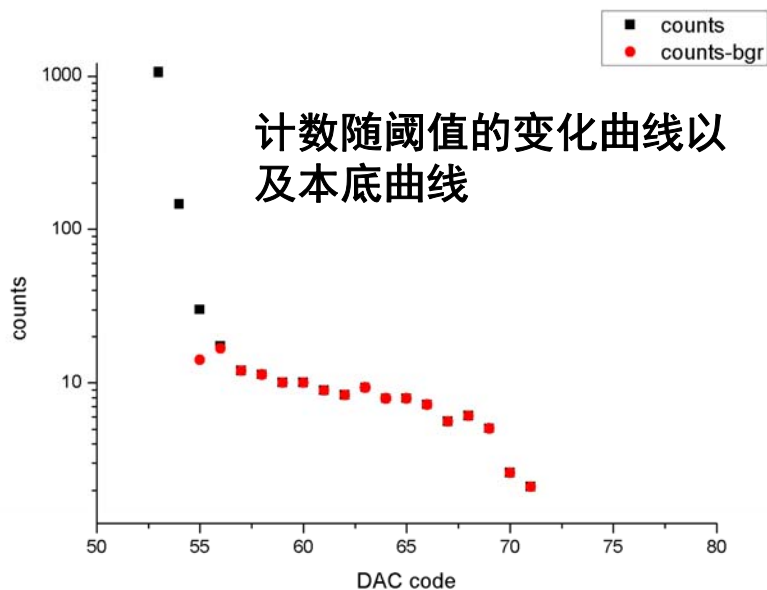
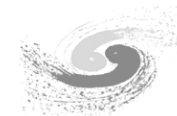


同步束流8keV能量纯模拟波形观测



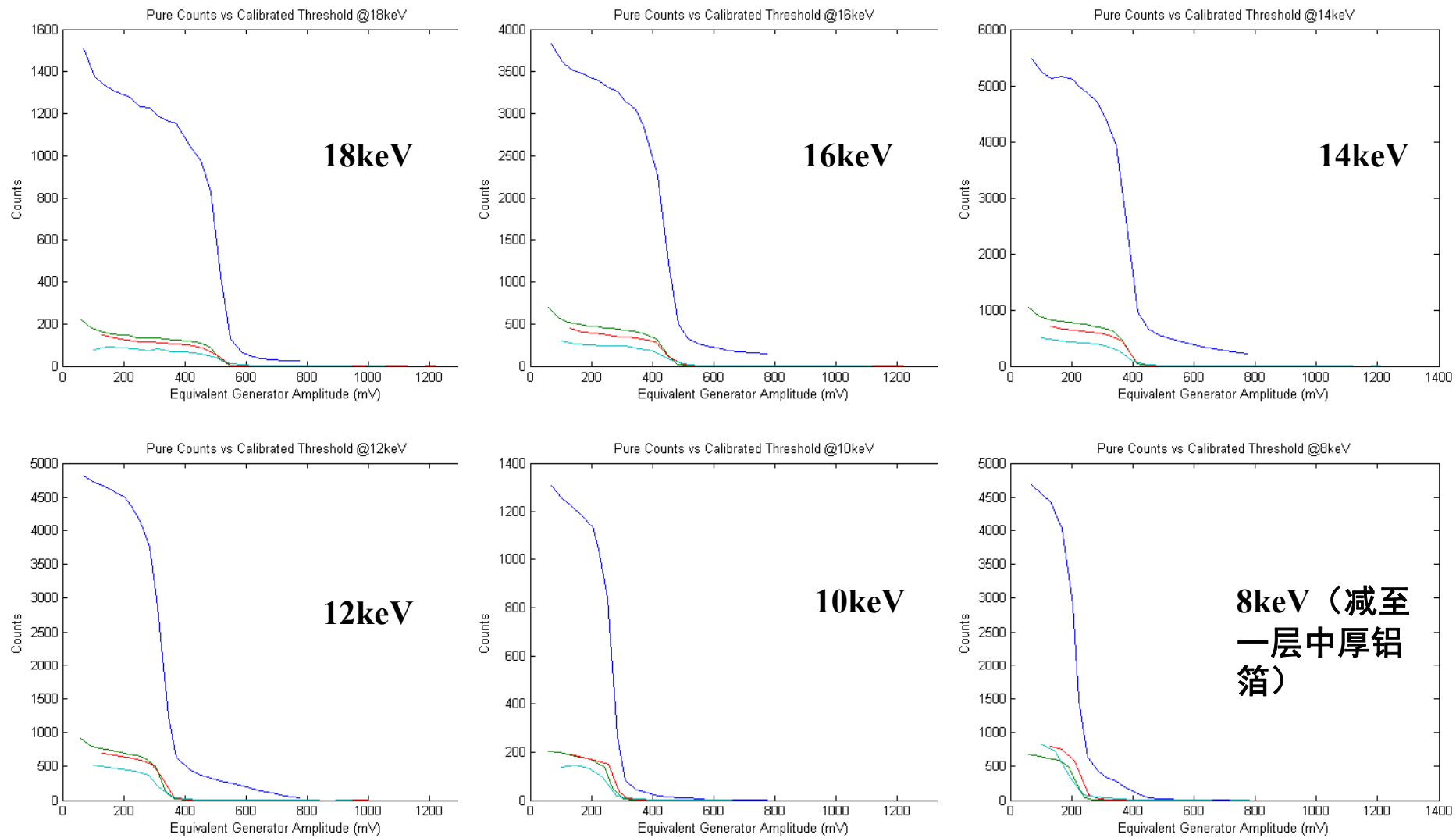
- 在 ^{55}Fe 放射源5.9keV能量和同步光8keV入射能量下均能观测到正常的模拟波形和甄别脉冲
- 验证了芯片模拟单元工作正常

^{55}Fe 纯模拟方式计数率随阈值的变化

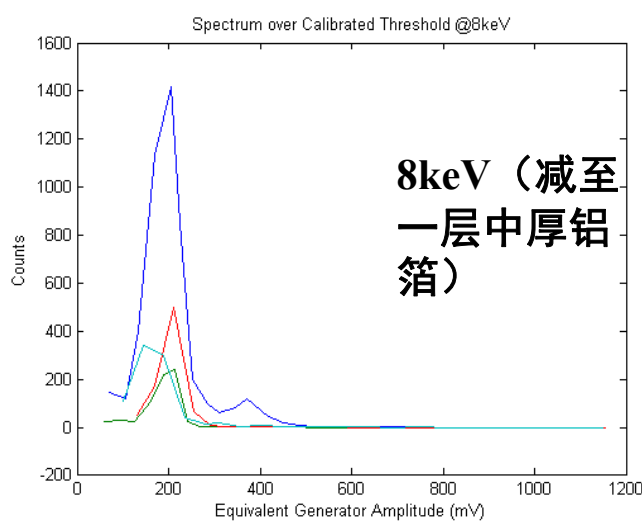
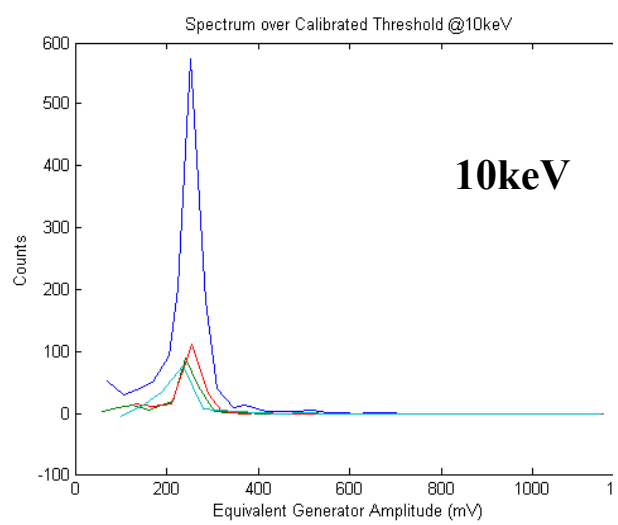
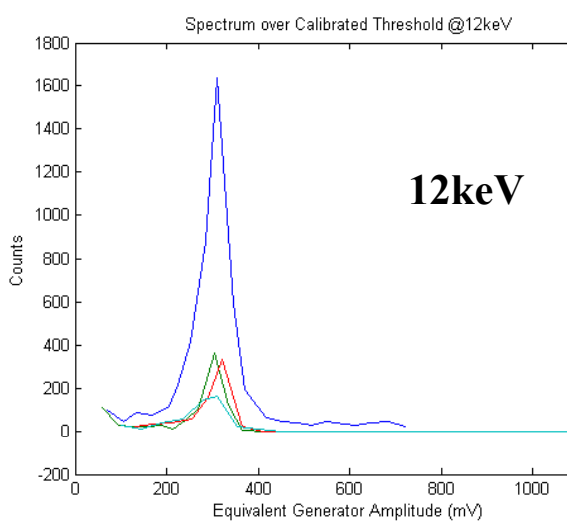
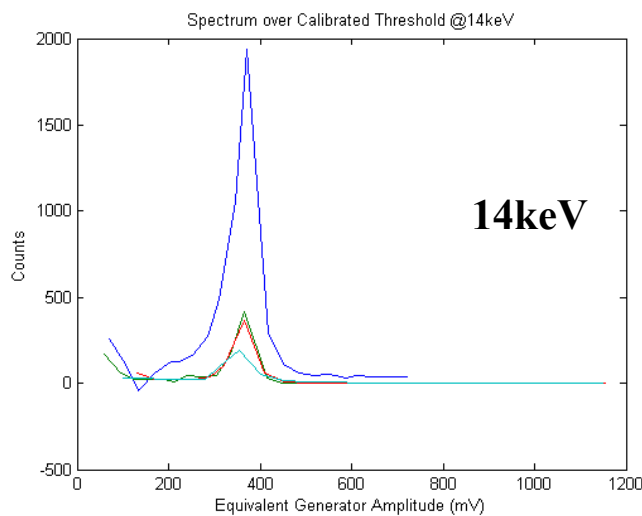
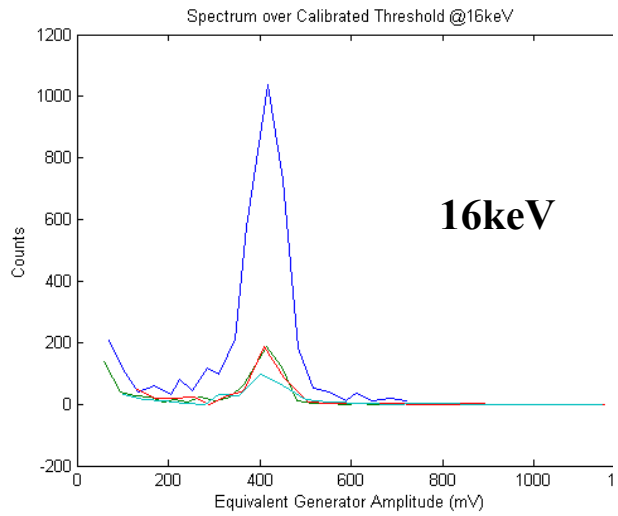
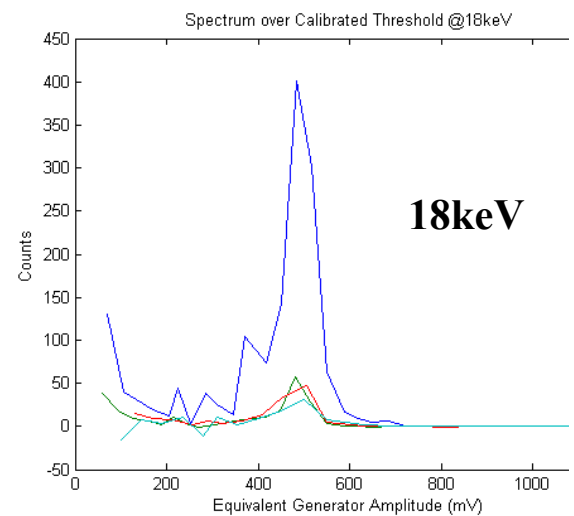
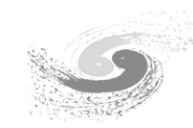


- 计数50%位置定标在产生器幅度112mV
- 噪声峰峰值范围对应定标结果为88mV ~ 140mV，即等效输入端噪声均方根值对应产生器幅度8.6mV
- 铁源中心能量5.9keV对应 $1620e^-$ ，即112mV产生器幅度定标在 $1620e^-$ ，因此等效输入端噪声对应 $188e^-$
 - 由打线电容带来了相应的噪声增加，估算约1pF左右
 - 对应能量分辨为 $2.35 \times 188 / 1620 = 27.3\%$
- 盖革计数器测量源的最大计数为160kcpm，准直孔为直径3mm圆孔，Sensor像素为 $200\mu\text{m} \times 200\mu\text{m}$ ，平均每像素计数约为10cps，这同实测平顶计数约8个/秒也很接近，计数多少也和源的摆放位置有关
- 以上测试进一步证明全部模拟单元功能正常，测试结果符合设计预期

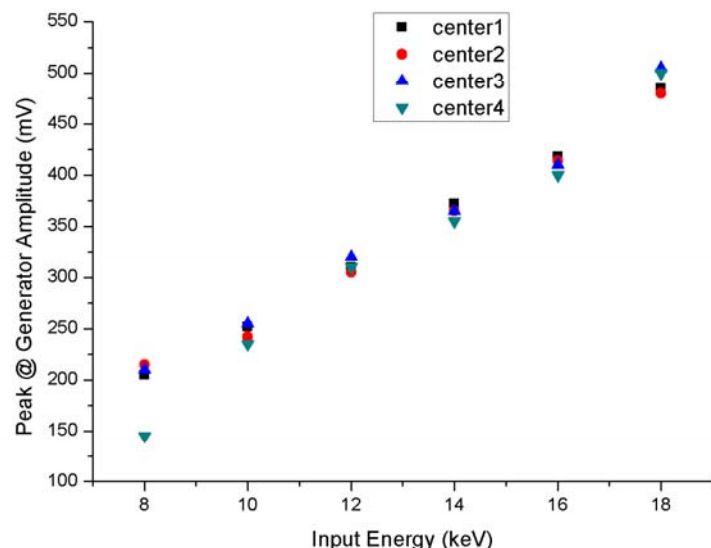
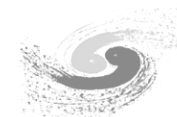
不同能量下标度后的计数响应 (已扣本底)



微分计数响应曲线——能谱响应曲线



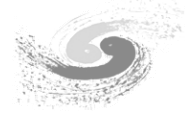
标度后能量峰位随能量的响应



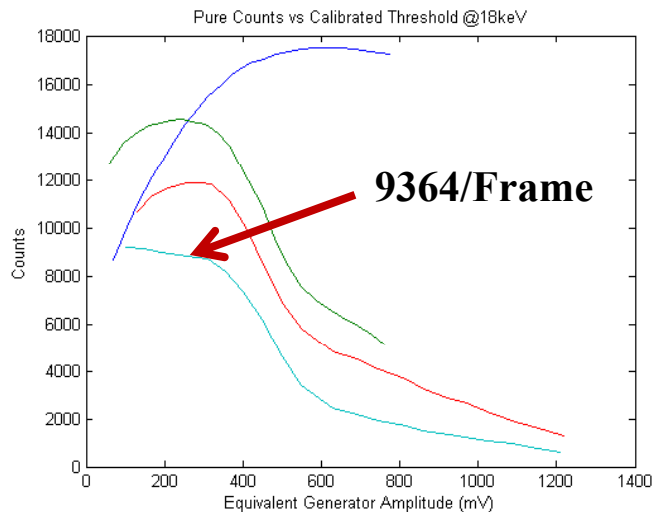
- 该实验证明了阵列同时计数工作时，能够实现对8keV~18keV能量的探测
- 即芯片主体功能正常工作
- 实测中，未打线像素未发现计数串扰

- 能谱响应曲线中最大值位置对应了实测能量峰位
- 实测峰位vs输入能量图
 - 在线性标度下，各像素能量峰位随输入能量呈线性变化
 - 同一能量下，各像素的能量峰位位置比较一致，像素不一致性已被刻度
 - 误差来自于测量精度：
 - 阈值扫描步长较大
 - 由于光斑较大且打线像素相邻像素浮置，存在一定的电荷收集和电荷共享效应，只能在最终倒装焊封装后解决这一问题

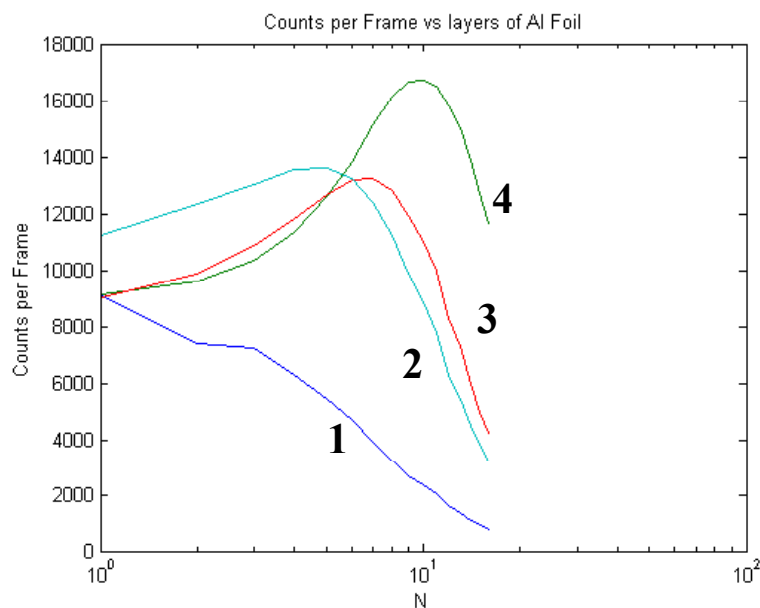
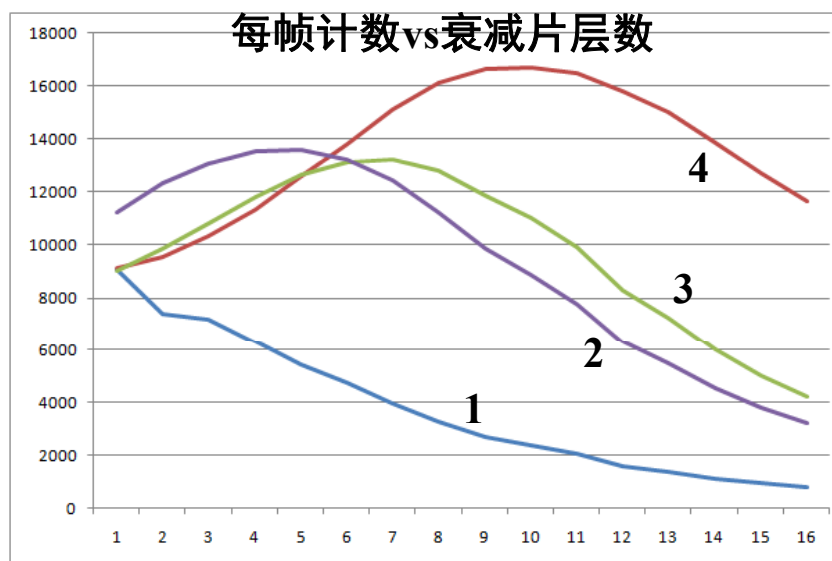
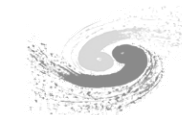
计数率评估



- 在纯模拟方式下，利用示波器计数功能统计甄别脉冲输出个数
 - 图中时基为 $5\mu\text{s}/\text{div}$ ，统计得到的计数 $101.4\text{cnts}/50\mu\text{s}=2.028\text{MHz}$ ，证明芯片能够工作在超过 1MHz 计数率情况下
- 利用阵列计数读出，观测每帧计数率
 - 每帧计数可超过 9400 （未饱和），帧周期为 $6.14\text{ms}@500\text{kHz clk}$ ，即计数率为 1.52MHz
- 以上均验证了**芯片能够工作在超过 1MHz 的计数率情况下，满足了项目指标**

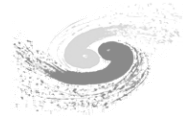


像素饱和计数率



- 观测每帧计数vs铝箔衰减片层数
- 认为每层铝箔厚度固定，则透过光强同铝箔层数应成指数衰减关系
- 在半对数坐标系中，像素1计数率vs铝箔层数基本呈现线性关系，基本符合理论预期
- 2、3、4三个像素经历了计数过饱和 → 计数饱和（计数平顶） → 计数指数衰减过程，和高计数率堆积情况相符
- 在对数坐标中的上升拐点可以认为是该像素的饱和计数率，像素2和3大约都在 $13000/fr=2.1\text{MHz}$ 左右（帧周期6.14ms），认为是一般像素的饱和计数率指标

Sensor联调测试小结



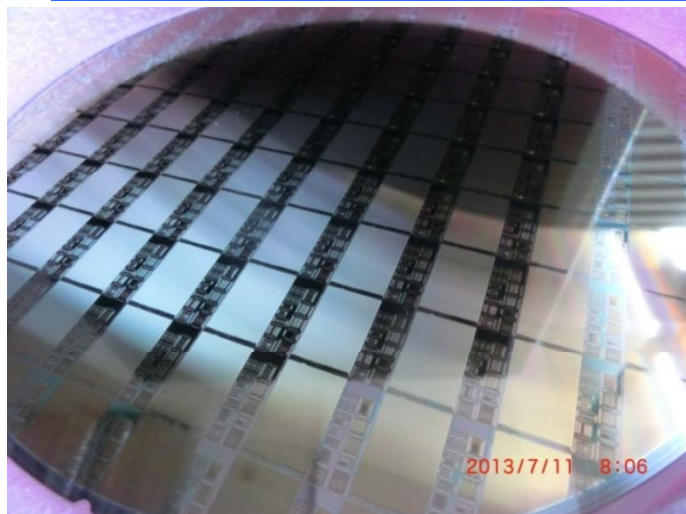
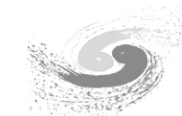
- 铁源波形观测：
 - 模拟单元工作正常
 - 打线像素ENC=188e⁻，估计前端电容约1pF
 - 证明倒装焊封装后，噪声应小于188e⁻，即满足设计指标
 - 模拟观测到计数率可达2.1MHz，满足1MHz的设计指标
- 同步光束流测试：
 - 芯片计数功能通过了实测检验，即主要功能均正常
 - 可实现对8keV~18keV入射能量的探测
 - 计数率可达1.5MHz不饱和，满足1MHz的设计指标
 - 饱和计数率可达2.1MHz
- **芯片的各项指标经联调测试，达到了项目需求**
- 受倒装焊尺寸限制，只能采用打线连接，选取有限的像素，导致联调时其他效应对测试结果影响较大。采用最终的点对点倒装焊封装，预计将显著改善测试结果

和目标芯片指标对比



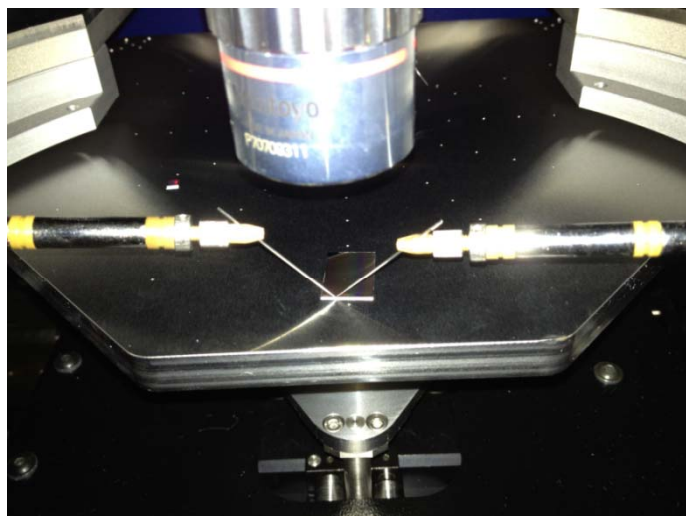
| 对比指标 | Pilatus I chip | Pilatus II chip | 本设计 |
|---------|--|--|---|
| 像素尺寸 | 217 μm \times 217 μm | 172 μm \times 172 μm | 150 μm \times 150 μm |
| 像素阵列 | 44 \times 78 | 60 \times 97 | 72 \times 104 |
| 帧刷新率 | 10Hz (Pilatus 1M) | 30Hz (Pilatus 2M) | > 1kHz (360k pixels) |
| 读出时钟 | 10MHz | 66.6MHz | > 17MHz |
| 读出死时间 | 6.7ms/fr | 2.85ms/fr | 116.7ns/fr@30MHz |
| 最高计数率 | 10kHz/Pixel | 8MHz@low gain 0.9MHz@high gain | > 1MHz/Pixel |
| 能量探测范围 | > 4keV | > 4keV | 8~20keV |
| 等效输入端噪声 | 75e ⁻ bump bond | 123e ⁻ bump bond | 87.3e ⁻ unbond 188e ⁻ @1pF wire bond |
| 不一致性 | 55e ⁻ | 10e ⁻ ~ 13e ⁻ | < 60e ⁻ |
| 计数深度 | 15bit | 20bit | 20bit |

倒装焊研究进展

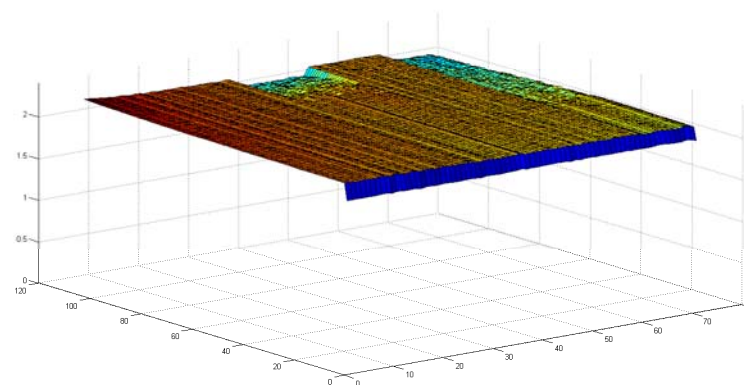


倒装焊评估芯片工程批晶圆

- 设计了相应的读出芯片，可对良率进行测试评估
- 评估芯片已进行了工程批流片和裸片测试，作为评估对比基准
- 对倒装焊工艺开展了并行的工艺研究
- 选定了最终的倒装焊工艺，焊点连通率良率高于99.9%

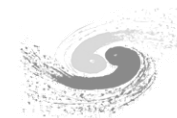


探针台测试



倒装焊样片连通平整度评估
(72×104像素)

总结

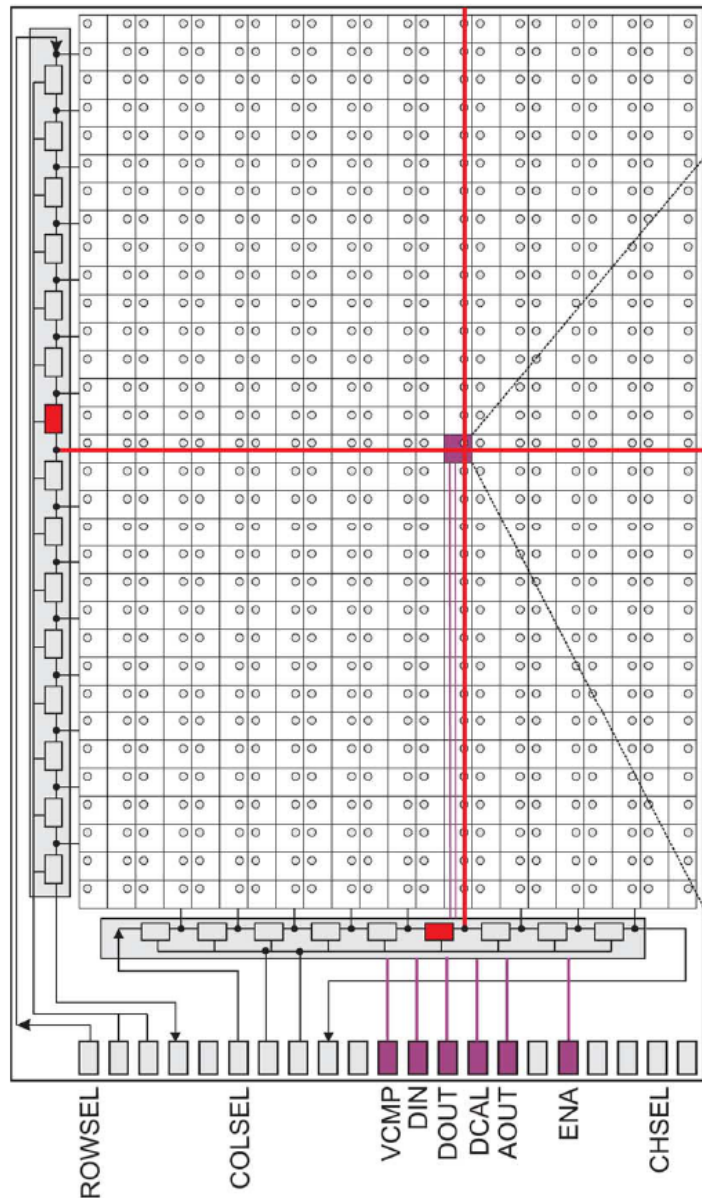


- 高能同步辐射光源硅像素探测器预研**读出ASIC完成了从需求分析、电路设计、流片制造，到封装测试的过程**
- MPW芯片包含 24×20 像素阵列和全部最终模块，经过芯片自测试和与Sensor联调测试，主要性能均满足设计需求
 - **同主流同类探测器芯片性能指标对比，目前的部分测试结果达到或好于目标芯片**
 - 联调噪声等其他指标需改进实验条件
- 倒装焊工艺
 - 选定了最终的倒装焊工艺，焊点连通率良率高于99.9%
 - 工艺稳定可靠
 - 正进行一对多倒装焊工艺研究，预计年底完成
- **将在8月中旬提交工程批流片V2.0版，以便开展后续研究**

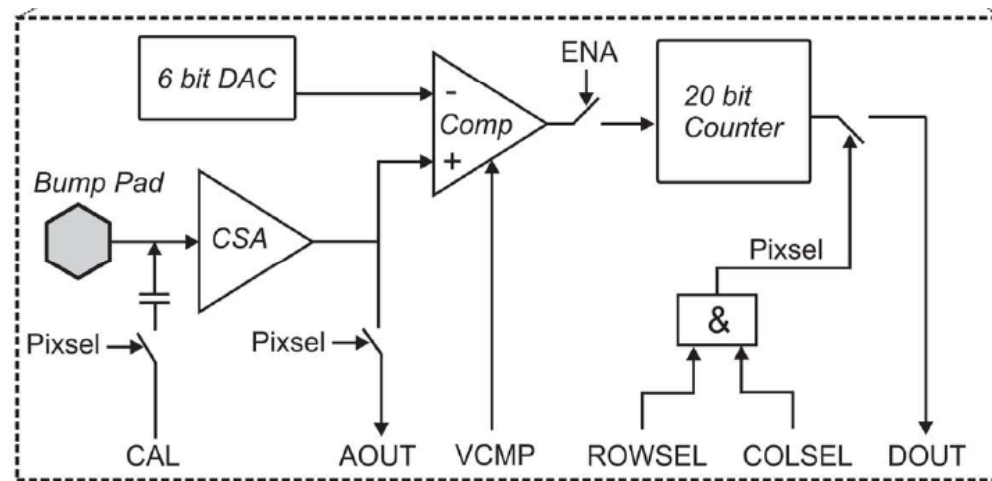
Thank you !

Backup Slides

前期调研——国外同类读出芯片设计——Pilatus



- 针对同步辐射应用
- 像素单元结构：
 - 前放-甄别-计数-读出
- 读出芯片结构：
 - 灵敏区：像素单元阵列排布
 - 外围逻辑：控制和读出
- 像素尺寸： $172\mu\text{m} \times 172\mu\text{m}$



前期调研——国外同类芯片设计——Medipix

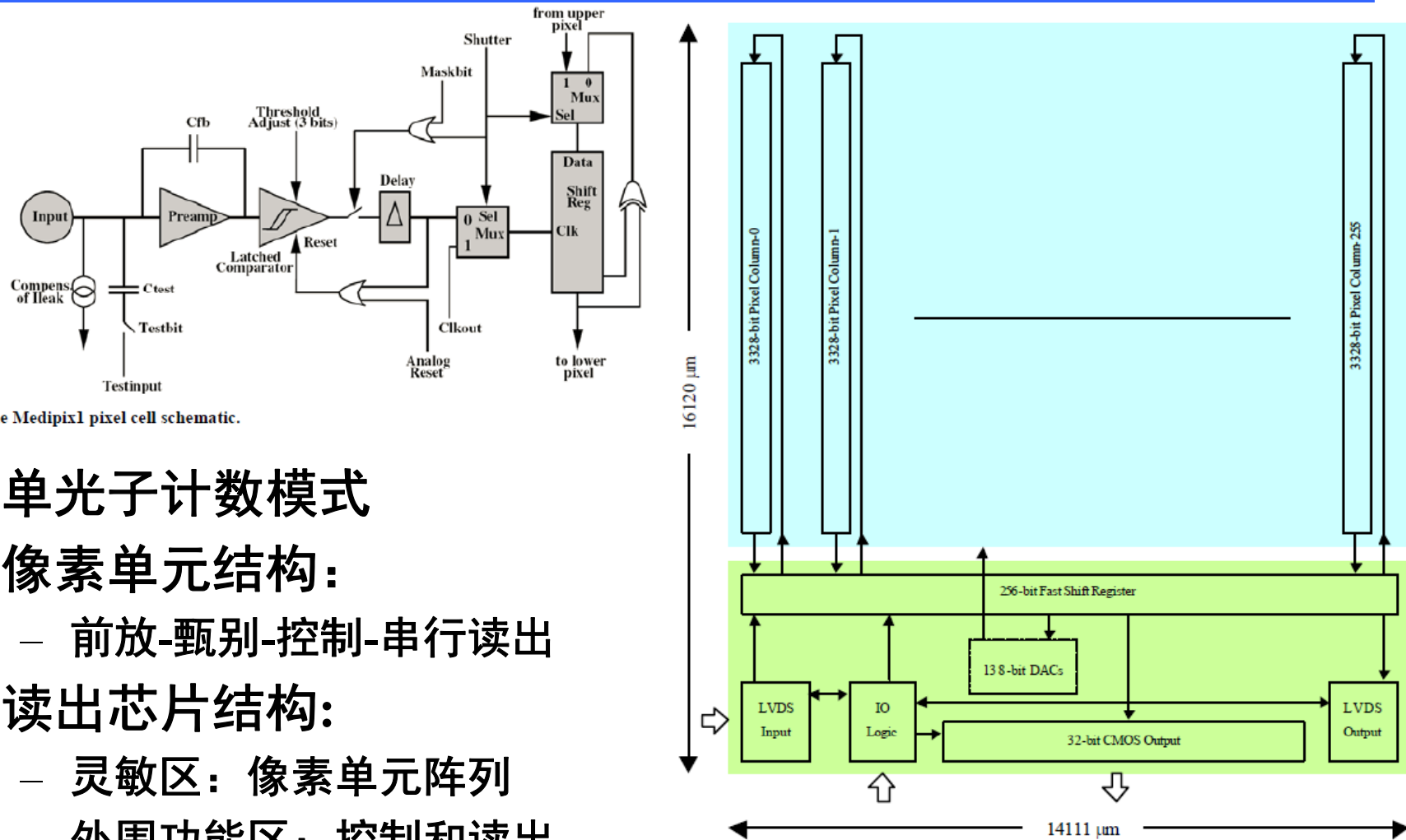


Figure 1.7. The Medipix1 pixel cell schematic.

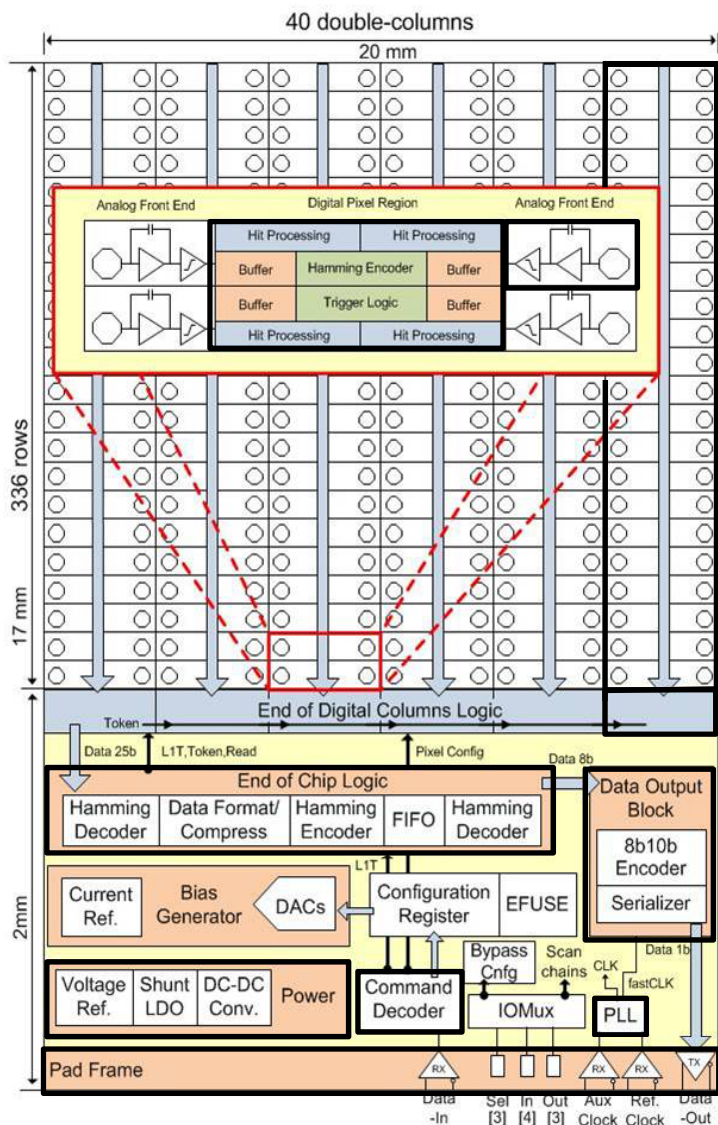
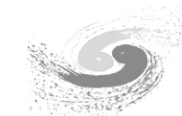
- 单光子计数模式
- 像素单元结构：
 - 前放-甄别-控制-串行读出
- 读出芯片结构：
 - 灵敏区：像素单元阵列
 - 外围功能区：控制和读出
- 像素尺寸：55μm × 55μm

相关设计经验——参加ATLAS像素探测器升级



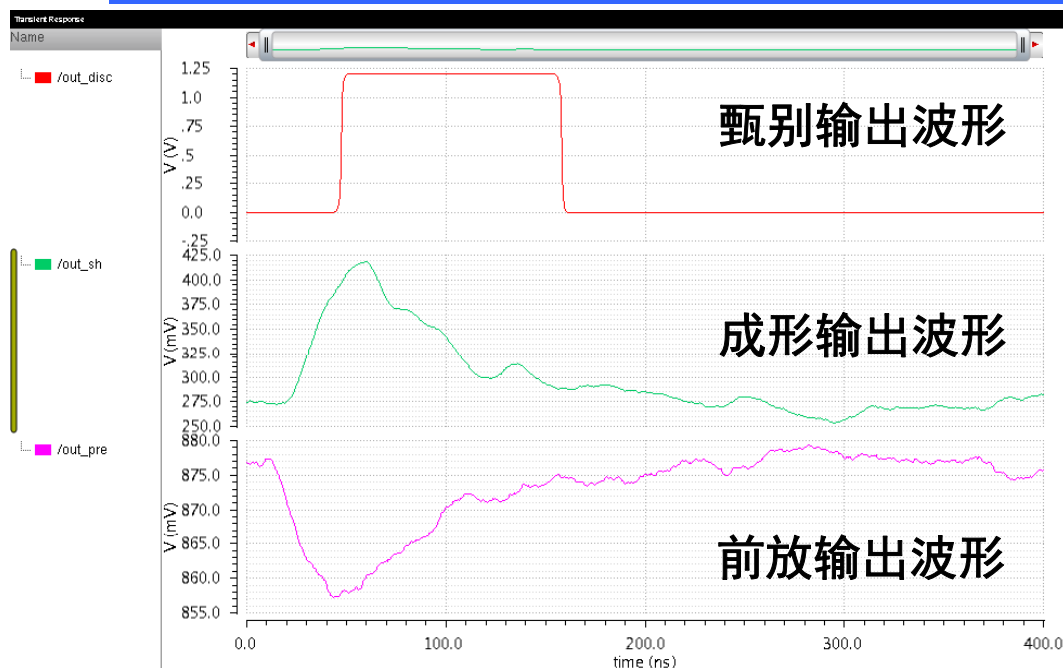
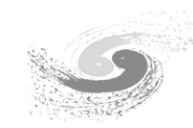
- 自08年起参加ATALS像素探测器升级国际合作，先后同CPPM、LBNL等单位合作完成设计与测试，现仍保持规律性合作和互访
- 合作设计研究：
 - 关键单元的设计和测试
 - 模拟缓冲、低功耗像素单元、片上刻度模块、低压参考源、DICE Latch、上电复位模块.....
 - 全芯片仿真和验证
 - 全芯片功能验证
 - 全芯片电源网络和一致性验证
 - 数版芯片版图、布局和流片工作
 - 芯片测试
 - FEI4、FEC4_P3
- 在参加合作的过程中积累了大量像素芯片设计经验，为本项目提供了参考

ATLAS像素读出芯片设计——FEI4



- 高能物理顶点探测
- 像素单元 $50\mu\text{m} \times 250\mu\text{m}$:
 - 模拟部分:
 - 前放-甄别
 - 数字部分:
 - 触发、编码
- 读出芯片结构:
 - 灵敏区: 像素单元阵列
 - 外围区:
 - 逻辑、编码
 - 偏置、电源管理
 - 控制、读出

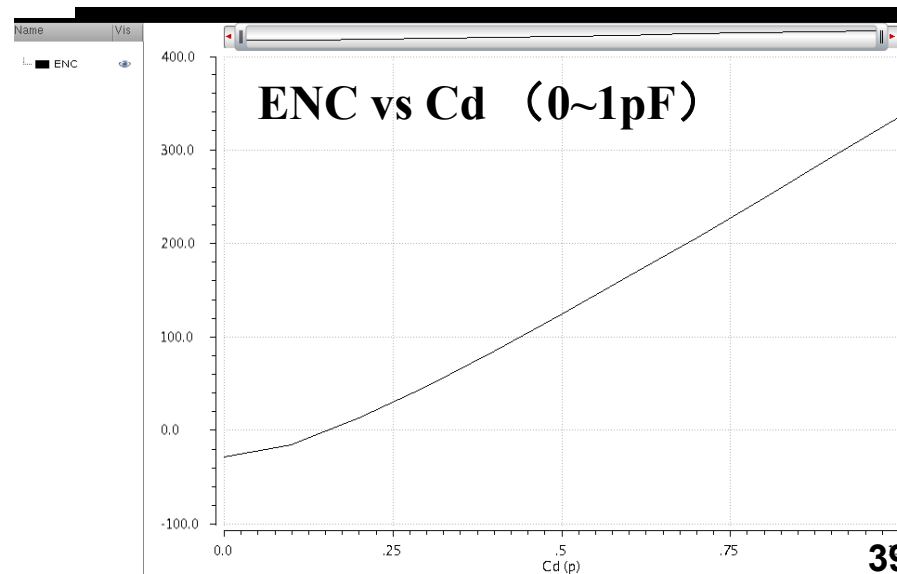
模拟单元电路仿真结果——噪声



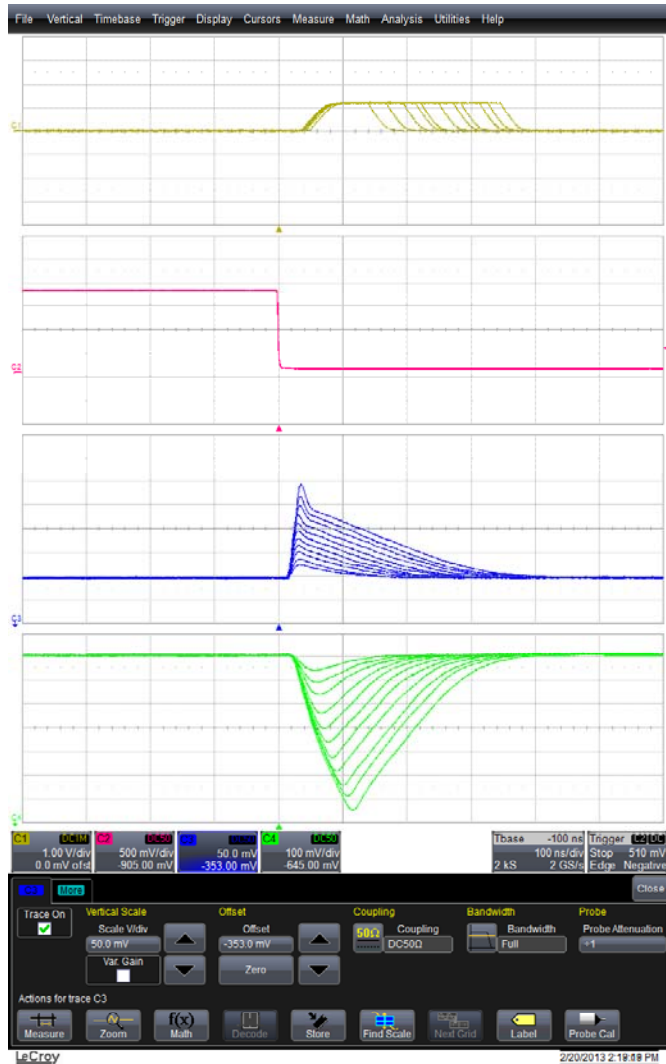
带噪声的仿真波形@输入信号 $2ke^-$

- 电荷增益：
 - 前放输出： $8.7mV/ke^-$
 - 成形输出： $62.6mV/ke^-$
- 输出端噪声（10~1GHz rms噪声 @ $Cd=200fF$ ）：
 - 前放输出：1.04mV
 - 成形输出：7.38mV

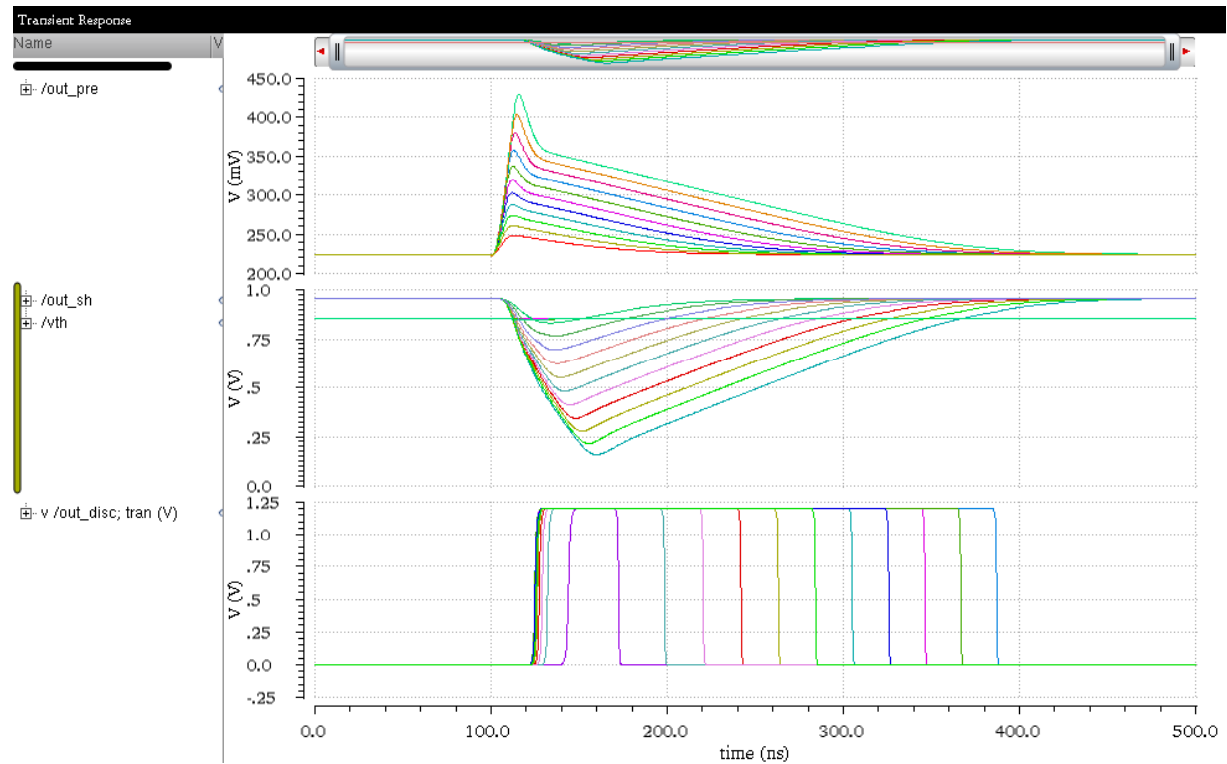
- **ENC (@ $Cd=200fF$)**
 - @前放： $119.5e^-$
 - @成形： $117.9e^-$
- 信噪比@8keV ≈ 16.9
- 噪声斜率： $93e^-+225.8e^-/pF$
- 能够满足ENC < $200e^-$ rms的设计指标



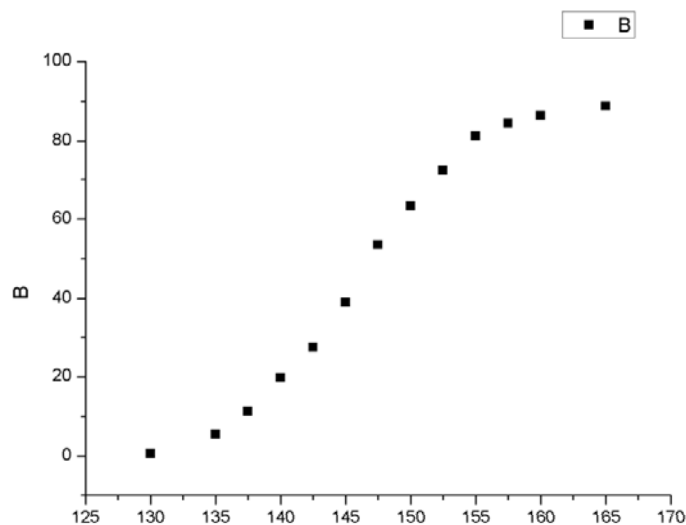
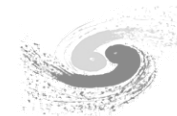
芯片功能测试——动态范围



- 左图：阈值设定在约4.7keV处，输入信号从0.2V ~ 1.2V（约合7keV ~ 40keV，）均可正常工作以及甄别，并初步实现了ToT功能
- 右图：仿真波形，同实测波形吻合

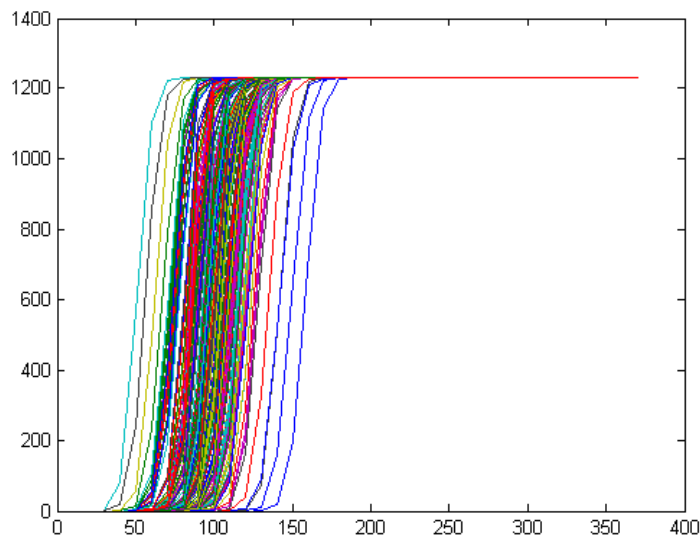


S-curve测试和ENC——模数对比

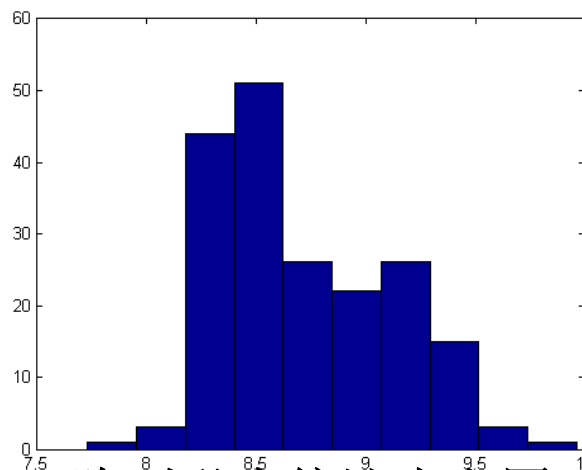


纯模拟单元S-curve测试

- 以前放-成形-甄别器的纯模拟单元测量S-curve, 得到15.9%~84.1%触发效率对应的输入138.83mV~153.41mV, 可得两倍ENC为: $ENC=7.29mV$, 约合 $72.9e^-$
 - 阈值设在 $1.47ke^-$ 位置
- 利用阵列计数结果统一测量S-curve, 作为模数混合结果, 得到ENC的平均值为 $87.3e^-$
 - 以上结果同仿真零电容噪声 $93e^-$ 结果相符
- 模数混合版图并未显著增加噪声

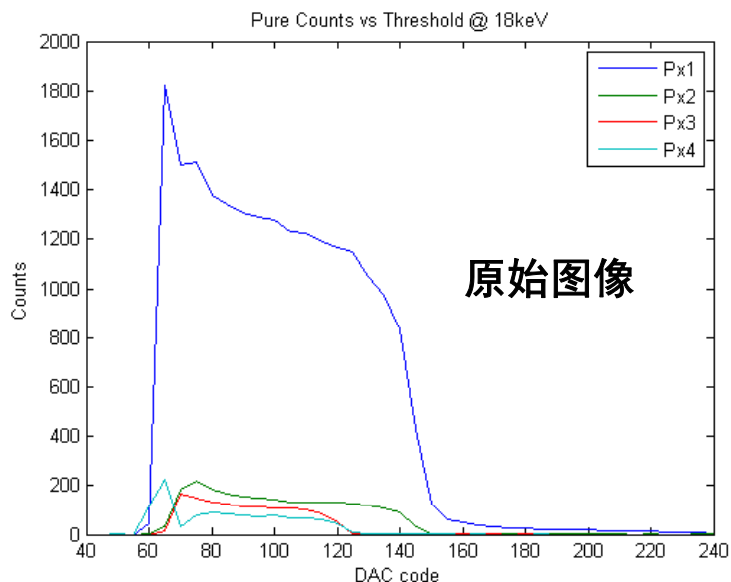
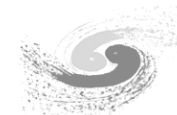


阵列S-curve测试

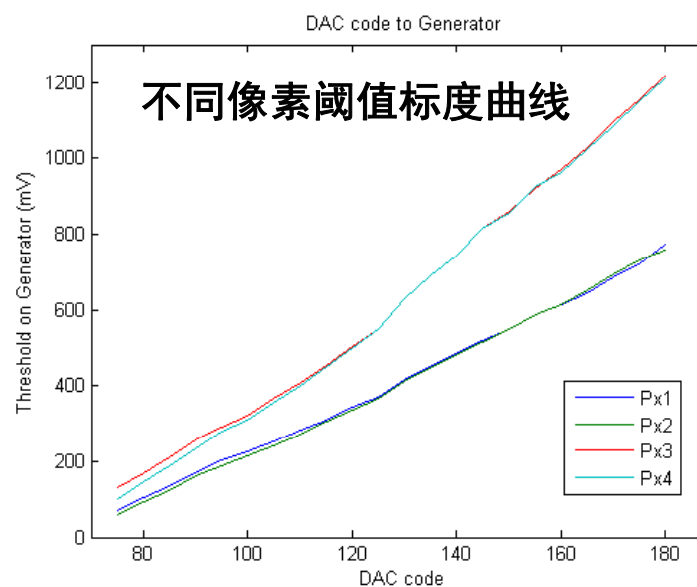
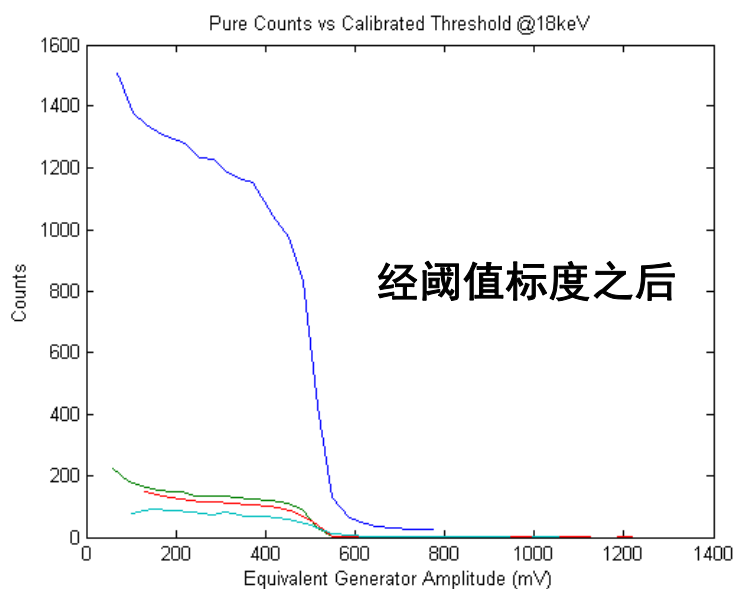


阵列噪声统计直方图

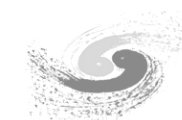
同步光下阵列计数随阈值的响应——测试方案



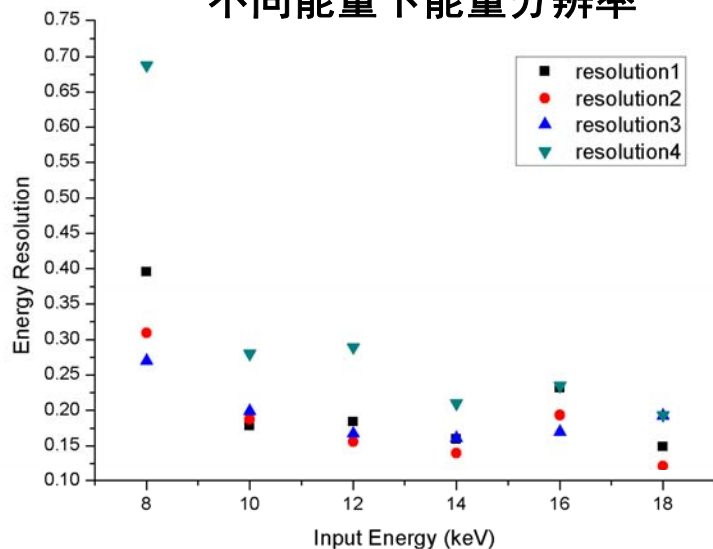
- 利用阵列计数功能，得到计数率随阈值变化曲线；像素阵列共随机选取4个打线像素
- 由于封装环境不同，导致不同Sensor像素存在增益不一致的现象
 - 利用S-curve方法，在每一阈值下扫描当前阈值的S-curve，其50%位置作为当前阈值对应的产生器幅度，即实现了**对阈值的标度**
- **将原计数率随阈值变化曲线映射为计数率随标度后阈值曲线**



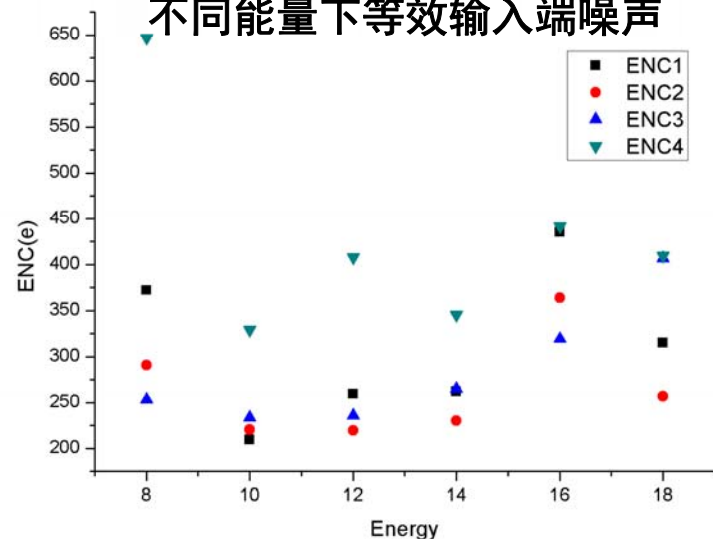
标度后能量分辨



不同能量下能量分辨率

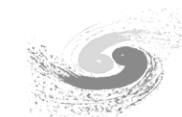


不同能量下等效输入端噪声

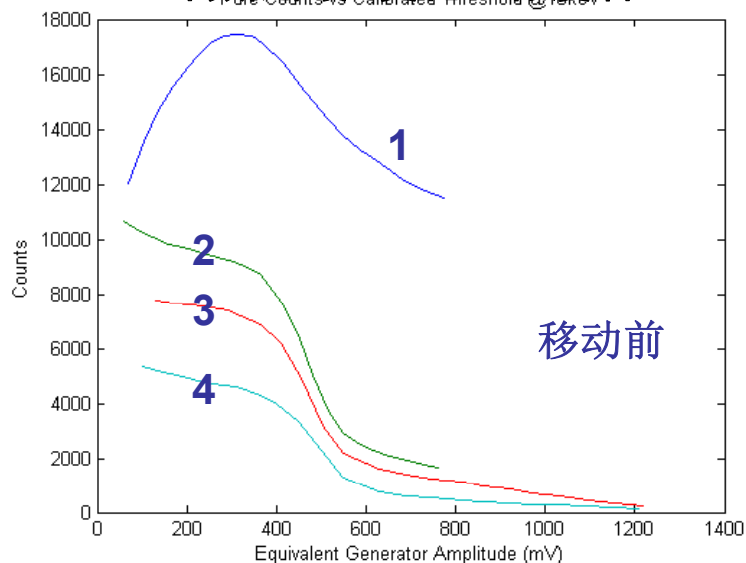


- 能量分辨=半高全宽/峰值位置
- 总体趋势为能量越高，分辨越好；测量精度和算法也影响了分辨
- 利用已经得到的峰位@产生器幅度→入射能量的绝对对应关系，可以计算系统等效输入端噪声的绝对值，如左下图
 - 系统噪声并非为一个常数，说明除了电子学噪声外，还有其他因素影响了能量分辨。和铁源纯模拟方式测得噪声188e-相比，被打线像素相邻像素的浮置、电荷共享和大光斑问题对系统噪声给出一定贡献
 - 几个像素的系统噪声随能量变化情况相似，说明存在上述分析的某种系统误差
 - 系统噪声整体在200e⁻~400e⁻之间，实现全部像素的点对点倒装焊封装和读出之后，预计性能将有显著改善

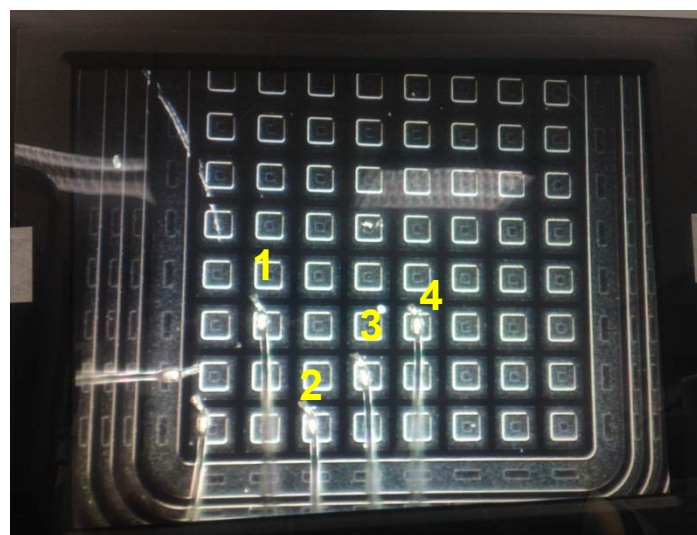
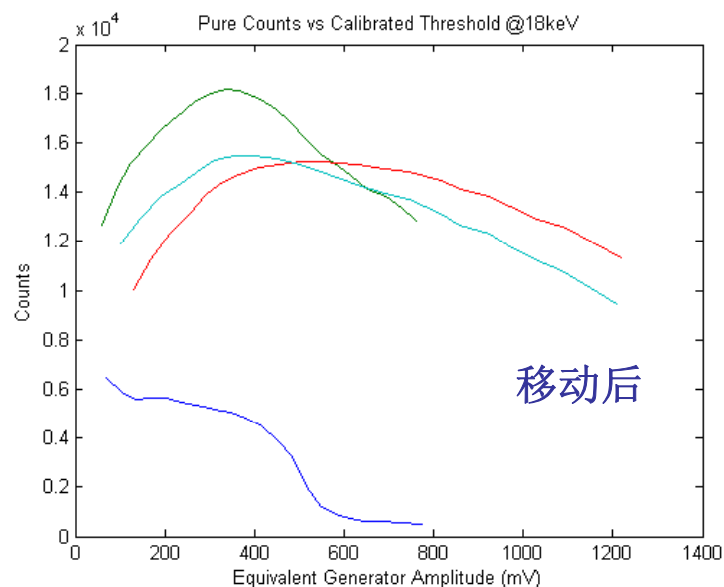
计数率和光斑不均匀性



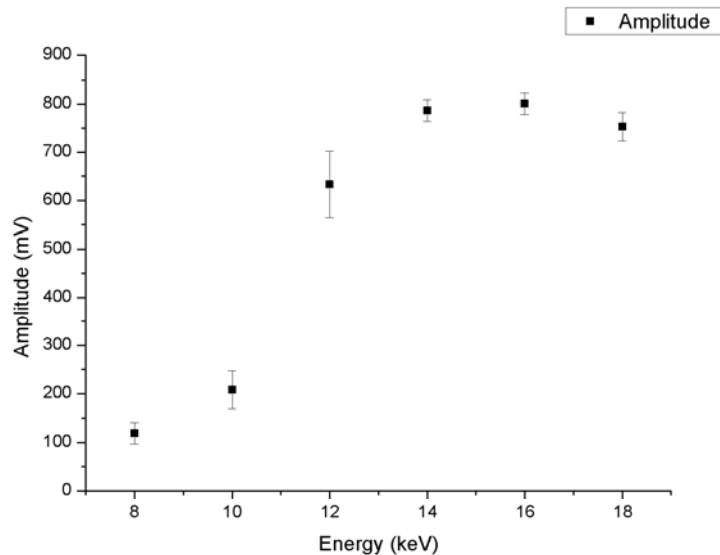
计数随阈值变化 (标度后)



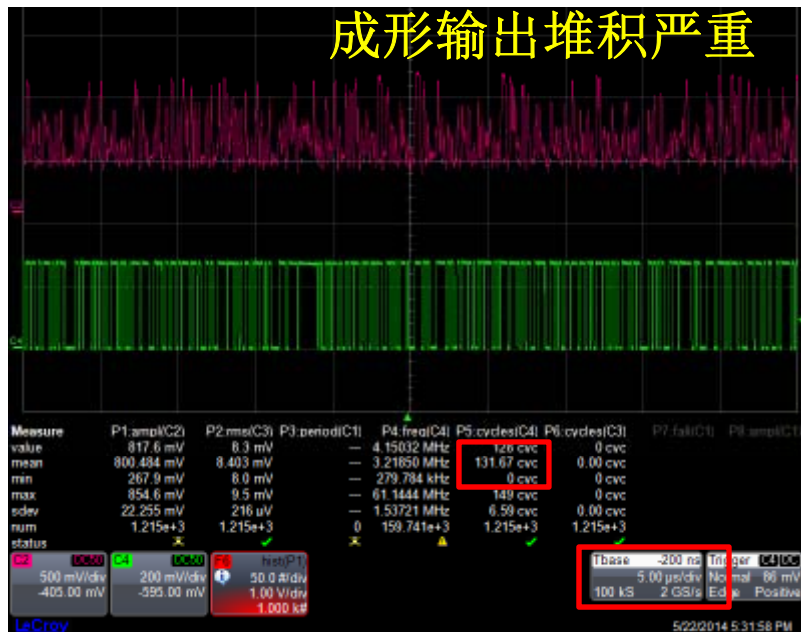
- 将母板承接平台进行微调，试图验证入射光斑的非均匀性
- 左侧两图分别为移动前、后的计数率响应，其他入射条件均不变
- 可见对应像素的计数率如预期发生了变化
- 另外，2、3、4三个之前计数相近的像素在移动位置后计数依然接近，从实际打线像素的位置也可以看到，三个像素是空间靠近的
- 这一方面证明了入射光斑的非均匀性，另一方面也验证了阵列计数是接收的实际光斑



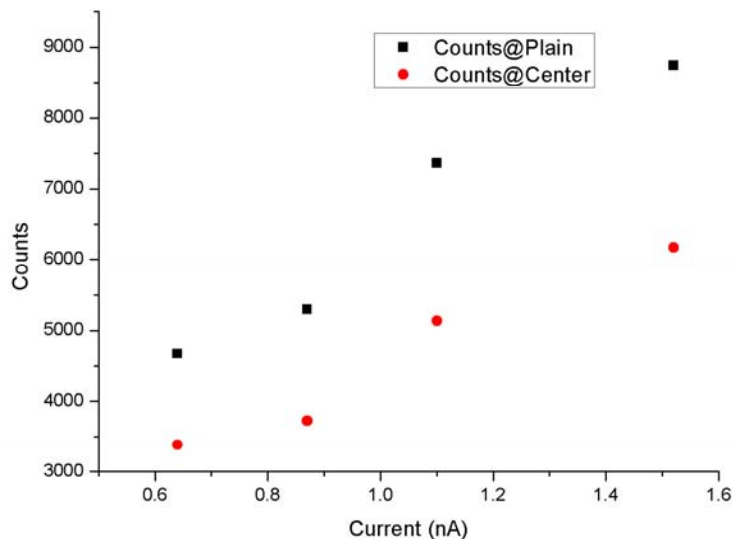
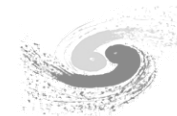
模拟方式观察计数饱和现象



- 利用示波器的幅度统计功能，对不同输入能量下的成形输出幅度进行统计，试图得到输出幅度vs输入能量的关系
- 图中所示的成形输出vs入射能量的关系线性不好，这可能是由于测试方法不正确导致：在测试时，较高入射能量下计数率较高（传输过程中被吸收较少），基本都超过1MHz（如图），因此在较高入射能量时，模拟波形输出可能存在堆叠，导致示波器的自动幅度统计功能不准确
- 如果还需进行类似实验：应该同高计数率实验分开，继续增加铝箔衰减片，使计数率进一步降低，最好是衰减为单光子情况再次进行统计

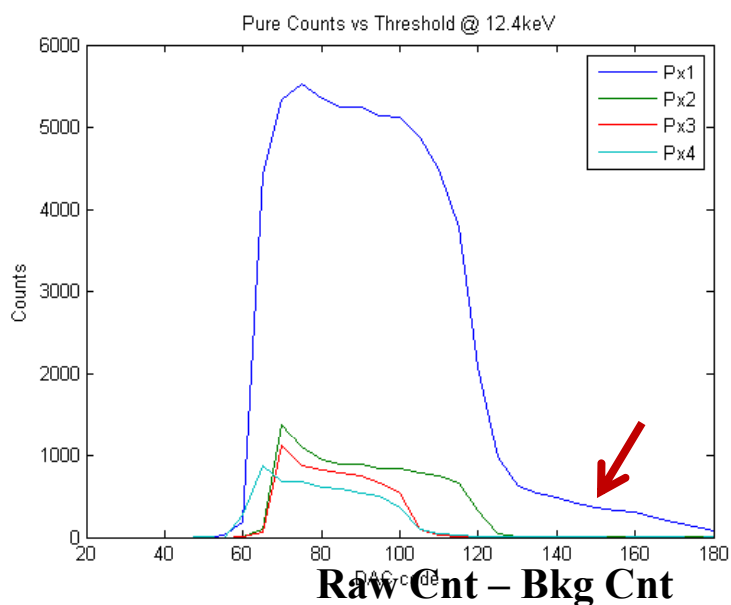
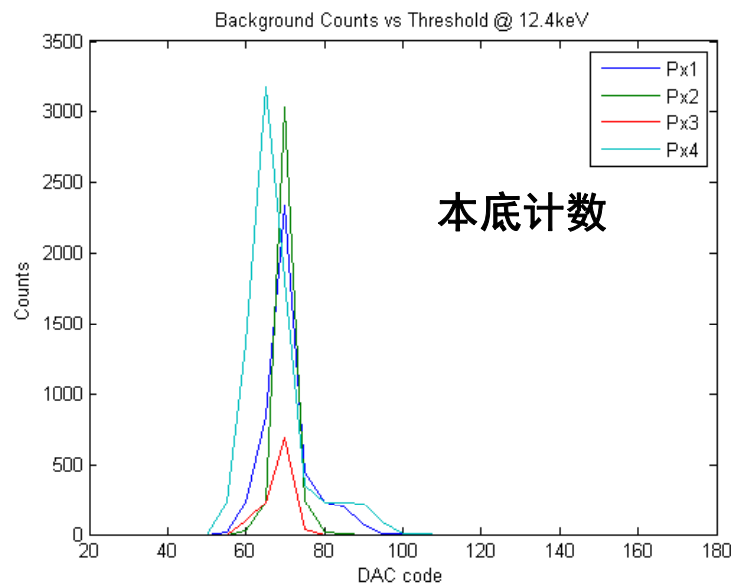
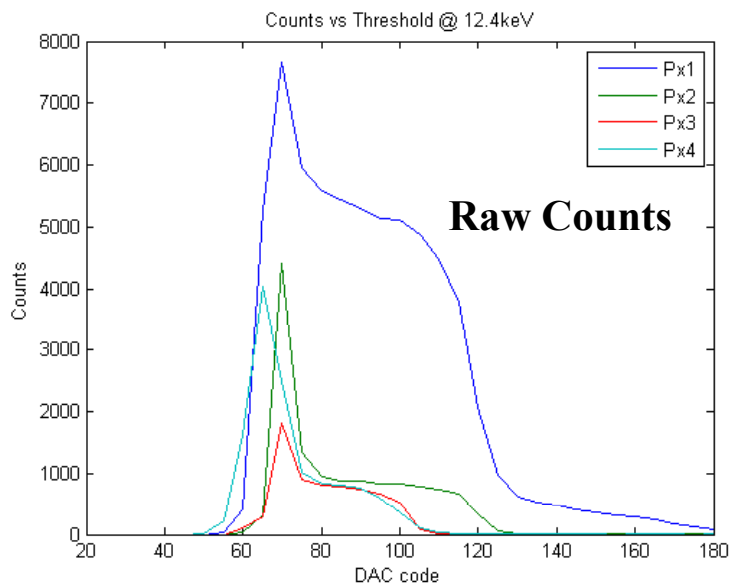
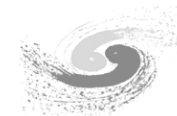


计数响应vs电离室流强



- 取全程未饱和像素作为被分析像素，分别选取坪区和能量阈50%点处的计数，做计数率vs电离室流强的曲线
- 可见计数率vs流强初步呈现线性响应，即验证了阵列计数功能，但更精确的测量，即入射粒子数vs计数输出，本次测试环境下无法进行，可能需要精确的定位装置和单光子入射装置（例如激光器）

原始计数、本底计数和纯计数



- 所有未打线像素仅在DAC=50, 55两个位置出现计数，其他阈值位置计数均为零（阈值经过了一致性刻度），属正常行为
- 打线像素经扣除本底计数后，得到了合理的计数响应曲线
- 计数较高的像素，在较高阈值时还有缓慢降低的计数响应，初步分析可能是因为较强计数率下出现了双粒子能量的叠加，从而依然可以过阈(?)