

ETOF触发子系统设计及进展

赵京周，刘振安，龚文焯，王科，邓芳

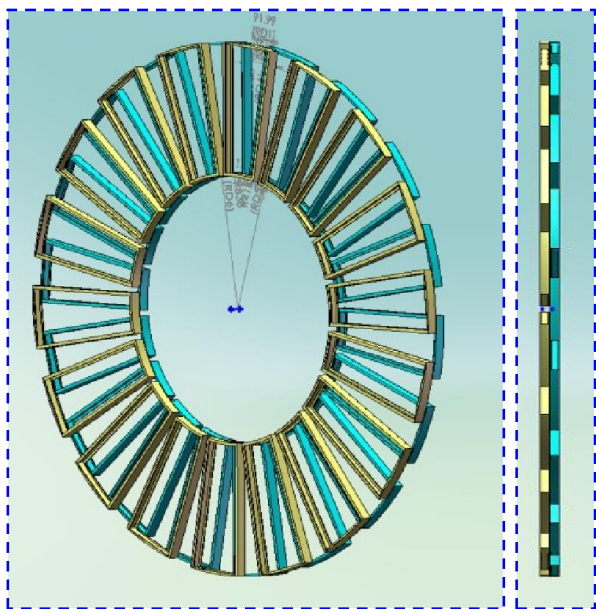
高能物理研究所 实验物理中心

报告大纲

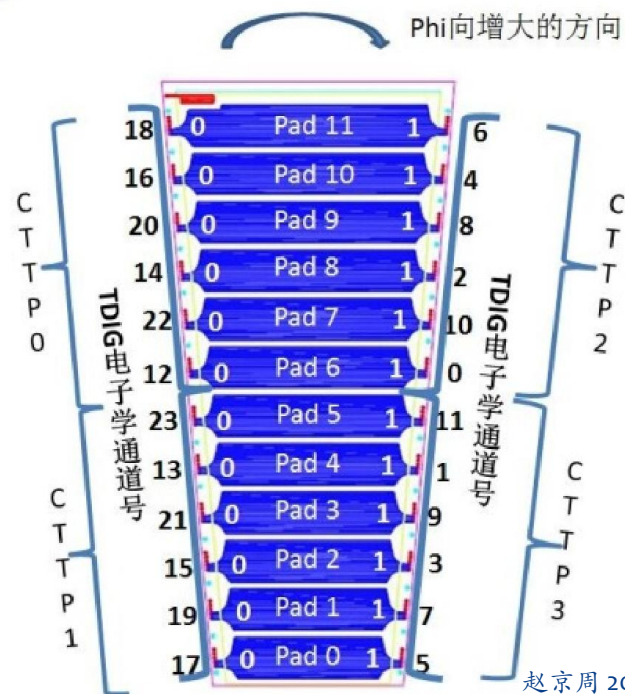
- * ETOF升级改造介绍
- * ETOF触发子系统设计方案
- * 背对背几何模拟
- * 硬件设计
 - * TDPP板设计
 - * ETOFT板设计
 - * SIF2板设计
- * 小结

1、 ETOF升级改造介绍

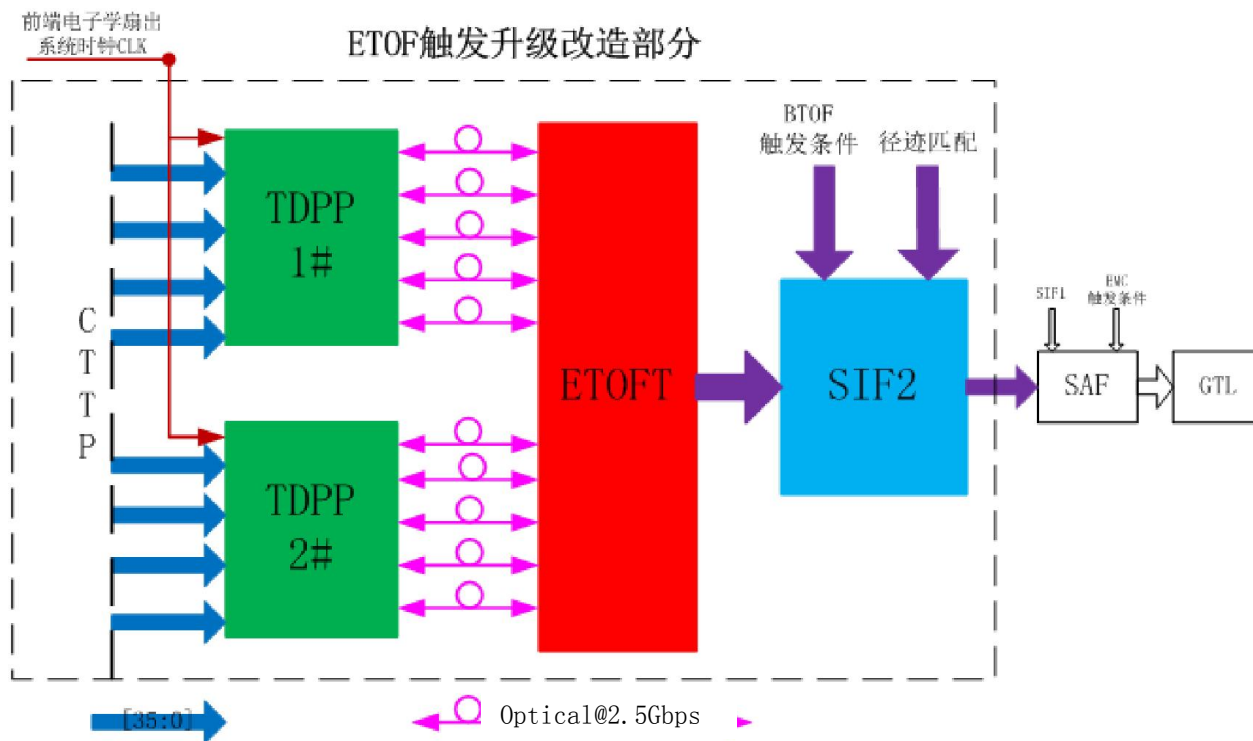
- * 单端探测器48个闪烁体 —> 36个MRPC
- * 前端电子学、触发、快控制及DAQ等系统全新设计。
- * 每块MPPC输出4路击中信号（内环2路，外环2路），共计288路（单端144路）击中信号，进行触发逻辑的实现。
- * 触发子系统任务：NETOF \geq 1, NETOF \geq 2, 背对背信息



MRPC 0



2、 ETOF触发子系统设计方案



- * 插件命名
 - * TDPP: Trigger Data Pre-Processor 触发数据预处理板
 - * ETOFT: ETOF Trigger board 端盖TOF触发板
 - * SIF: Signals Integration and Fan out 信号整合扇出板
 - * SAF: Signals Alignment and Fan out 信号延时扇出板
 - * GTL: Global Trigger Logic 主判选逻辑插件
- * **TDPP, ETOFT, SIF板需要重新设计。**

3. 背对背几何模拟

* 其中ETOF的各类参数值:

* ① 磁场强度 $B=1$ Tesla;

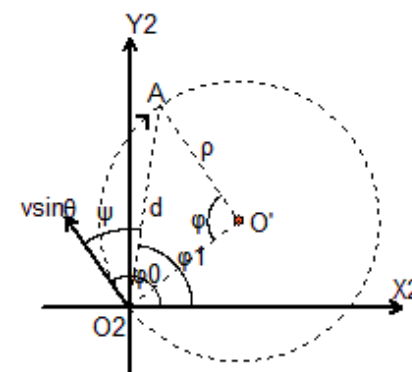
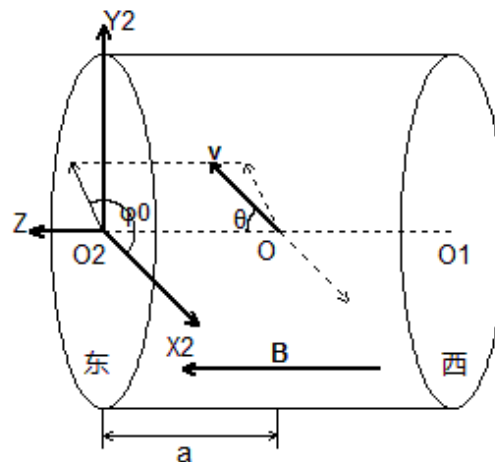
* ② TOF半长 $a=1.33$ m;

* ③ ETOF的三个半径: $R_0=0.454$ m, $R_1=0.649$ m, $R_2=0.844$ m;

* ④ Pt范围: $Pt \geq 551$ MeV/c, $t < 3097$ MeV/c;

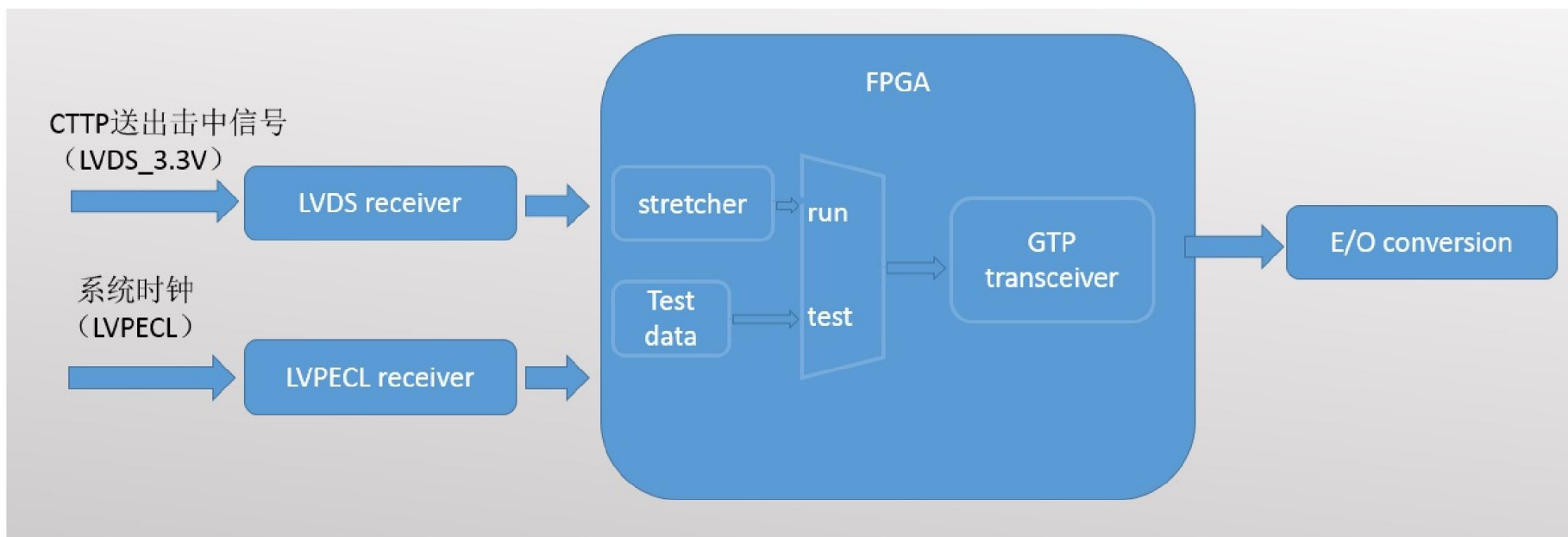
* ⑤ φ_0 范围: $0 \leq \varphi_0 < 2\pi$ 。

若检测到一端某个TOF单元的击中, 需在另一端中心对称位置相应的**7**
(3+1+3)个单元寻找击中



4、TDPP板设计

4.1 TDPP板设计功能需求



- * TDPP (Trigger Data Pre-Processor, 触发数据预处理板) 板的作用是接收前端电子学提供的击中信号，在FPGA内展宽后进行数据存储，最后由RocketIO模块发送给后端ETOFT板。

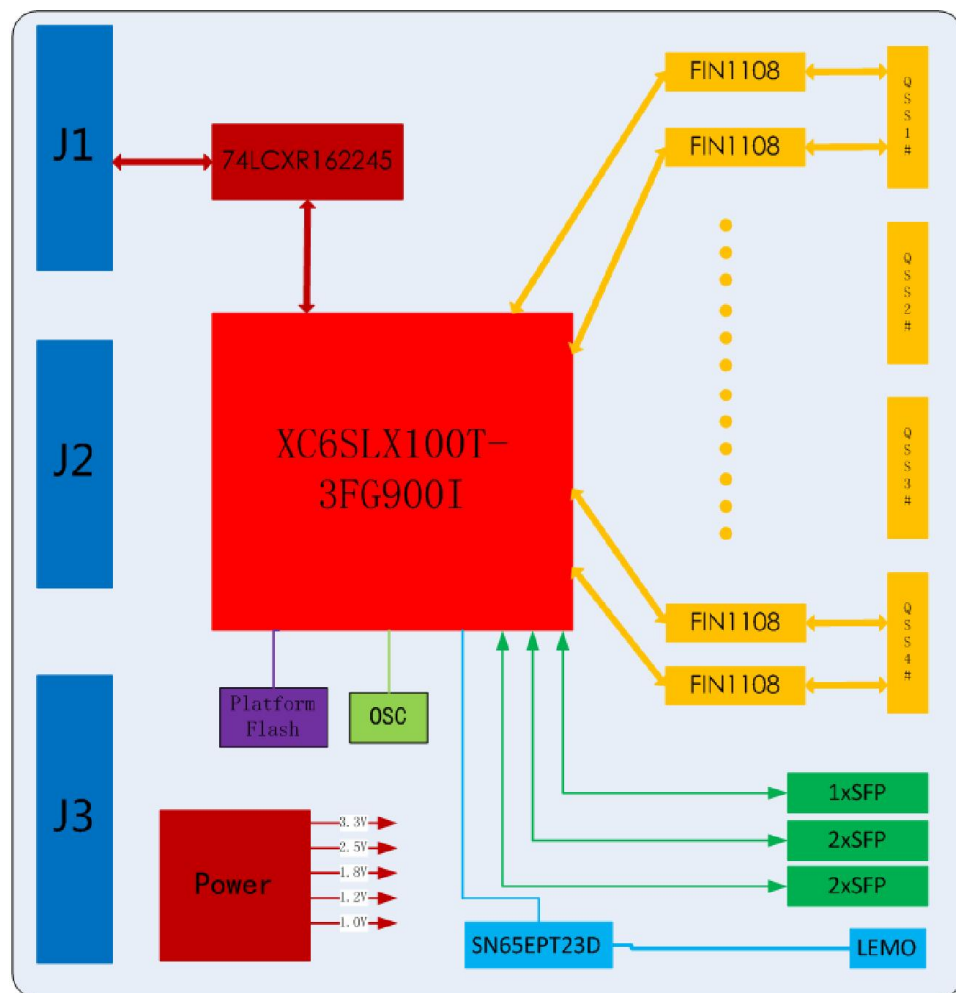
4、TDPP板设计

4.2 TDPP板设计方案

- 4个连接座，Samtec公司 QSS-050-01-L-D-RA-MTI
- 5路光纤收发器
- 双芯LEMO座，接收系统时钟，1个
- FPGA（XC6SLX100T-3FG900I）
- PROM（XCF32PVOG48C）
- VME总线上自定义信号14根
- 晶振 125MHz

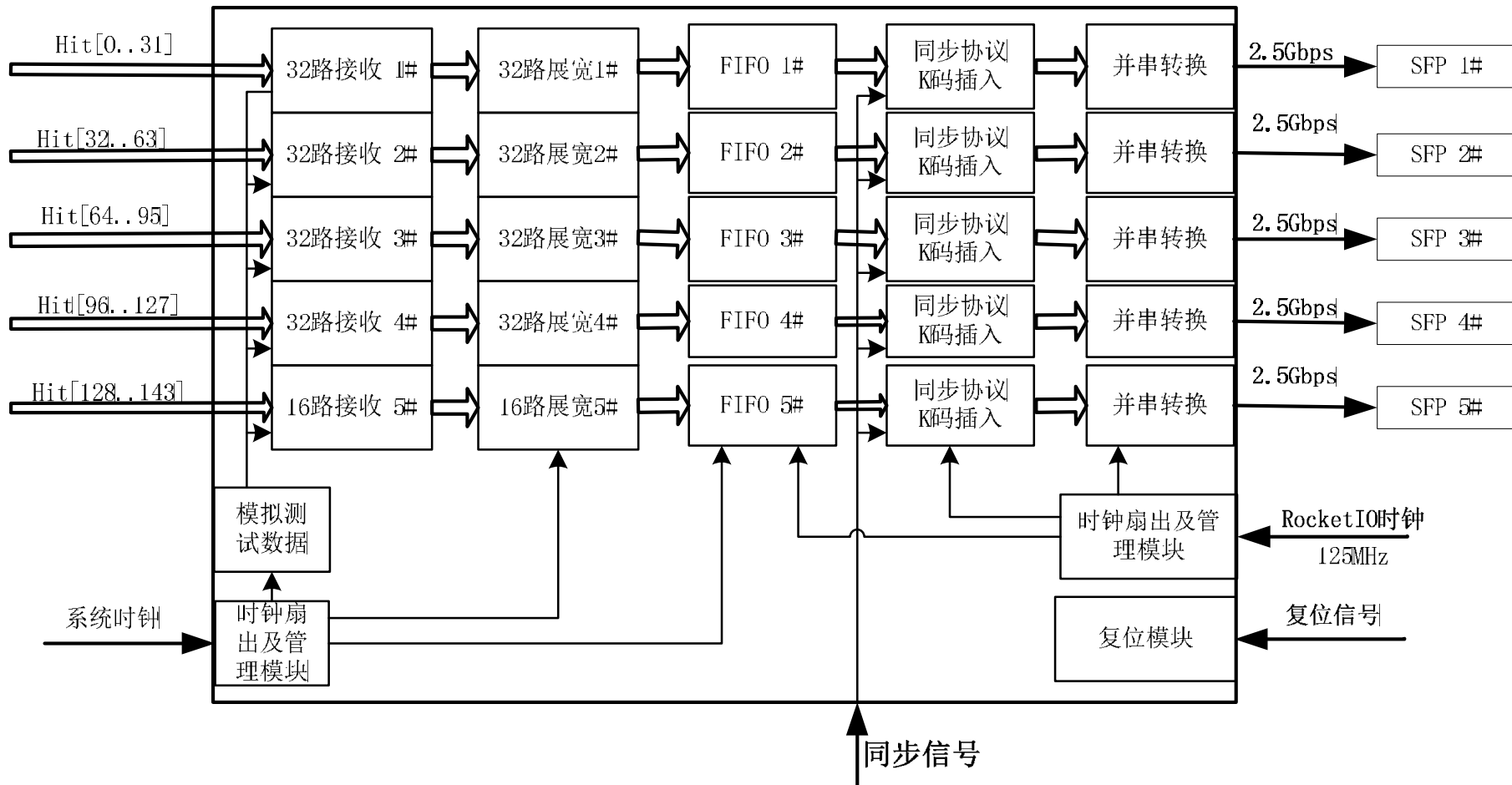
• 本板设计特点：

- 在预研基础上更改了设计，由单通道增加到5个通道；
- 采用了新型的双层光纤收发器，提高了该板集成度；
- 更改了高速传输时钟基频，以适应Spartan6的特性要求。



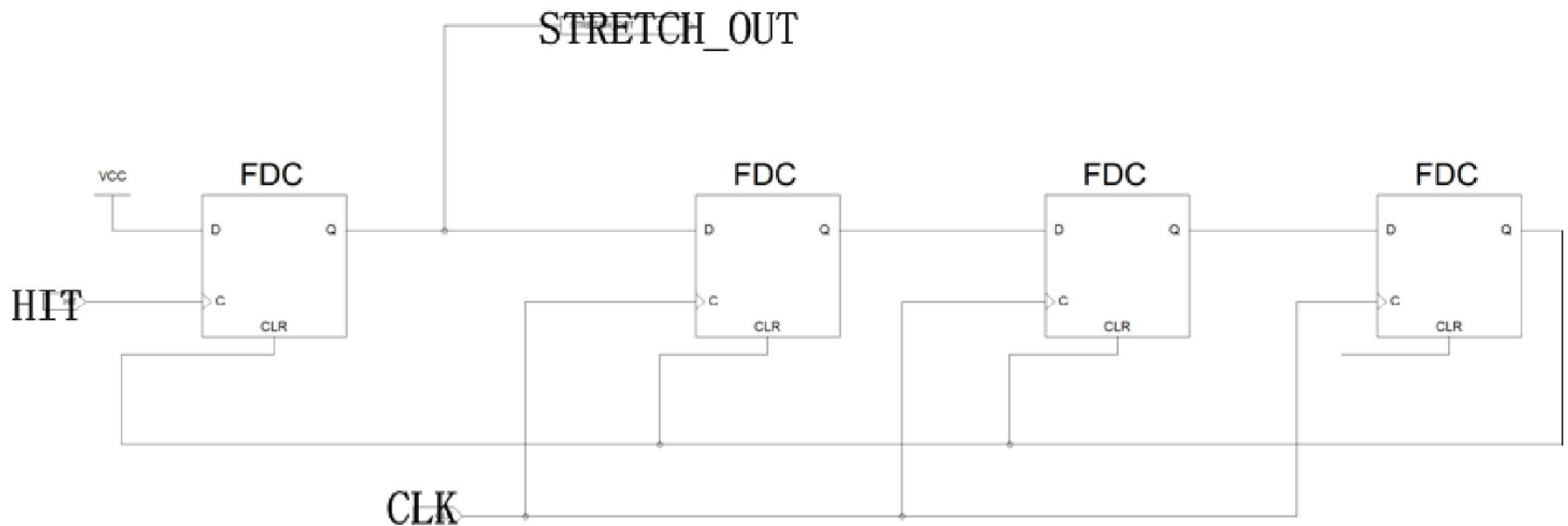
4. TDPP板设计

4.3 TDPP FPGA 内部逻辑



4、TDPP板设计

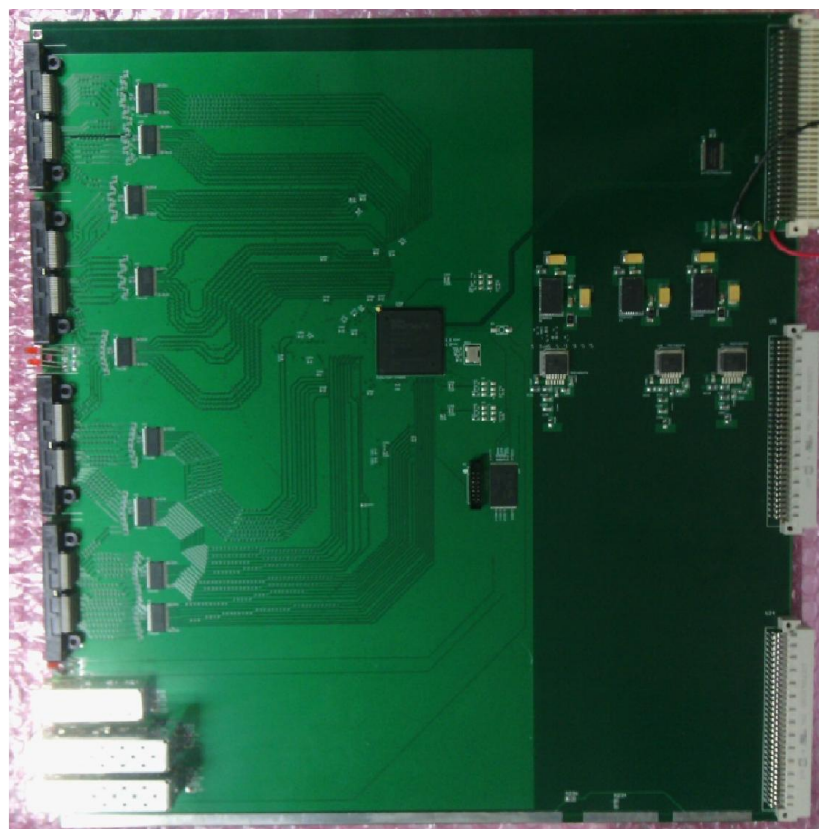
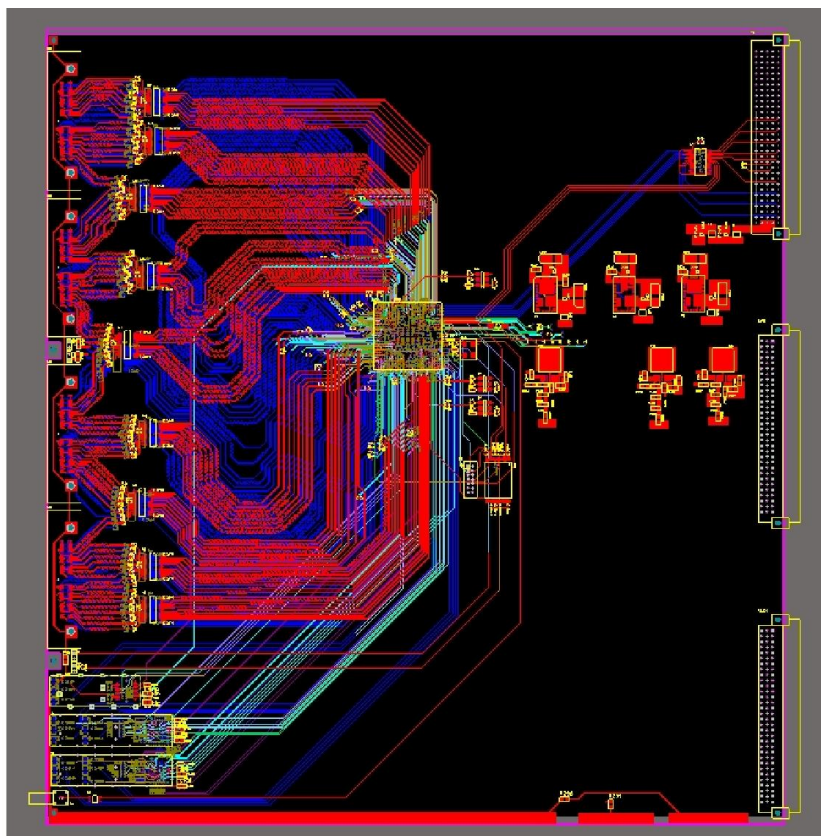
4.3 TDPP FPGA 内部逻辑——击中信号展宽电路



- * 异步展宽，展宽两个系统时钟周期
- * 击中信号作为第一级D触发器的时钟输入，后三级时钟输入为系统时钟
- * FDC为异步清零D触发器。

4、TDPP板设计

- * TDPP板设计进度：基本功能已实现，并完成测试



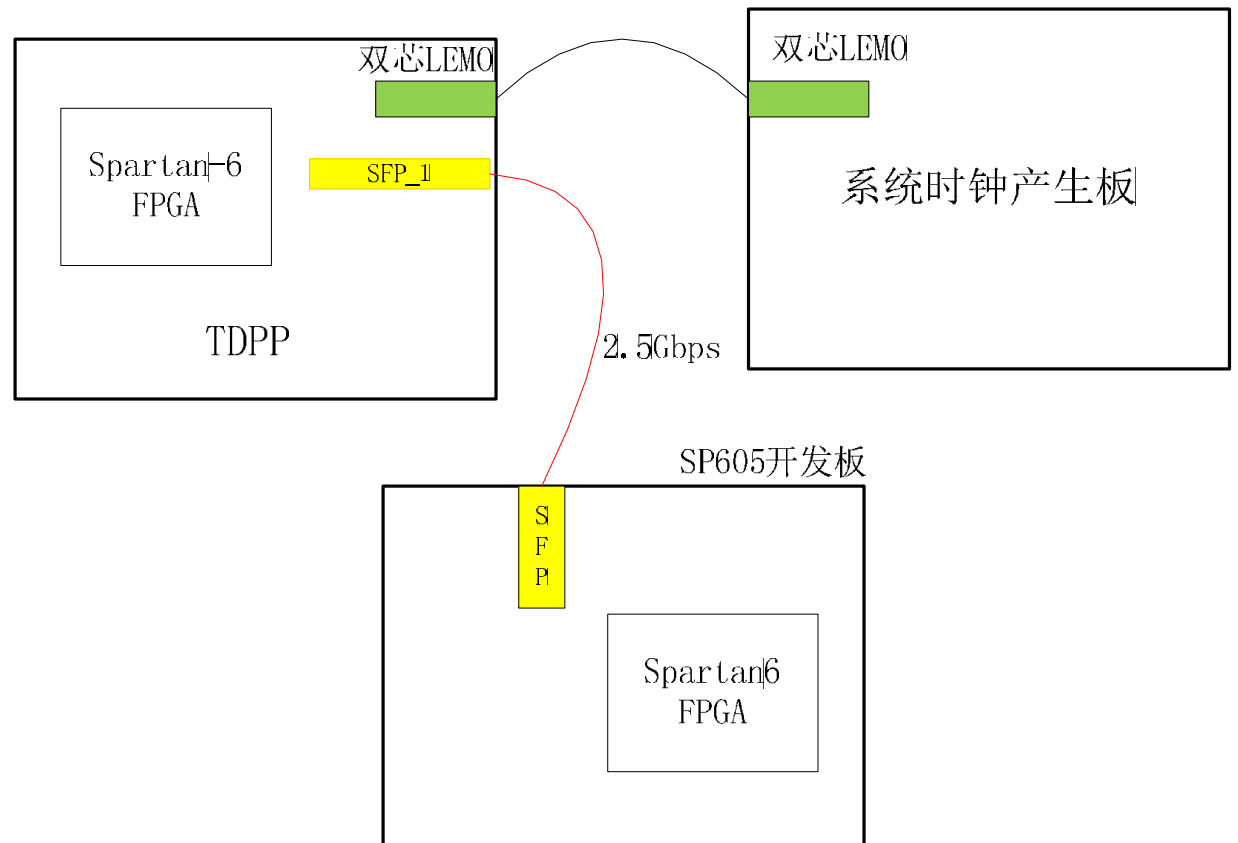
4、TDPP板设计

4.4 TDPP板功能测试

1、测试系统

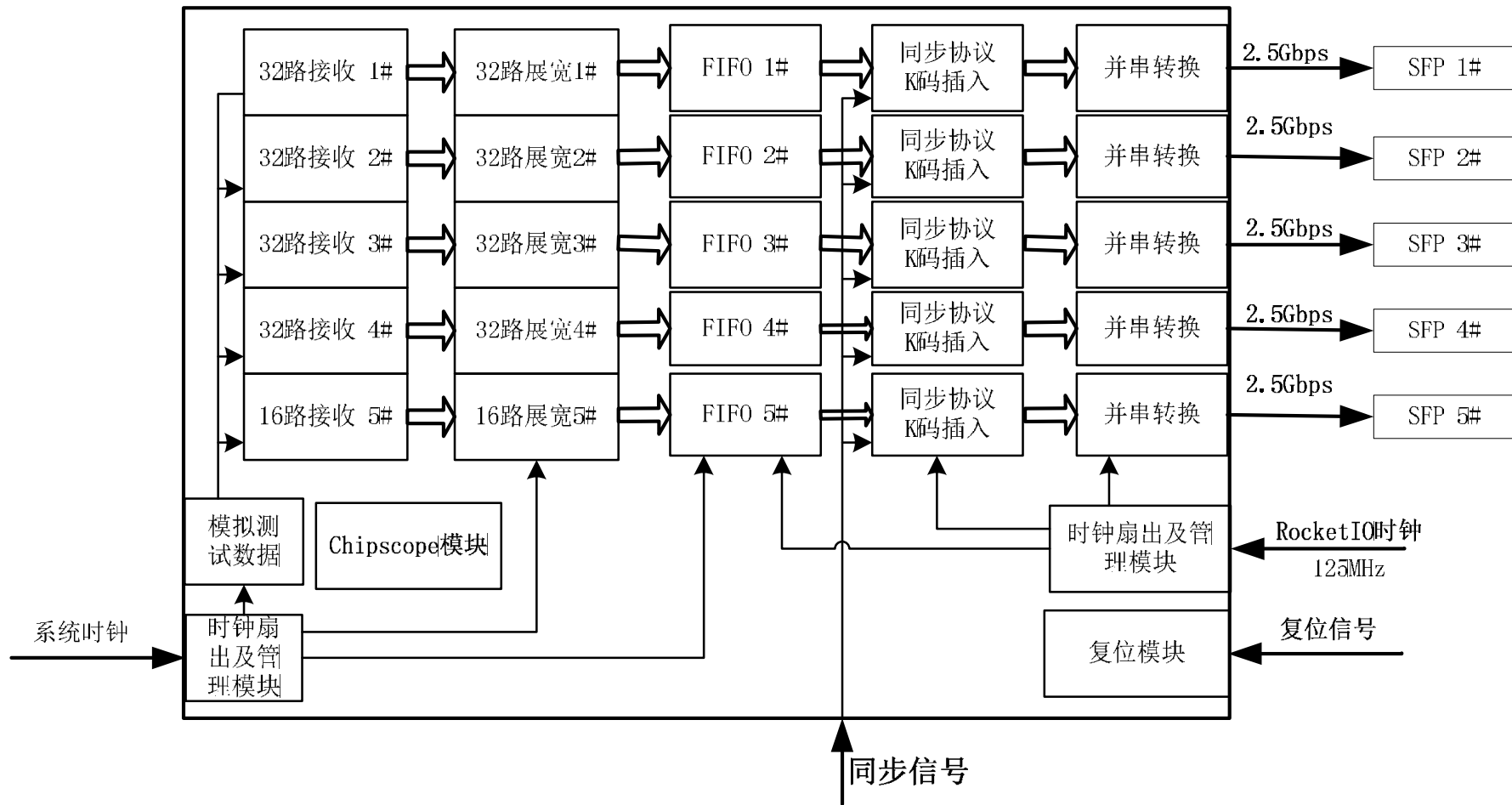
时钟板产生40MHz
时钟作为系统时钟

SP605开发板作为
接收板



4、TDPP板设计

4.4 TDPP板功能测试：TDPP测试模式内部逻辑结构

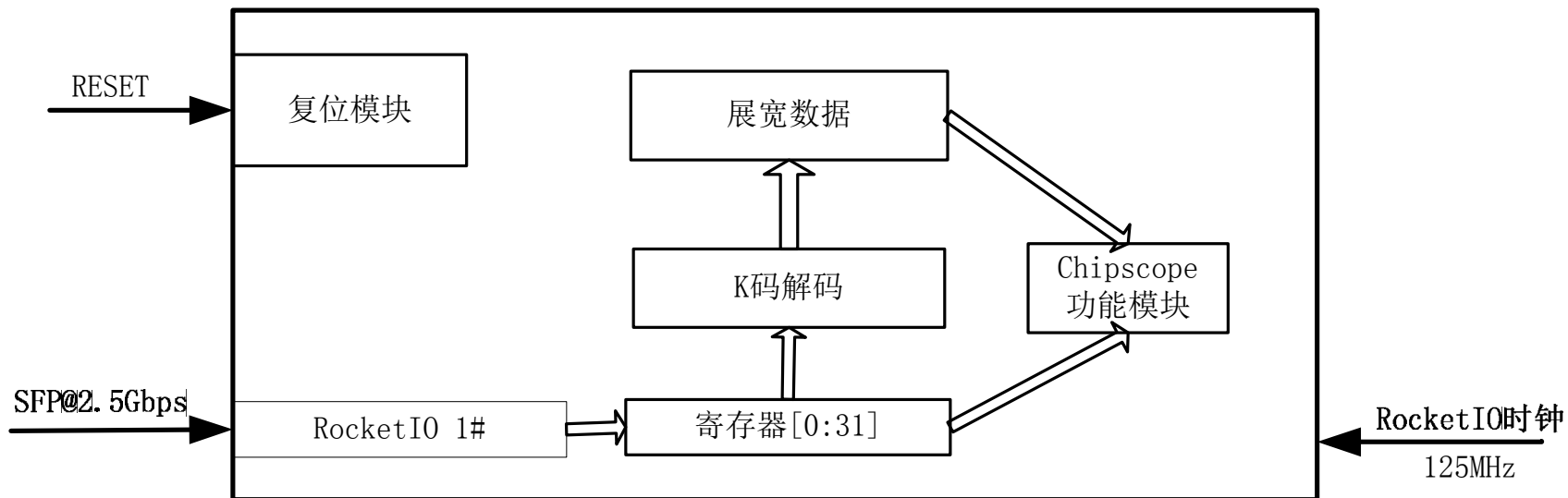


4、TDPP板设计

4.4 TDPP板功能测试

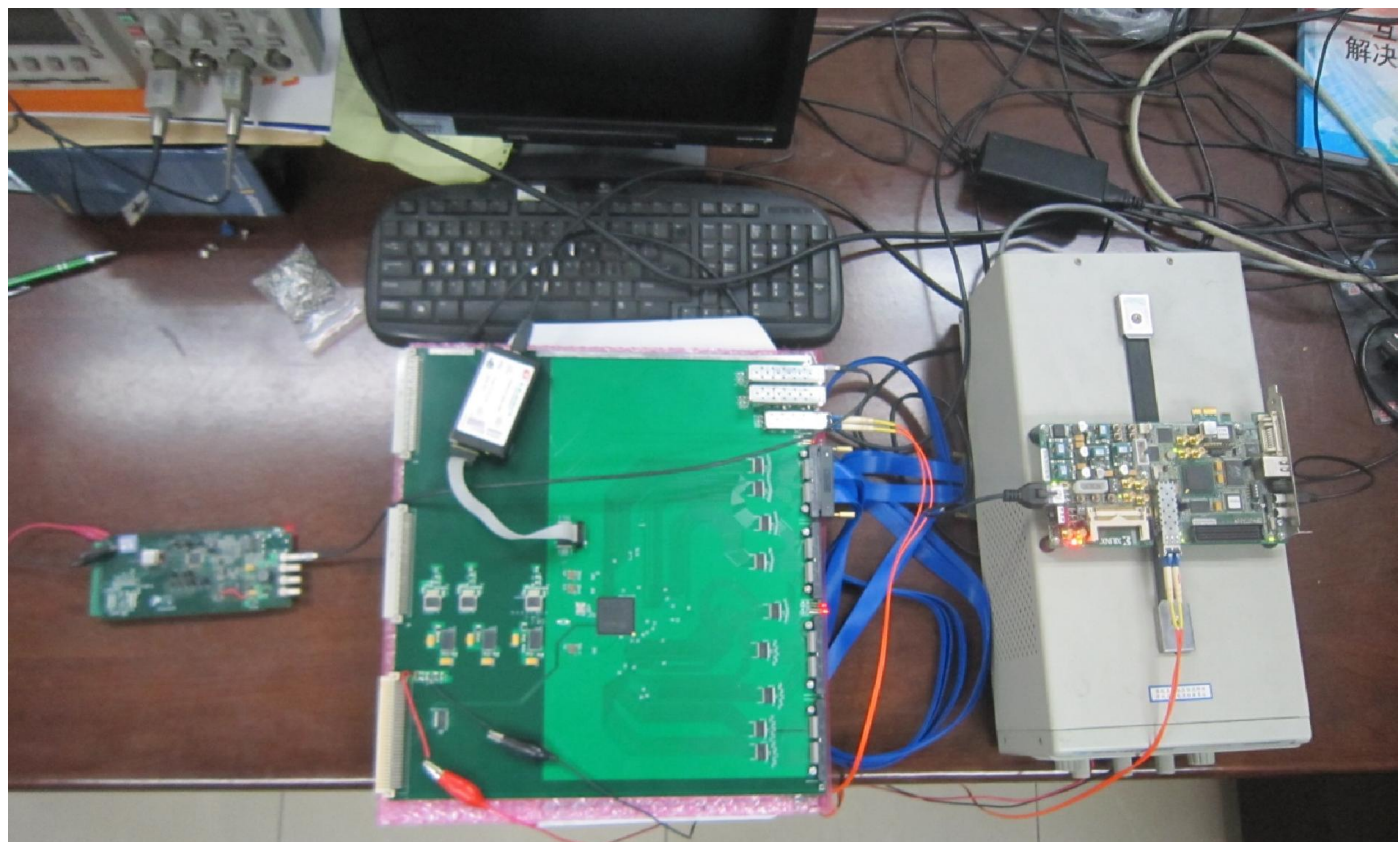
* SP605接收板测试模式下，FPGA内部逻辑结构

SP605 FPGA内部逻辑框图



4、TDPP板设计

4.4 TDPP板功能测试：现场系统照片



4、TDPP板设计

4.4 TDPP板功能测试：测试结果

- * 供电电源工作正常；
- * FPGA JTAG加载，Platform Flash加载正常；
- * Samtec连接座和前端CTTP完成线序联调测试，线序连接正确；
- * 5个光口全部进行了12小时以上的误码率测试，误码个数为零；
- * FPGA内部产生模拟数据对逻辑进行测试，通过。
- * TDPP板基本功能已经实现。

5、 ETOFT板设计

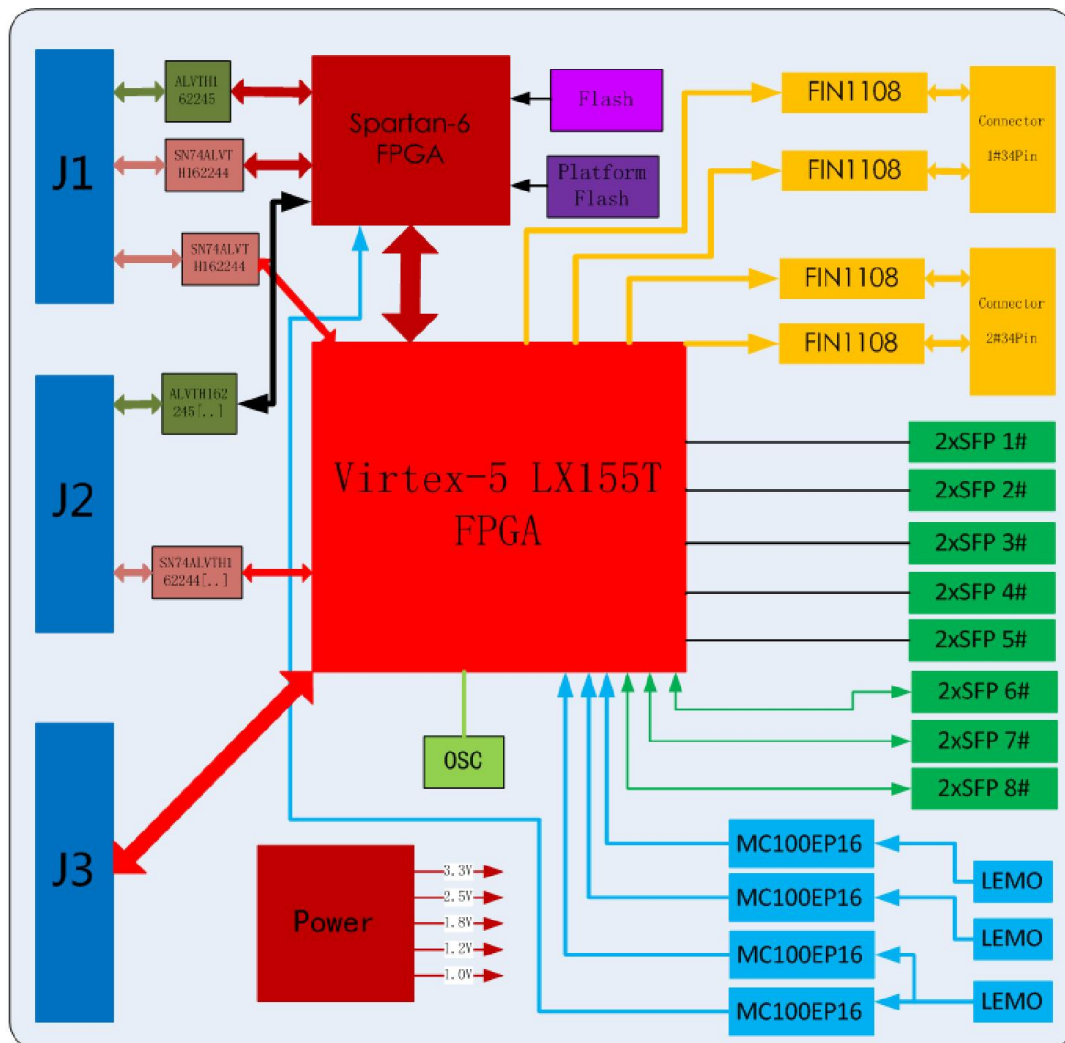
5.1 ETOT板功能需求

- * 接收两个TDPP板的光纤数据；
- * 实现10路光纤数据对齐；
- * 实现击中信息计数；
- * 查找背对背信息，并计数；
- * 触发信息经VME背板总线读出；
- * 给出NETOF \geq 1, NETOF \geq 2及背对背信息

5、 ETOFT板设计

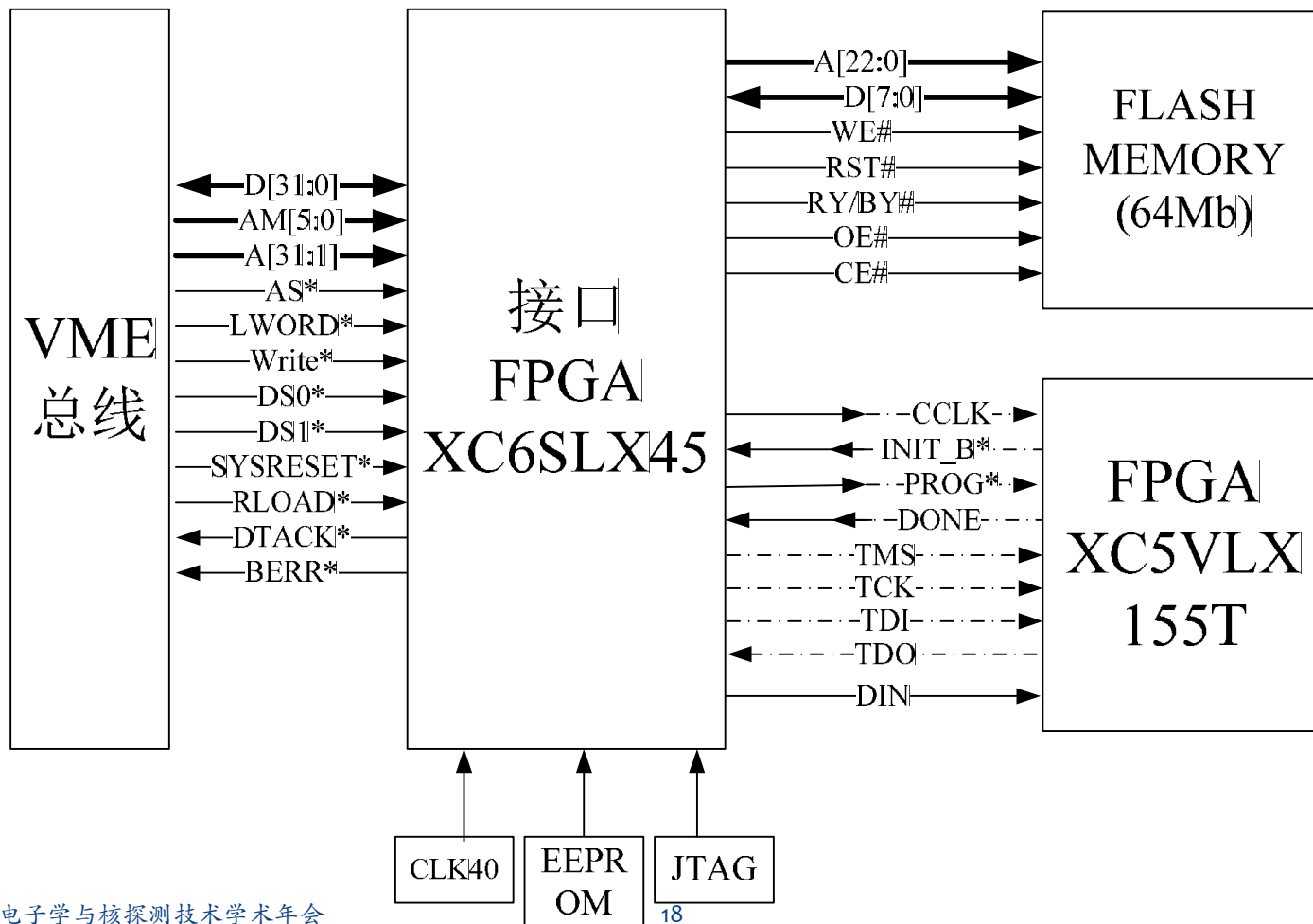
5.2 ETOFT板设计方案

- * 主FPGA: Virtex-5 LX155T
- * 控制FPGA: Spartan-6
- * 2x34管脚连接器
- * 16 光纤收发器座
- * 2 x LEMO送主FPGA
- * 1 x LEMO同时送主FPGA和控制FPGA
- * 1x Platfrom Flash
- * 1x 并行Flash
- * Buffer接VME总线



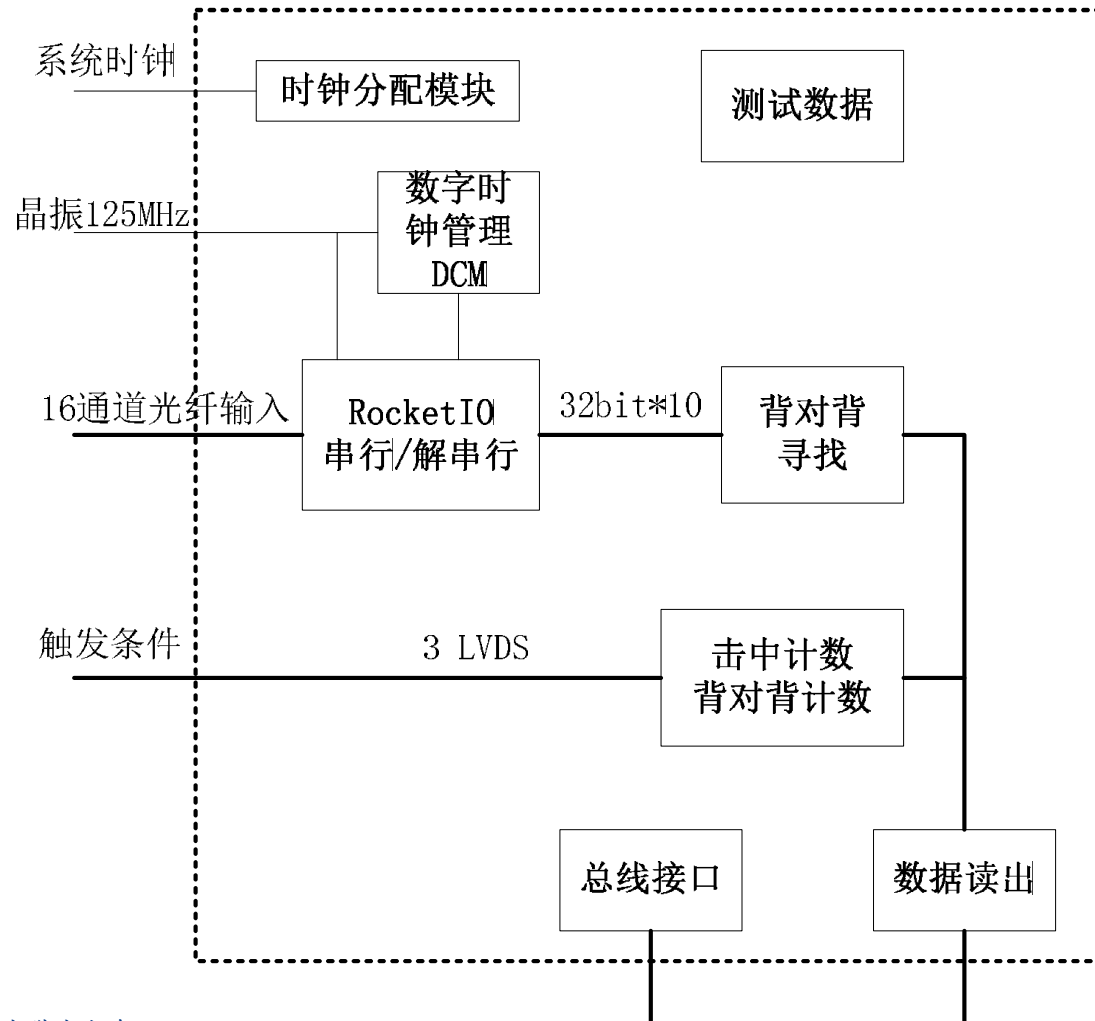
5、 ETOFT板设计

5.3 VME总线控制及配置FPGA的设计



5、 ETOFT板设计

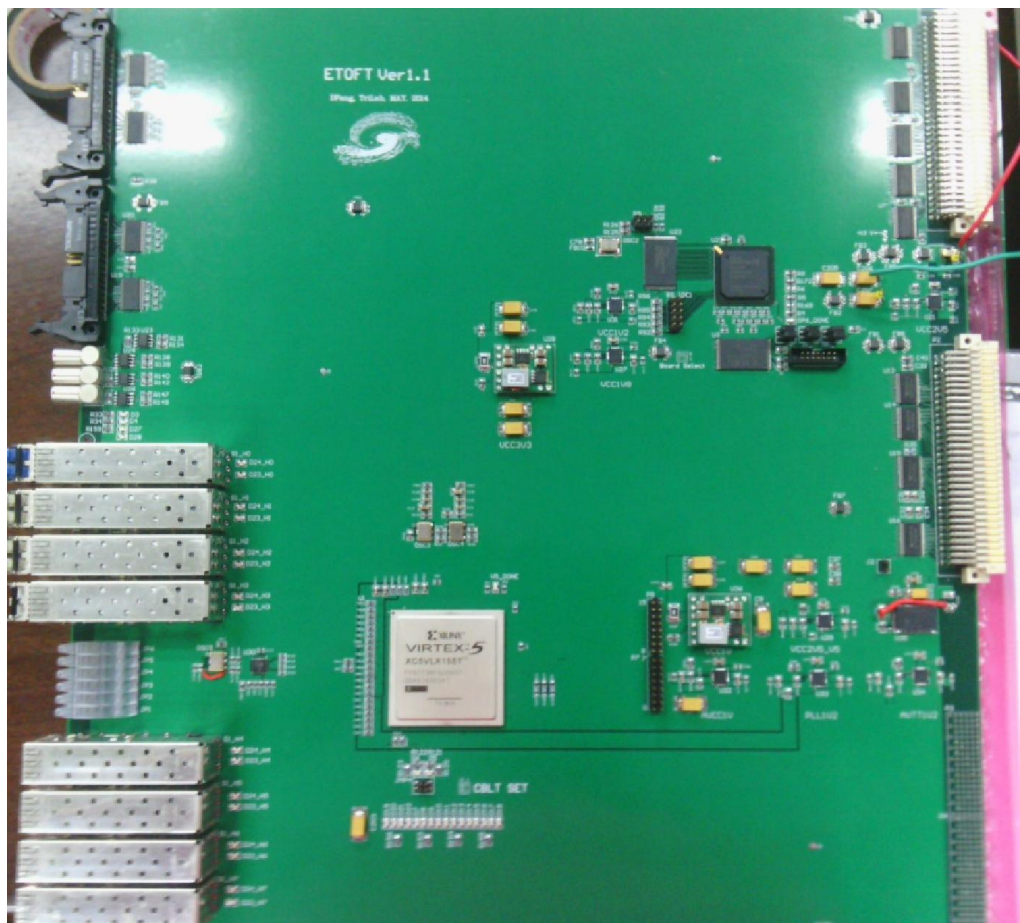
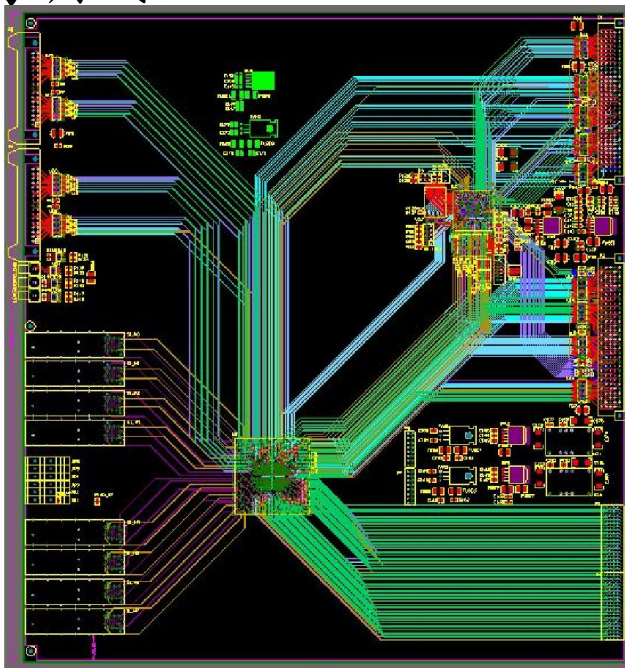
5.4 主FPGA内部逻辑结构图



5. ETOFT板设计

5. 5ET0FT板设计进度

- * ETOFT板已完成制板及测试工作。
- * 现正进行内部逻辑编写与调试。



6、SIF2板设计

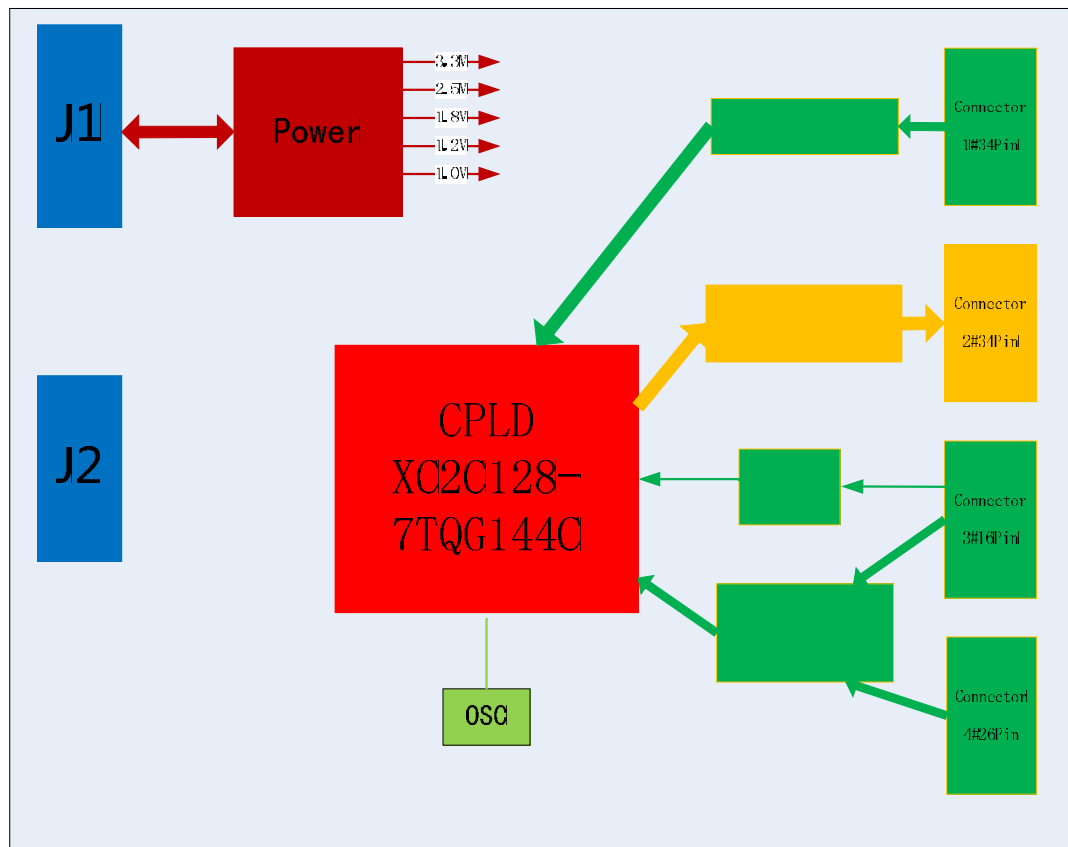
* 6.1 功能需求

- * 将BTOF触发信息，径迹匹配信息，ETO F触发信息通过SIF2板，整合到一个连接线送SAF板。
- * 送SAF板的信号线序与老系统一样。

6、SIF2板设计

6.2 SIF2板设计方案

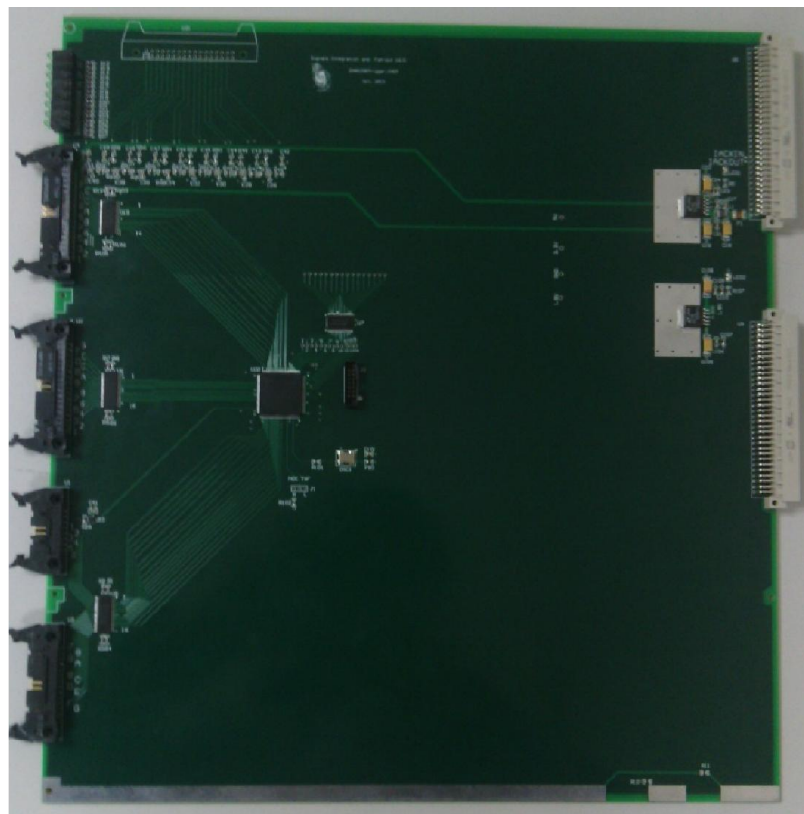
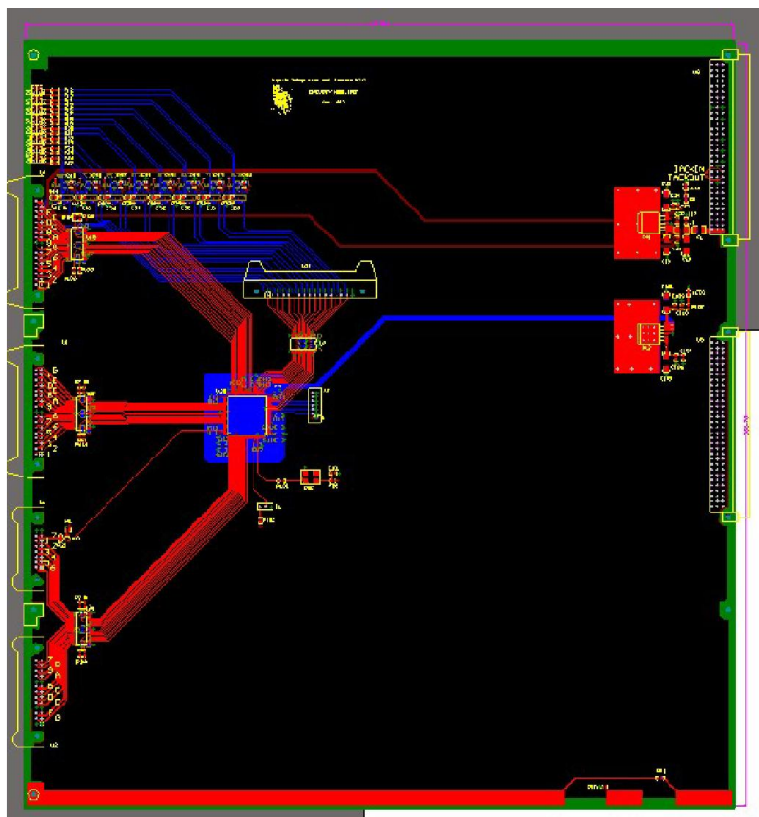
- * CPLD作为Switch芯片
组合1,3,4座输入的触发信号，由2座输出送入SAF板，线序配置通过CPLD编程实现。
- * SN75LVDT386，DS90LT012A为输入接收驱动芯片
- * SN75LVDT386为差分信号输出驱动芯片



6、SIF2板设计

6.3 SIF2板设计进度

- * 已完成制板焊接工作。并对CPLD进行了加载测试。



7、总结

- * 背对背寻找范围几何模拟结果：端盖一端一块MPPC对应另外一端的7块。
- * ETOFT两端288路击中信号中进行触发逻辑，提供NETOF \geq 1, NETOF \geq 2已经“背对背”信息。
- * ETOF触发子系统中，TDPP，ETOFT及SIF2板需要重新设计。
 - * TDPP完成硬件及内部逻辑工作；
 - * ETOFT完成硬件工作，内部逻辑正在编写调试；
 - * SIF2完成硬件及内部逻辑工作；
- * 未来工作是完成ETOFT内部逻辑及系统搭建测试。

谢谢！