

微结构气体探测器的 读出ASIC进展

章洪燕 何力 邓智 刘以农
冯骅 李玉兰
核电子学实验室
清华大学工程物理系



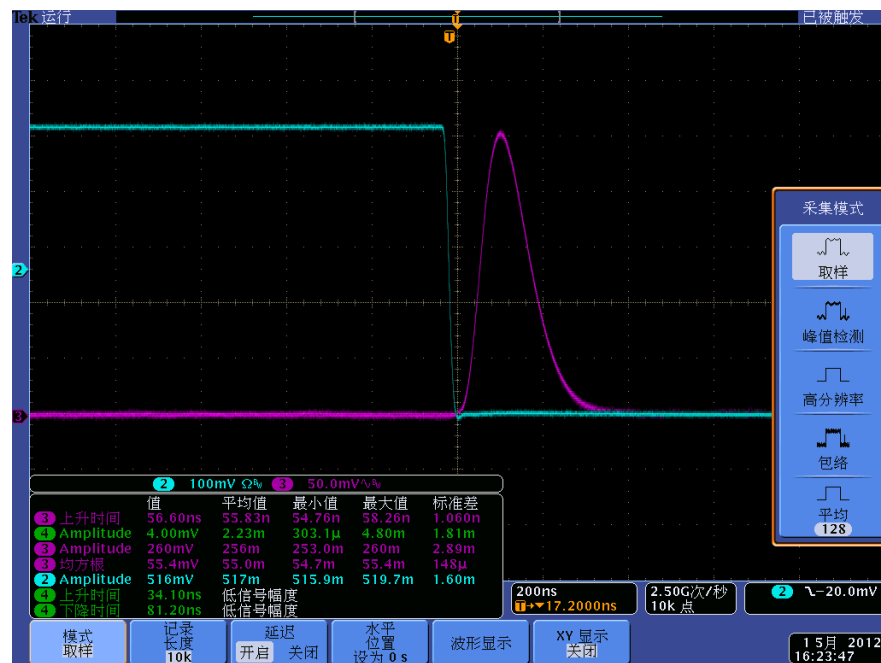
邓智: dengz@mail.tsinghua.edu.cn; 章洪燕: zhyjane1999@163.com

- CASAGEM的应用
- CASCA简介
- 性能测试
- 总结与计划

CASAGEM的应用

参数	指标	单位	备注
通道数目	16+1	channel	
增益	2,4,20,40	mV/fC	四档可选
动态范围	0~1000	fC	
成形时间	20,40,60,80	ns	四档可选
积分非线性	<1%		
功耗	10	mW/ch	
等效噪声电荷 (ENC)	<2000	electron	阳极通道 @Cin=50pF

CASAGEM的各项指标

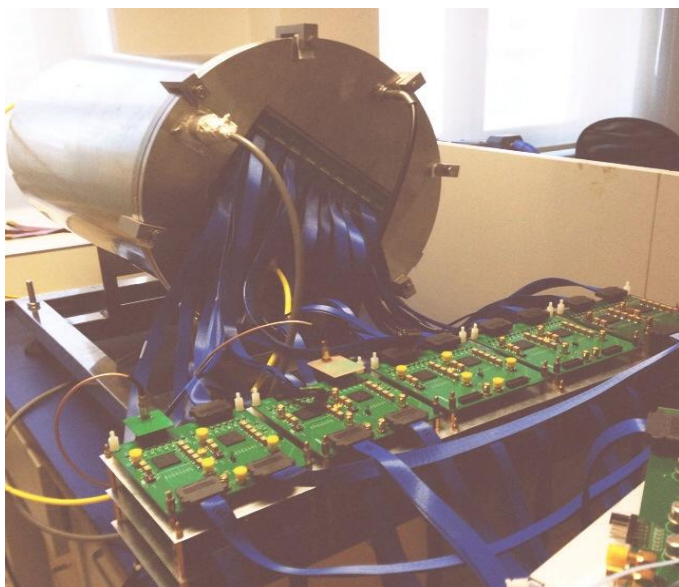


CASAGEM的实测波形

CASAGEM的应用

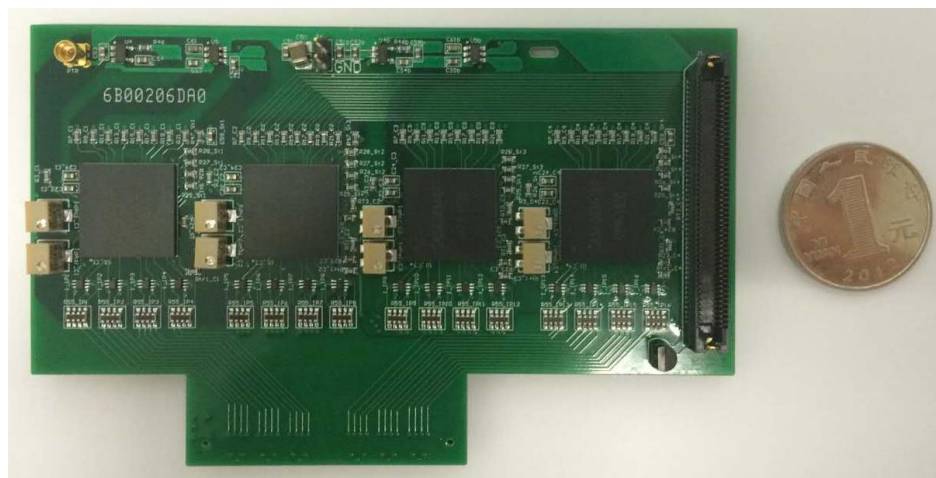
➤ 清华nTPC实验

- 已使用400+通道，还将使用300+通道



➤ 高能所：DCTB束测TH-GEM探测器读出

- 64通道读出板，预计将使用~500通道





➤ 波形采样的优点

- 探测器电流信号持续时间差别较大
eg: nTPC信号脉宽分布在0-500ns
- 传统电子学：峰保，弹道亏损
- 波形采样：对波形求面积可消除弹道亏损→高集成度的电子学

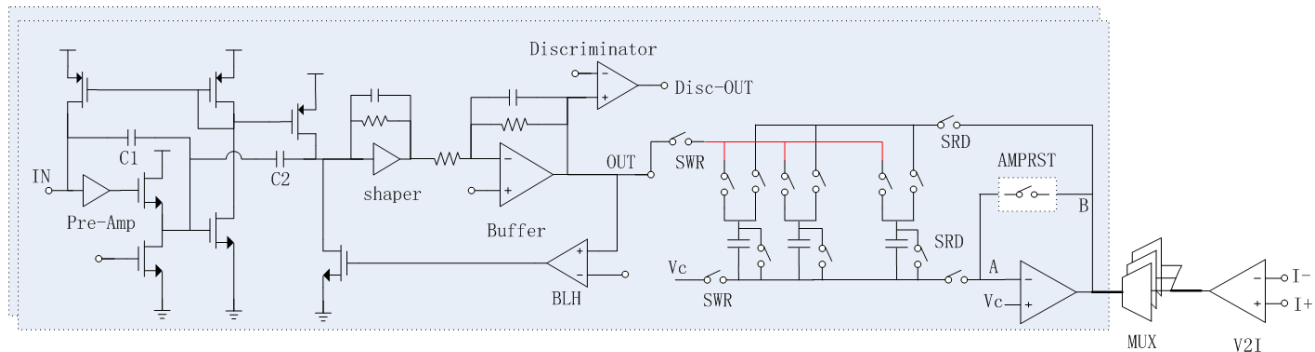
➤ 开关电容阵列的优点

- 低功耗：平时处于循环采样状态，来了有效trig时，才将采样值读出，并经过ADC转换输出（可以用相对较慢的ADC），而且多个通道可以共用一个ADC进行串行化输出，进一步降低整个系统的功耗。
- 串行化输出减少cable

CASCA简介

芯片参数	指标
通道数	32
动态范围	0-40fC@CA 0-1V@SCA
增益	25mV/fC
成形结构	CR-RC
达峰时间	<50ns
噪声	<1000e@10pF
采样频率	≥20MSPS
读出频率	≥20MSPS
缓存	3.2μs@20M
有效分辨率	10bit
工艺	0.18μm
单通道功耗	<3mW

设计指标



芯片原理图

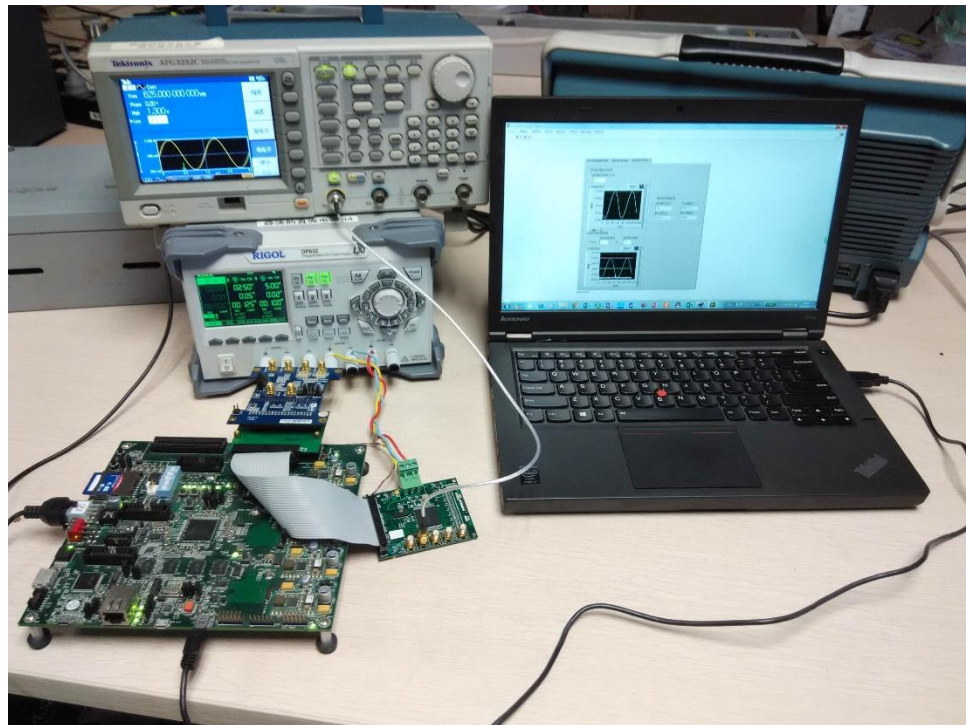
➤ 优点

- 输出cable少
- 功耗低
- 所需ADC数少
- 差分电流可以输送较远距离

➤ 应用局限性

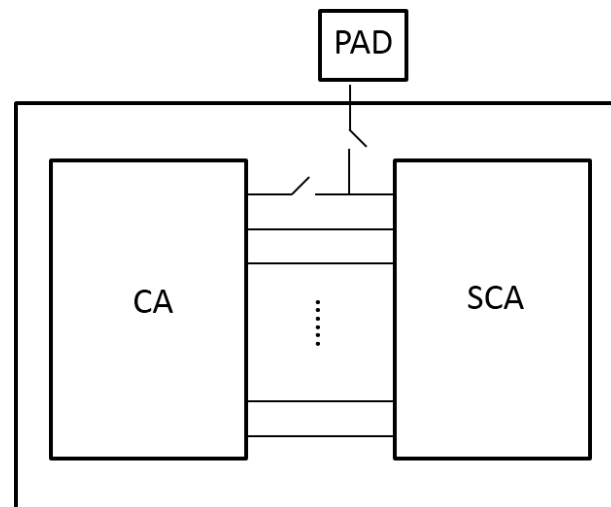
- 低计数率(某些应用可以仅读出部分cell, 减小死时间)

测试装置



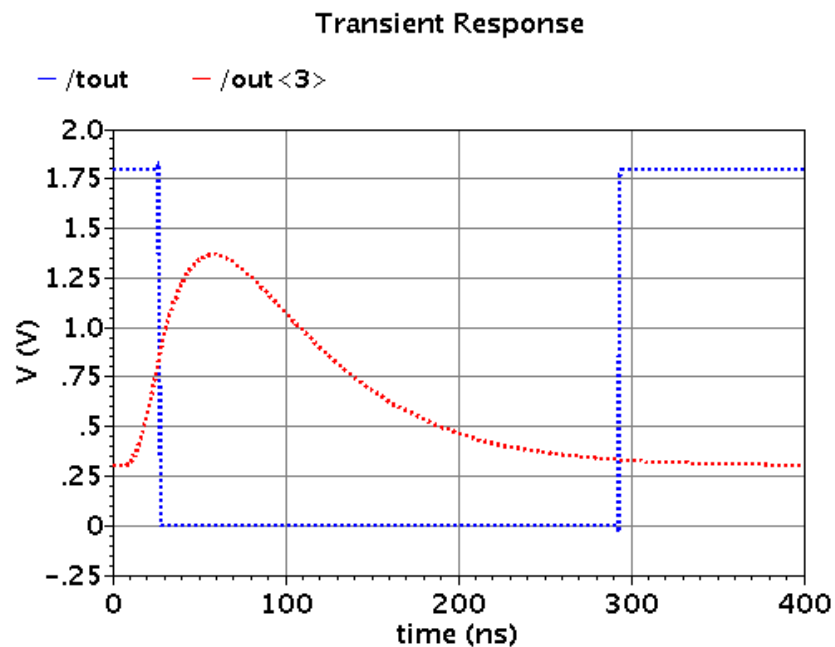
Xilinx开发板：ZC702

功耗：2.8mW/ch

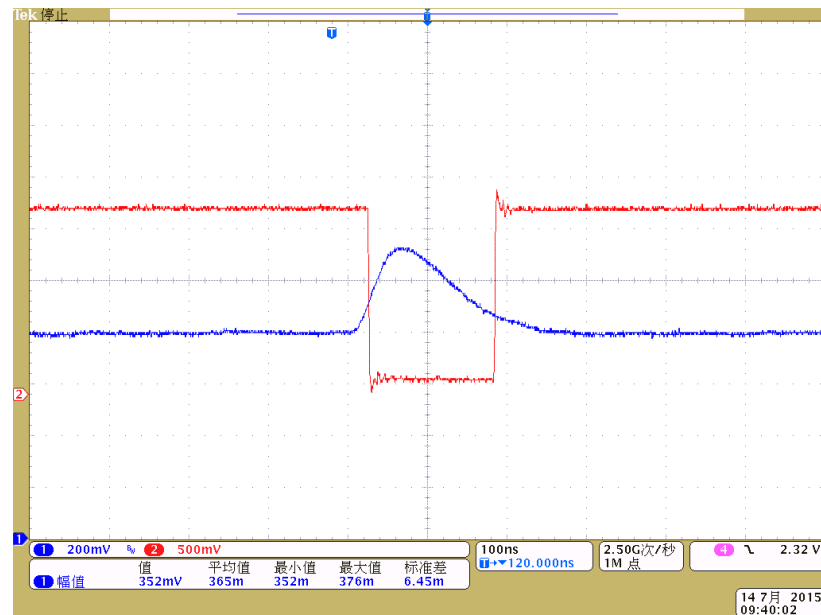


功能验证

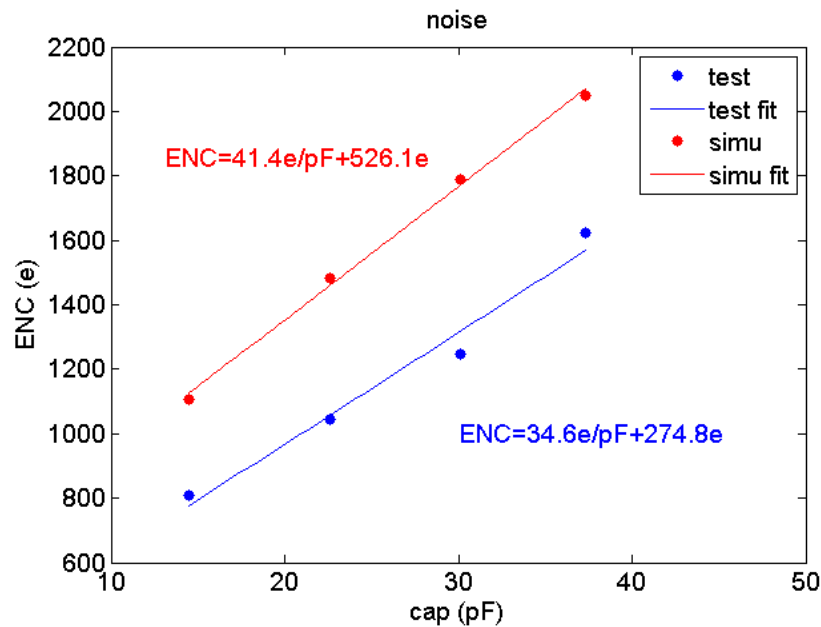
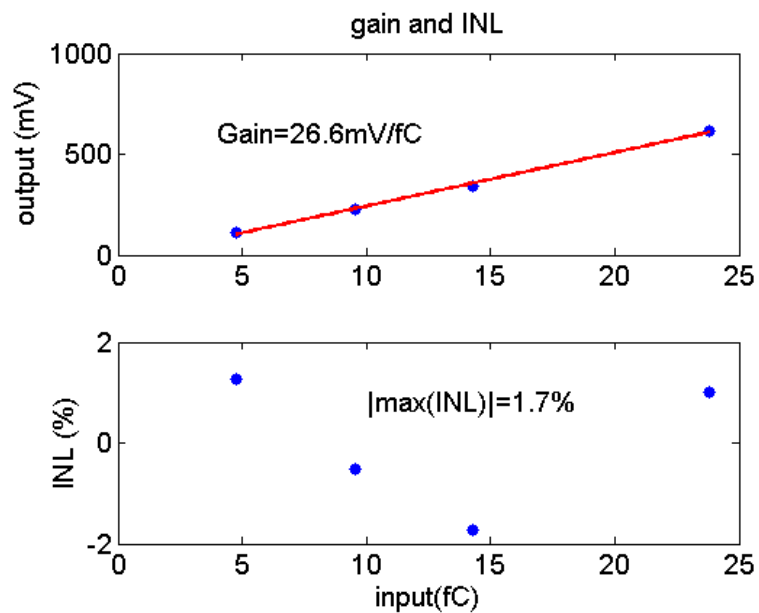
仿真结果



实测结果



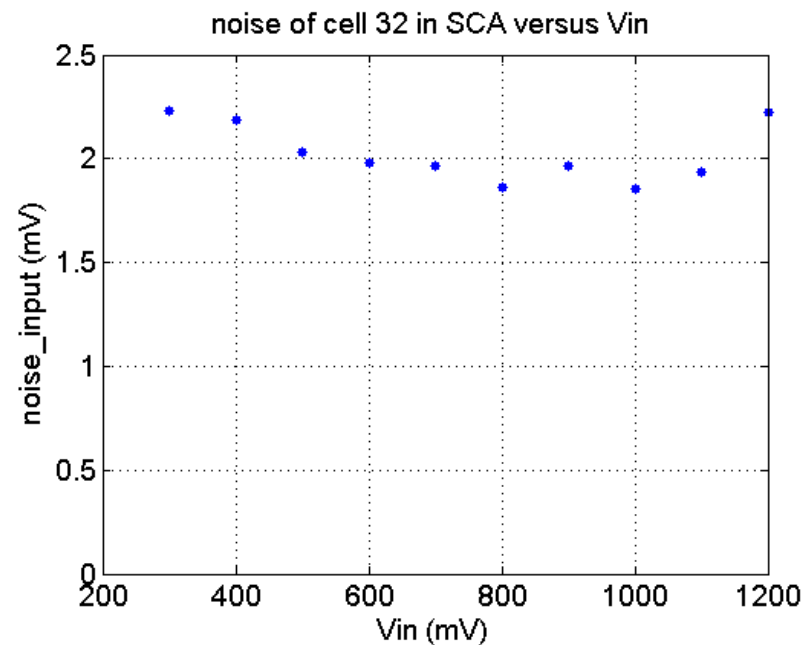
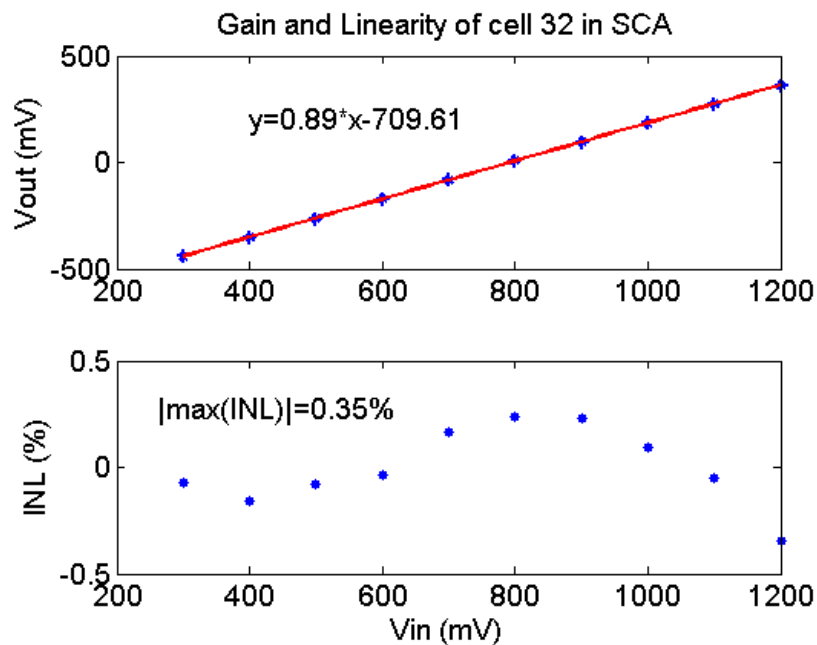
ch1的噪声分析



噪声: <math><1000e@10pF</math>

开关电容阵列

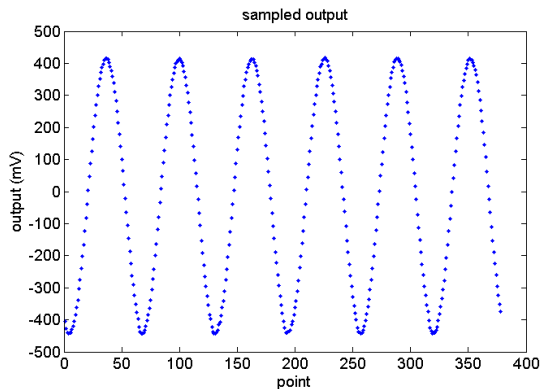
静态线性和噪声



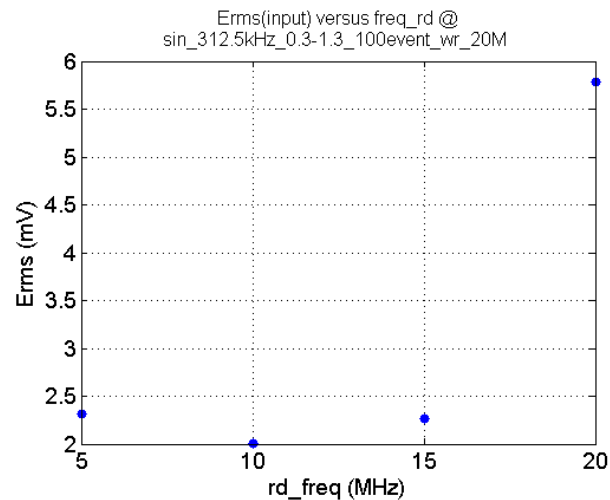
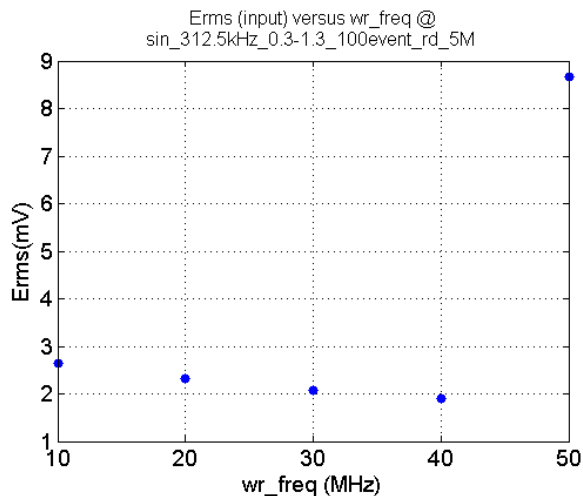
以噪声为2.5mV计算，静态时动态范围/噪声：
~ 8.6bit (等效ENC=651e-)

开关电容阵列

动态噪声

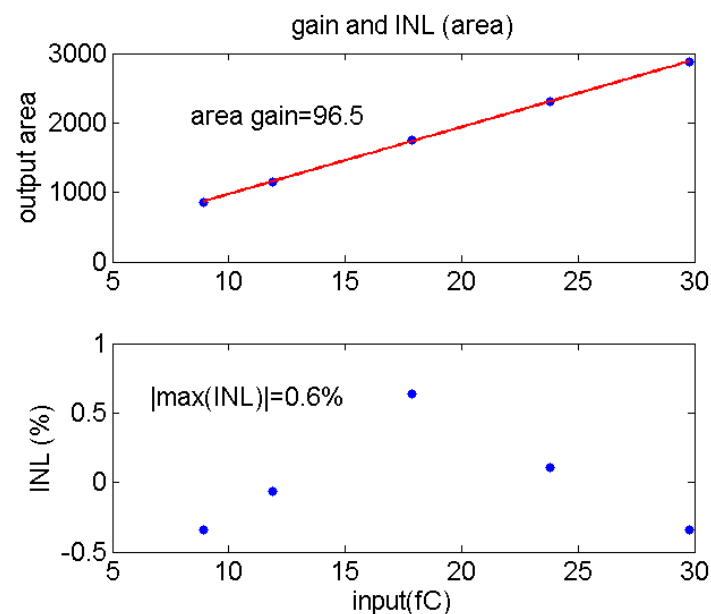
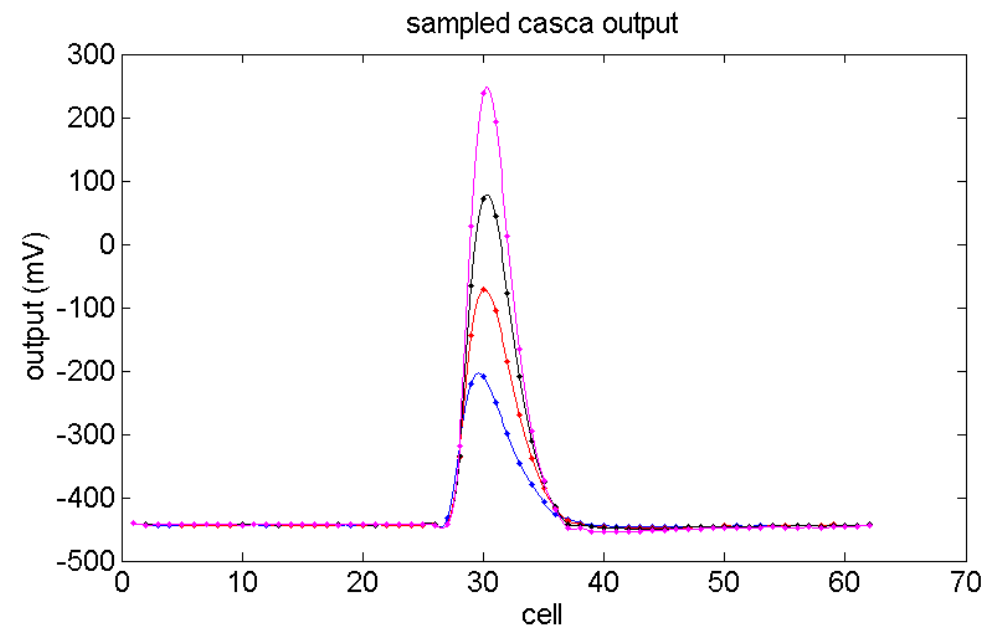


$$V_n = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (V_{S_i} - V_{f_i})^2}$$



- 有效精度：1V/2.5mV ~ 8.6bit (等效ENC=651e-)
- 为保证精度，采样率最高可达40Msps，读出频率15MHz

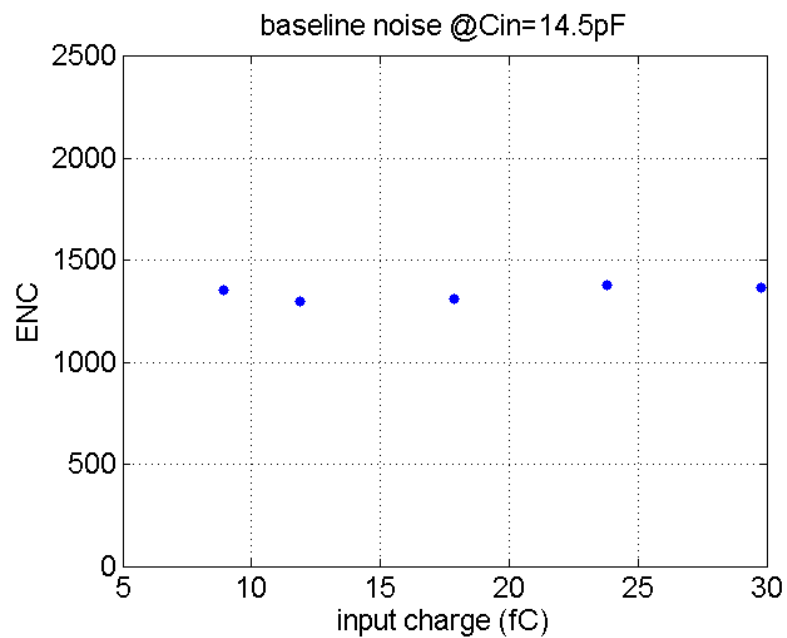
ch1增益和线性



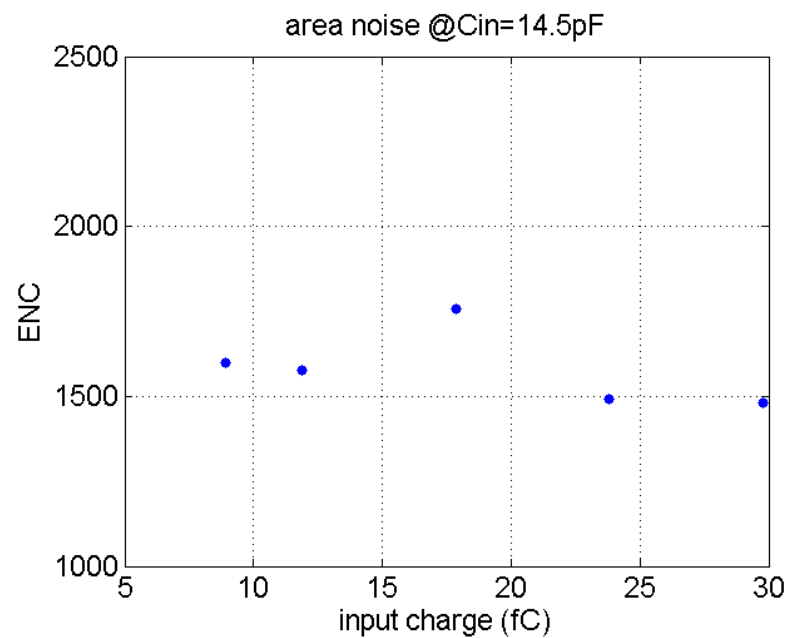
用采样的信号面积拟合增益，得到INL好于1%

Ch1噪声

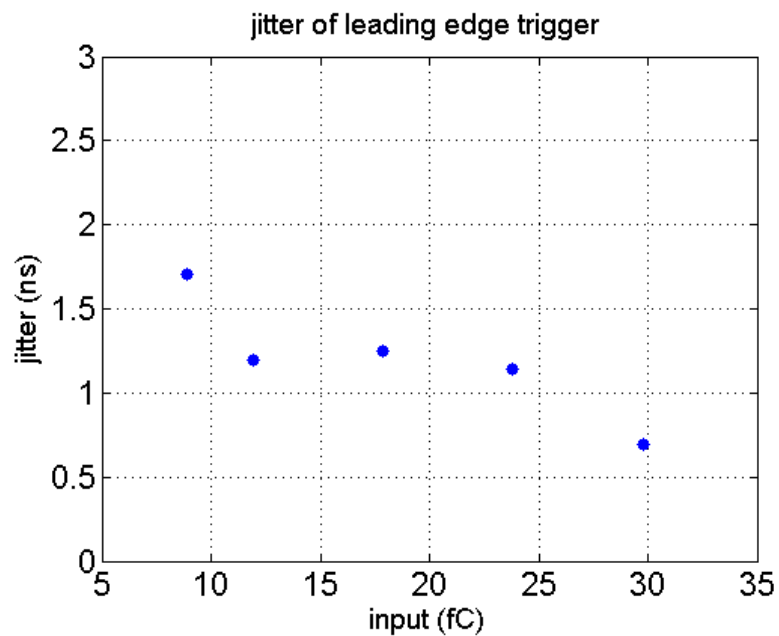
基线噪声



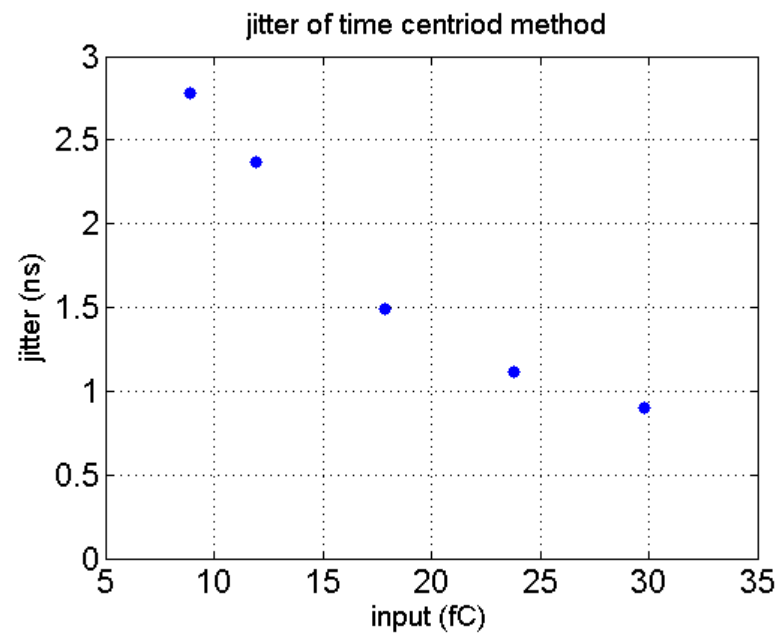
信号面积噪声



时间性能

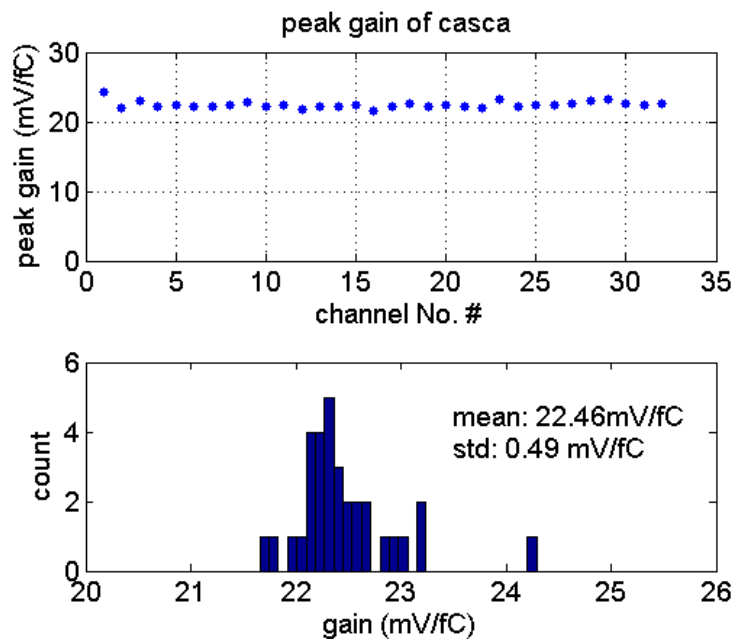


前沿定时

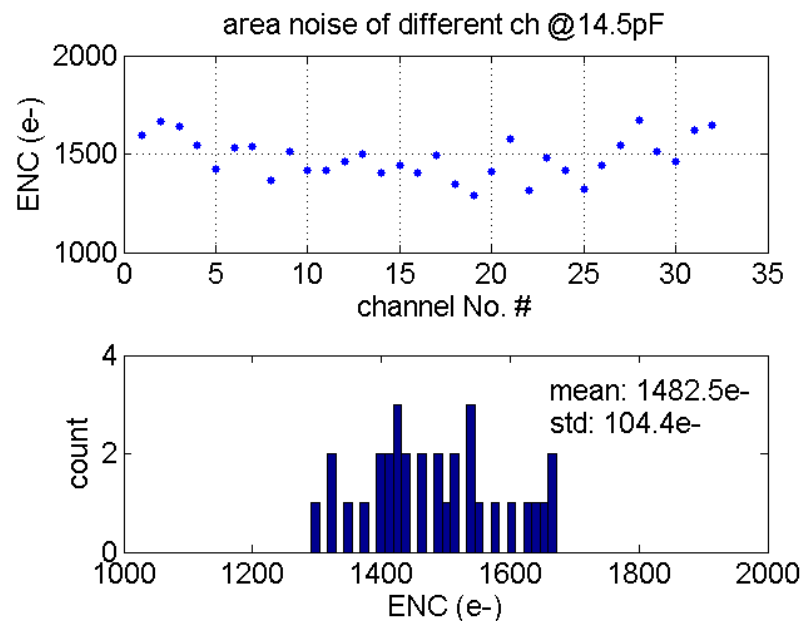


时间重心法

通道间不一致性



增益不一致性



噪声不一致性

CASCA性能小结

1. 功耗：2.8mW/ch
2. 动态范围：40fC (1V)
3. 采样频率：40MSPS max
4. 读出频率：15MHz max
5. 静态和动态有效精度：8.6 bit (等效ENC=651e-)

总结与计划

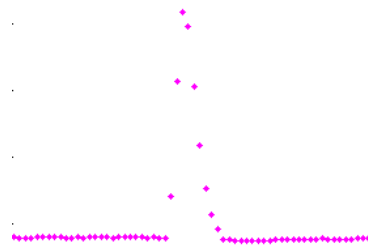
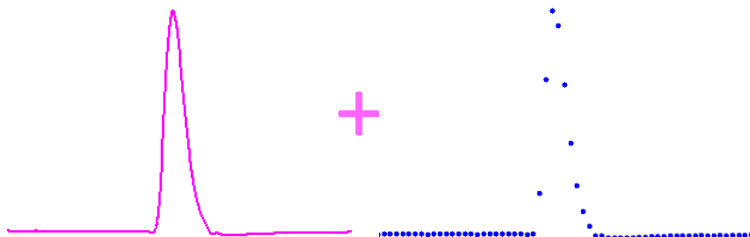
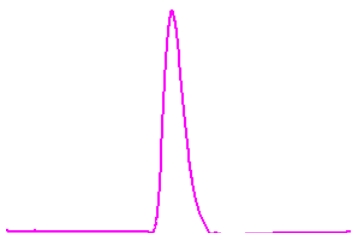
清华大学设计的气体探测器专用芯片进展



CASA系列
(2011年)

CASA系列+SCA
(2013年)

CASCA
(2014年)



总结与计划

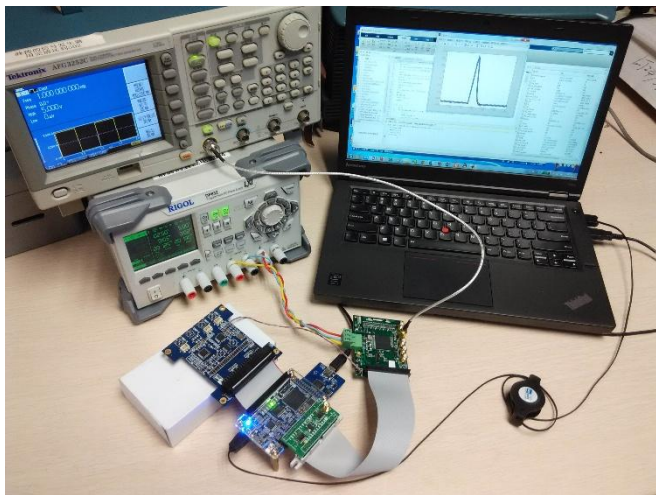
1. 增加芯片的采样深度。

采样深度	64 (目前)	256 (计划)	512 (计划)
缓存@40Msps	1.6 μ s	6.4 μ s	12.8 μ s
缓存@20Msps	3.2 μ s	12.8 μ s	25.6 μ s
最大死时间 @15MHz	154 μ s	616 μ s	1232 μ s

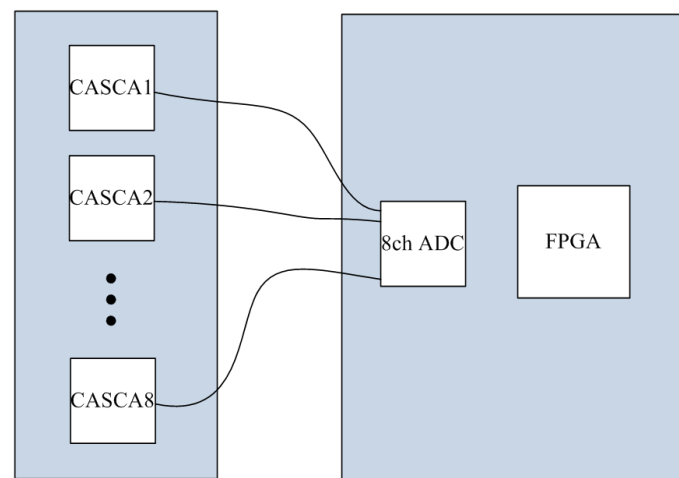
- 根据第一版SCA的测试结果：最大泄漏电流为100fA/s，为达到10bit的精度，需要在4ms内读出所有数据。
- 某些应用中若只关心前沿信息，可只读出少数单元，比如5个单元，则死时间可由目前的154 μ s减小至12 μ s。

总结与计划

2. 与华中师大的王东老师等合作简化目前使用的ADC和数采系统，使其具有更高的密度，并容易扩展。



Altera:DE0-Nano开发板



256通道简化示意图

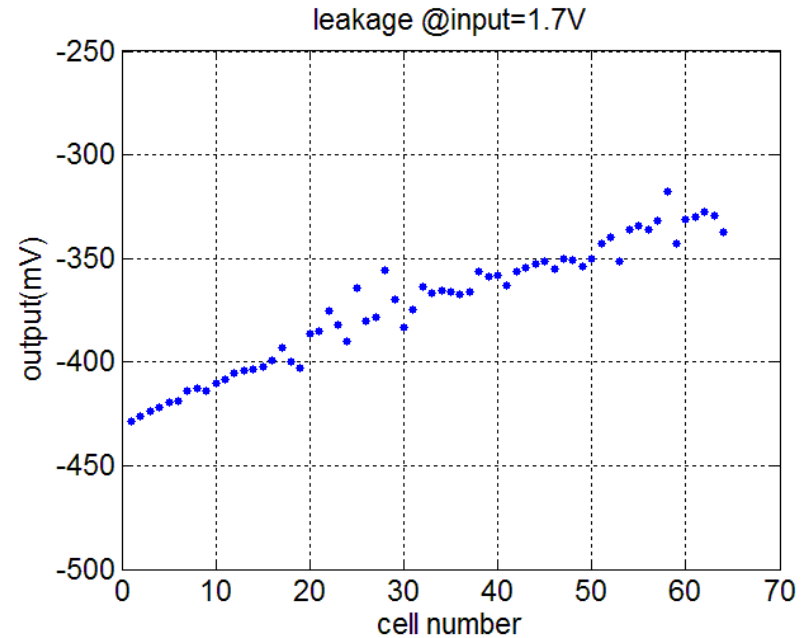
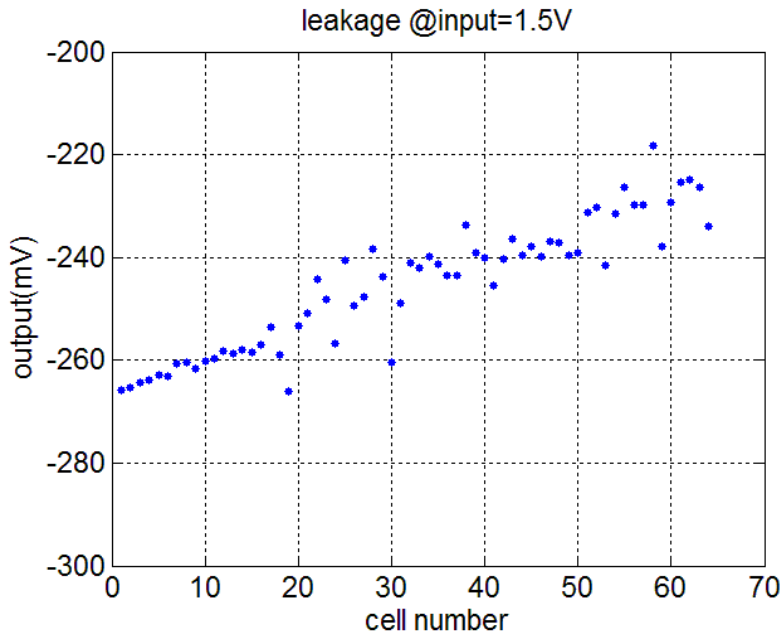
致谢：

自然科学基金

中科院空间科学战略性先导科技专项

核探测与核电子学国家重点实验室开放基金

泄漏电流（第一版测试结果）



$$\text{Leakage}_{\text{max}} = (100\text{mV} / 0.8 * 400\text{fF}) / 500\text{ms} = 100\text{fA/s}$$

为达到10bit的精度，需要在4ms内读出所有数据，意味着读出频率至少为0.57MHz，设计值为40M读出