

# 高精度延时发生器在 Xilinx 7 Series FPGA 中的实现

**摘要:** 基于 FPGA 内部进位链所提供的稳定延时, 设计并验证了高精度的延时发生器。采用抽头延时线方法, 将延时分为基于高频时钟的计数器所提供的粗延时和 FPGA 内部进位单元所提供的细延时, 可以同时兼顾较高的延时步长精度 ( $\sim 20\text{ps}$ ) 和较大的延时动态范围 (由计数器位数决定)。这一方法在 Xilinx FPGA 中具有较好的适用性, 在 FPGA 应用中具有重要的意义。

**关键字:** 延时发生器, 抽头延时线, FPGA, 进位链

## 1. 引言

高精度延时电路广泛应用于家用电器、检测与控制、数据采集和控制等领域。延时电路设计方法众多, 如采用计数器、锁相环、差频和专用精密延时器件等。随着数字电路技术的发展, 数据信号采集速度和精度有了很大提高, 各类工程应用对延时电路设计的指标也越来越高。前述几种方法很难做到兼顾高精度、大动态范围的要求, 因此本文采用抽头延时线法, 利用 FPGA 内部进位单元所提供的较小而稳定的延时构建延时链, 成功地设计并验证了高精度大动态范围的延时发生器。

## 2. 结构与实现

本文采用 Xilinx 公司的 Kintex-7 开发板 KC705 设计并实现了高精度的延时发生器。对于 Xilinx 的 7 系列 FPGA 来说, 其内部都具有 CARRY4 这一基本设计单元, 其具有 10 个独立的输入和 8 个独立的输出。通过对 CARRY4 原语的多次实例化调用, 就能够实现进位链, 作为抽头延时线的基础。CARRY4 单元具有的数据输入 DI[3:0] 和数据选择输入 S[3:0] 分别对应其内部的 4 个进位选择器的 0 位数据输入端和选择输入端, 通过调整 DI 和 S 就可以改变进位链的通断和具体的抽头位置, 从抽头位置到进位链的末端输出之间所经过的时间间隔即为所需要的细延时。粗延时则是利用 KC705 开发板上提供的系统时钟 (200MHz) 进入 PLL 倍频到 500MHz, 送到计数器的时钟端, 计数器的输出分别与两个比较器进行比较, 比较器的阈值分别设置为 1 和 N+1, 也就是说两个比较器的输出之间的延时即为 N 个粗时钟周期 (2ns), 这样就实现了粗延时, 也就是对延时发生器的动态范围进行扩展。将阈值为 N+1 的比较器输出送到进位链所有的 DI 端, 通过改变选择输入 S 的编码 (独热码形式), 即可改变进位链的抽头位置, 也就是改变细延时, 目前进位链的延时步长可达到  $\sim 20\text{ps}$ , 同时进位链的总延时长度被设置超过 2ns, 以达到对粗时钟周期内插的效果。粗细延时的结合, 不仅可以满足高精度的延时步长, 细延时抽头步长最小能做到  $\sim 10\text{p}$ ; 而且可以扩充延时的动态范围, 通过改变粗延时计数器的位数就可以近乎无限地提高动态范围, 目前实现了 16 位的计数器, 动态范围约为  $0\sim 130\mu\text{s}$ 。

## 3. 测试与修正

测试主要是测试细延时的分辨率和非线性分布, 以及粗时钟 jitter 对最终两路延时输出之间的延时造成的时间晃动大小和粗时钟本身的晃动。

## 4. 总结

通过之前的讨论, 可以认为这种在 FPGA 中实现高精度延时发生器的方法是可行而且可靠的, 也对其实现可控延时电路的方案提供了参考。

## Summary

基于 FPGA 内部进位链所提供的稳定延时, 设计并验证了高精度的延时发生器。采用抽头延时线方法, 将延时分为基于高频时钟的计数器所提供的粗延时和 FPGA 内部进位单元所提供的细延时, 可以同时兼顾较高的延时步长精度 ( $\sim 20\text{ps}$ ) 和较大的延时动态范围 (由计数器位数决定)。这一方法在 Xilinx FPGA 中具有较好的适用性, 在 FPGA 应用中具有重要的意义。

**Primary author:** Mr 王, 照琪 (核探测与核电子学国家重点实验室; 中国科学技术大学)

**Presenter:** Mr 王, 照琪 (核探测与核电子学国家重点实验室; 中国科学技术大学)