中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences

面向CEPC顶点探测器的CMOS像素探测器芯片设计

张 颖 （高能所）

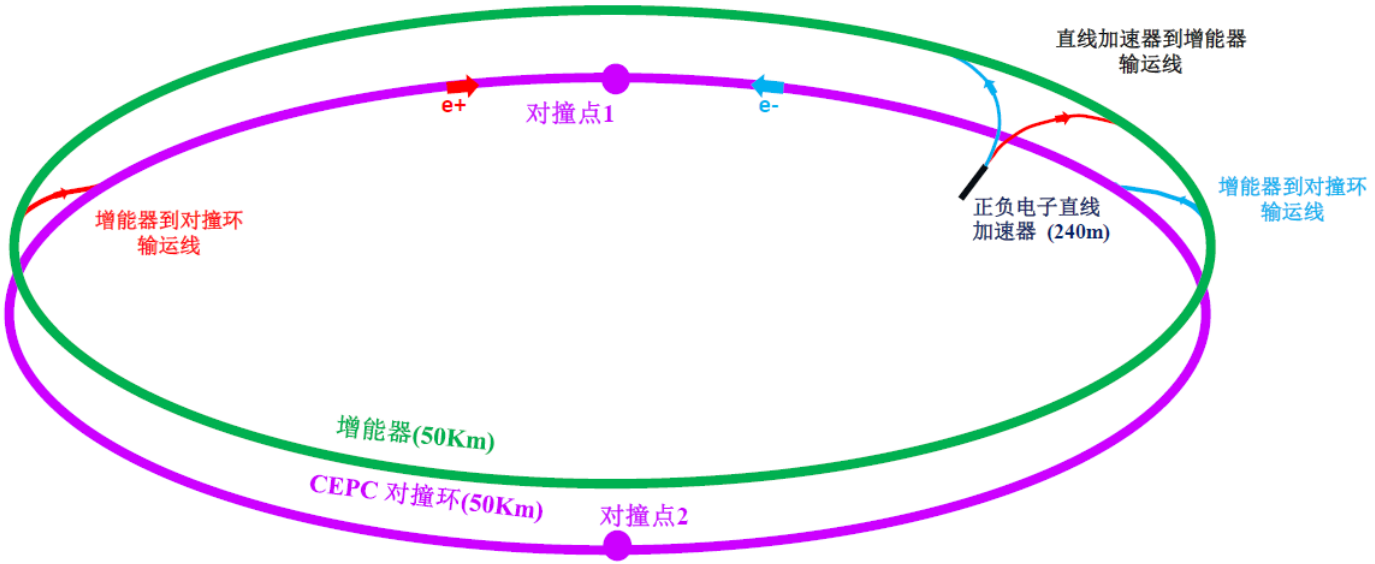
第五届ASIC研讨会，2015年7月22日，中科院近物所

提纲

- CEPC顶点探测器需求
- CMOS像素探测器工作原理
- CEPC CMOS像素探测器芯片设计进展
- 小结

CEPC简介

- 环形正负电子对撞机（CEPC）：周长50-100 km，质心能量约240GeV，亮度2 × 1034 $cm^{-2}s^{-1}$，其主要任务是希格斯粒子属性的精确测量；未来升级为超级质子对撞机（SppC），质心能量50-100 TeV，寻找“新物理”。
- 目前CEPC已经完成pre-CDR，尚未立项，一些预研工作逐步开展



CEPC顶点探测器需求

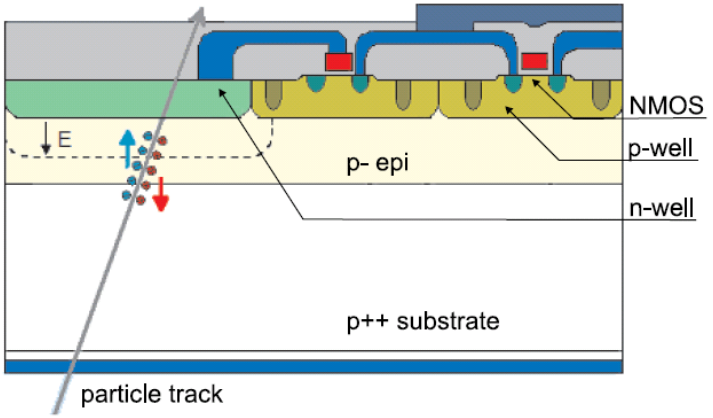
- **高能环形正负电子对撞机（CEPC）内层顶点探测器，对于重味夸克重建与分辨至关重要，要求横向碰撞参数精度：**

$$\sigma_{r\emptyset} = 5 \oplus \frac{10}{(p \cdot sin^{3/2}\theta)}\ \mu m$$

- **CEPC顶点探测器拟采用三层双面结构，主要技术指标如下：**
  - 最内层像素探测器空间分辨率优于3 μm
  - 物质量每层单面小于0.15 % X_0（包括传感器、电子学、冷却和机械支撑系统等）
    ➔减小粒子多次散射效应
    - 低物质量要求采用减薄技术（ASIC+传感器厚度小于50 μm）
    - 采用风冷技术，受限于冷却能力，要求尽量降低电子学+传感器功耗，控制在50 mW/cm^{2}以下
  - 抗辐照要求：总剂量~300 kRad/年，非电离辐照~10^{12} 1 MeV n_{eq}/年

CMOS像素探测器原理

CPS, CMOS Pixel Sensor (MAPS, Monolithic Active Pixel Sensors)



- **采用工业标准CMOS工艺，以外延层作为敏感区，电荷主要通过扩散被收集**
- **像素内电子学和外围电路集成于同一硅衬底，可减薄至50 μm ➔ 低物质量**
- **信号较小：~80 e^-h^+ pairs/μm ➔ O(1 ke^-)电荷信号由~3-5像素收集**
  - 需要低噪声的像素前端电路，ENC O(10 e^-)
- **高位置分辨率➔小像素➔ 像素数量大**
  - 需要低功耗像素
  - 需要数字压缩
  - 需要高速数据传输

模拟信号需要被转换成数字信号 (ADC)

CMOS像素探测器应用（I）

- **STAR Heavy Flavour Tracker (HFT) @ RHIC**
  - 采用法国IPHC实验室设计的ULTIMATE芯片（面积~2 cm × 2 cm）
  - 采用AMS 0.35 μm CMOS工艺
  - 像素尺寸 20.7 μm × 20.7 μm（空间分辨率约6μm）
  - 列级甄别器，百叶窗式读出，像素内实现相关双采样，积分时间185.6 μs
  - 功耗~170 mW/cm^2 @ 3.3 V
  - 芯片厚度50 μm
  - 探测器于2013年末安装，2014年开始取数

L. Greiner, FEE 2014



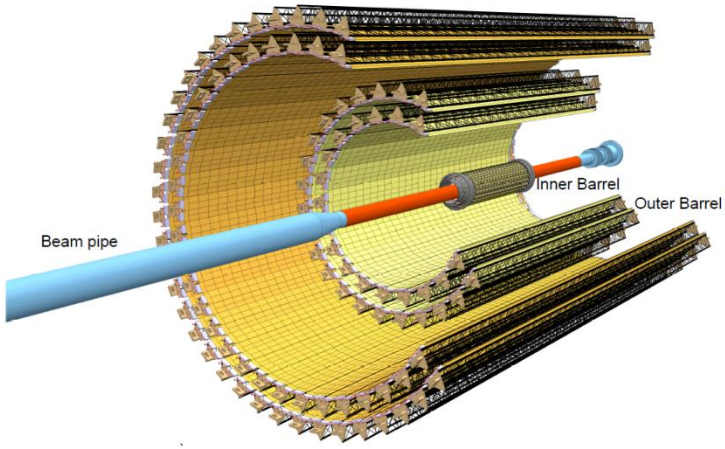
辐照水平（每年）：
TID: 20-90 kRad
NIEL: 2*10^{11}- 10^{12} 1MeV n_{eq}/cm^2

物质量: 0.37% X_0/层

CMOS像素探测器应用（II）

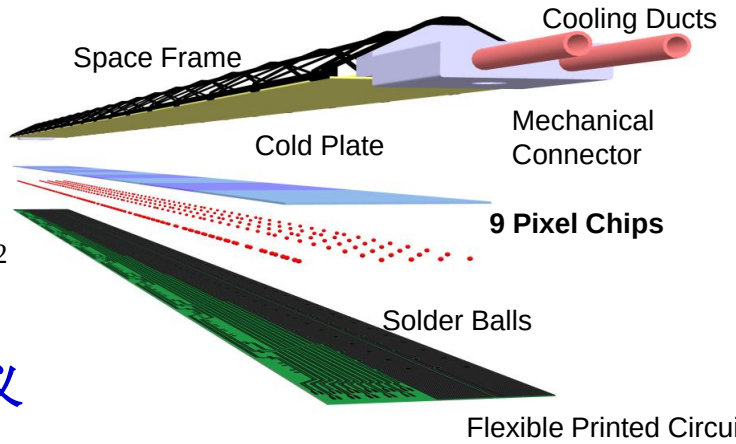
- **ALICE Inner Tracking System (ITS) Upgrade**

- **ITS探测器结构**
  - 3内层（0.3% X_0）+ 4外层（0.8% X_0）
  - 目前几种不同结构的像素芯片正在研发中
  - 将于2018-19期间安装



ALICE ITS Upgrade TDR
CERN-LHCC-2013-024

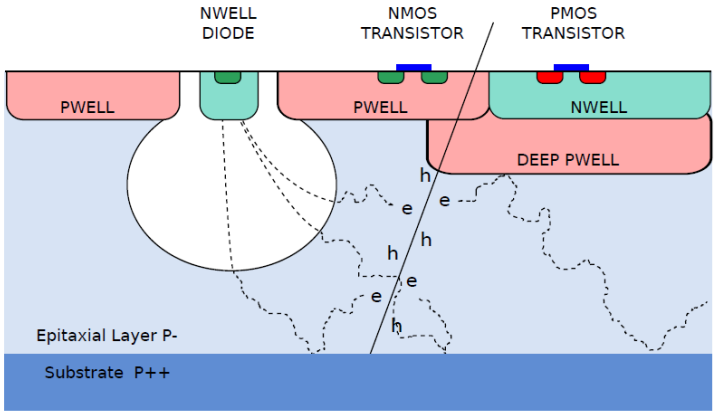
- **像素芯片技术指标**
  - 采用0.18高阻外延层CMOS工艺
  - 芯片尺寸： 15 mm × 30 mm，减薄至50 μm
  - 像素尺寸： 30 μm × 30 μm
  - 积分时间： < 30 μs
  - 功耗：内层 < 300 mW/cm^2，外层 < 100 mW/cm^2



对CEPC CMOS探测器研制有重要借鉴意义

CEPC CMOS像素探测器

- 工艺选择：
  - 外延层厚度10 μm 以上
  - 多阱工艺 ➔ 像素内可实现CMOS电路
  - 高阻外延层更好
- **最终选择TowerJazz 0.18 μm CMOS Image Sensor Process (CIS)**
  - 基准外延层厚度18 μm，阻值1 kΩ·cm
  - 深P阱 ➔ 可在像素内使用PMOS，
    而且造成用于电荷收集的N阱损失电荷
  - 薄栅氧层 ~3 nm ➔ 抗总剂量辐射能力强
  - 特征尺寸小（0.18 μm ），6层金属
    单芯片面积（≤ 25 mm × 32 mm）
    芯片拼接技术（stitching）可选
    ➔ 利于集成高密度数字电路，减小死区面积
  - 晶体管辐射性能已实验验证

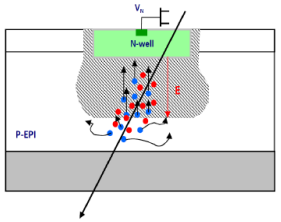


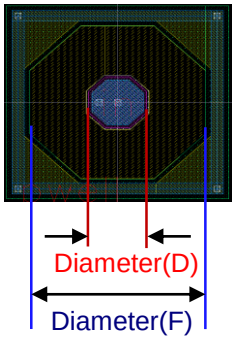
ALICE ITS Upgrade TDR 2013

CEPC CMOS像素探测器——原型芯片设计

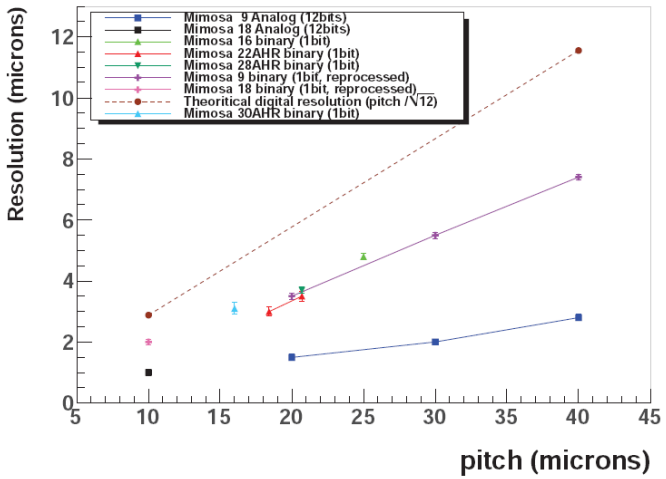
- 目标：电荷收集器件设计优化
- 设计考虑：
  - 电荷收集二极管面积
    - 减小面积可以降低电容、噪声、提高电荷增益

      $V_{sig} = Q_{coll}/C$; $N \propto C$
    - 增大面积可提高电荷收集效率以及抗非电离辐射能力
  - 可优化参数：电荷收集极的面积、与guard ring间距
    - 优化二极管设计➔ 提高SNR➔提高检测效率
  - 像素尺寸、外延层厚度及电阻率对电荷收集的影响
    - 两种像素尺寸：16 μm × 16 μm, 33 μm × 33 μm
    - 4种外延层：18 μm +1 kΩ·cm、 20 μm + 2 kΩ·cm、 25 μm + 2 kΩ·cm、 30 μm + 8 kΩ·cm
  - 采用器件仿真与流片验证相结合的方式



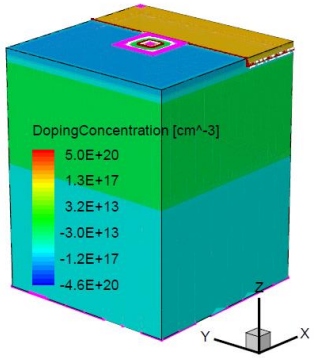


空间分辨率与像素尺寸关系

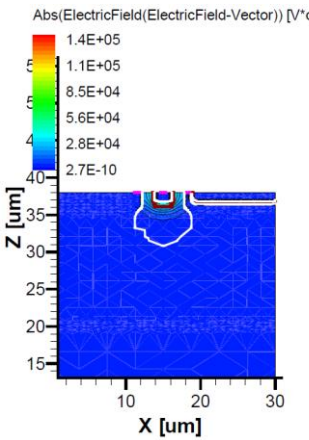


CEPC CMOS像素探测器——原型芯片设计

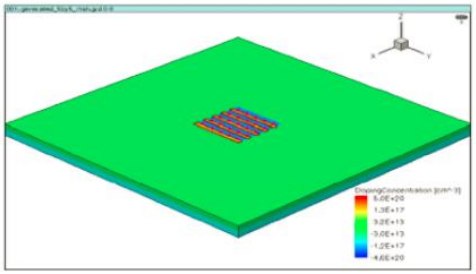
- **器件仿真（Synopsys TCAD tool & Silvaco）**
  - 以外延层厚度、电阻率、二极管尺寸为参数研究电荷收集性能
  - 单像素仿真：验证电场、电势分部（张颖、赵梅）
  - 像素阵列仿真：电荷收集时间、效率等（付民、赵梅）



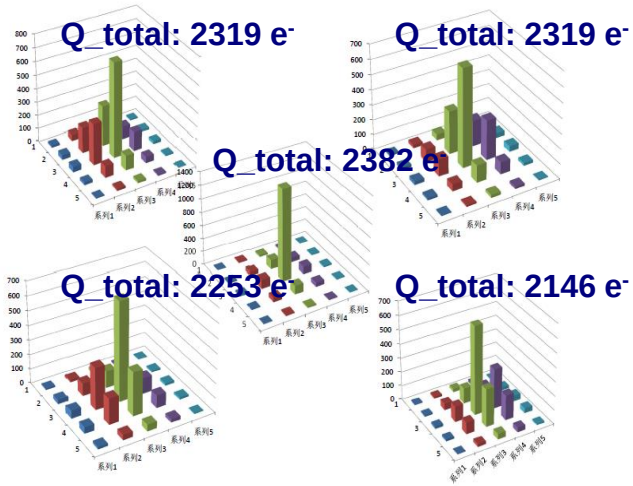
掺杂分布



电场分布



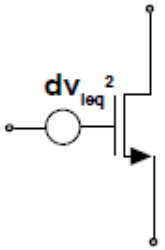
5 × 5 像素矩阵



5个不同入射位置条件下，各像素的收集电荷分布图

CEPC CMOS像素探测器——原型芯片设计

- 像素内前端模拟电路设计需求：低噪声、低功耗
- 通常输入管噪声为主要噪声源：



Flicker noise (1/f) *Thermal noise*

$$dv_{eq}^2 = \left(\frac{K_F}{WLC_{ox}^2 f^{\alpha}} + \frac{4k_B T\gamma}{g_m}\right)df \quad \text{for strong inversion}$$

$$dv_{eq}^2 = \left(\frac{K_F}{WLC_{ox}^2 f^{\alpha}} + \frac{2k_B Tn}{g_m}\right)df \quad \text{for weak inversion}$$

α: $0 < \alpha < 2$
K_F: technology dependent constant,
W and L are transistor width and length,
C_{ox}: is the gate oxide capacitance per unit area
f: frequency
gm: transistor transconductance
k_B: Boltzmann's constant
T absolute temperature
n weak inversion slope
γ a factor often around 2/3.

- 像素内包含filter，输入管的热噪声占主要贡献

$$N \propto \frac{1}{\sqrt{g_m}} \qquad S = \frac{Q}{C}$$

$$\frac{S}{N} \propto \frac{Q}{C}\sqrt{g_m} \propto \frac{Q}{C}\sqrt[2a]{I}$$

$$g_m \propto I^{\frac{1}{a}}$$

a = 2 in strong inversion
a = 1 in weak inversion

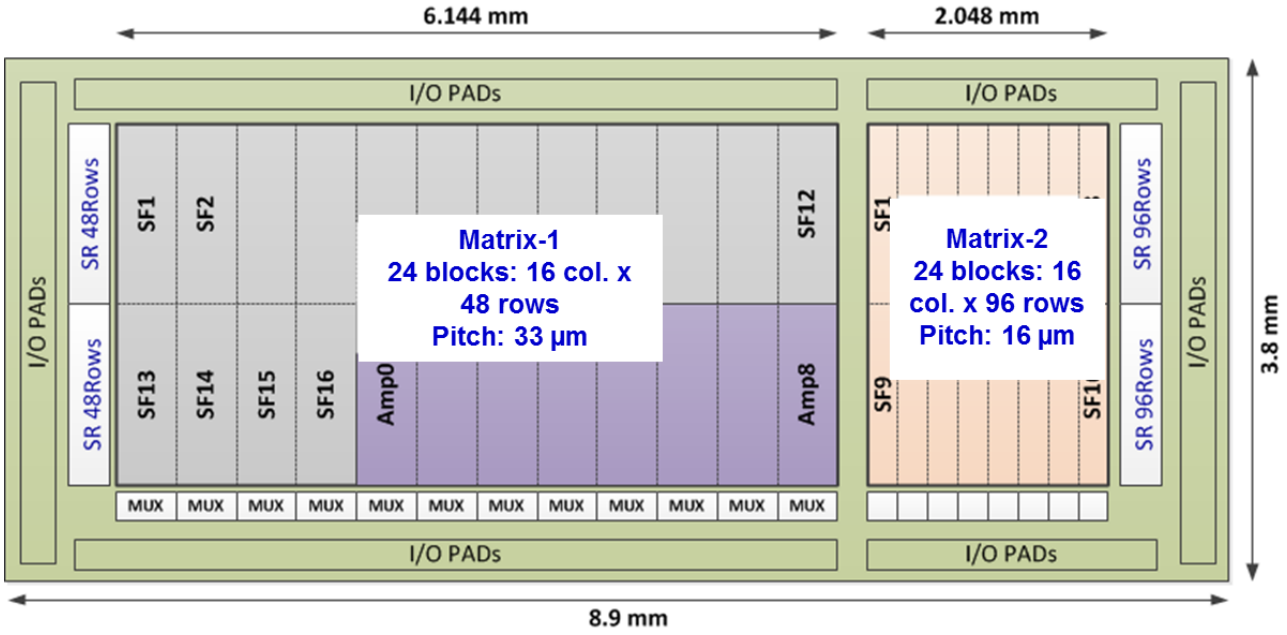
假设模拟电路功耗主要来源于输入管的偏置

$$P \propto I \propto \left(\frac{S/N}{Q/C}\right)^{2a} \Rightarrow \frac{Q}{C}\uparrow \rightarrow P\downarrow$$

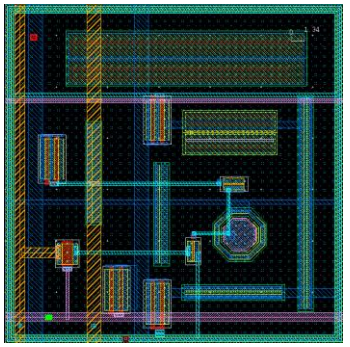
对于固定的带宽和SNR,
优化Q/C可以降低功耗

CEPC CMOS像素探测器——原型芯片设计

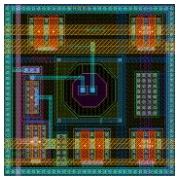
- 芯片整体布局
  - 两个子阵列：不同像素尺寸，各包含16个源级跟随器像素（SF）block，用于sensor性能优化
  - 每个block有16个并行模拟输出，片外进行相关双采样
  - Matrix-1包含8个像素内集成前端模拟电路的block



33 µm 像素



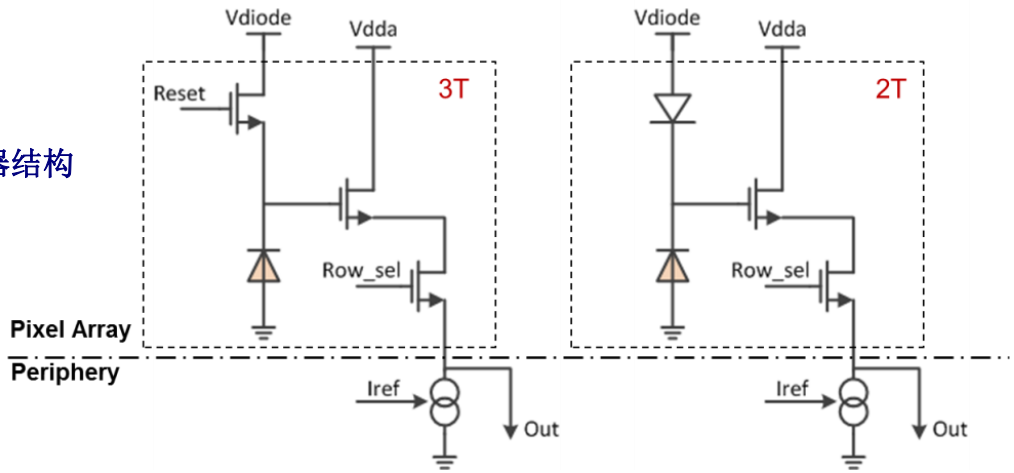
16 µm 像素



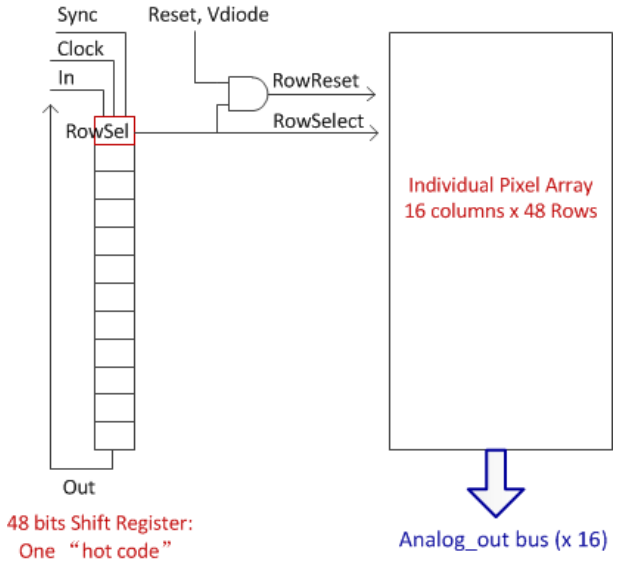
CEPC CMOS像素探测器——原型芯片设计

- 源级跟随器像素

源级跟随器结构

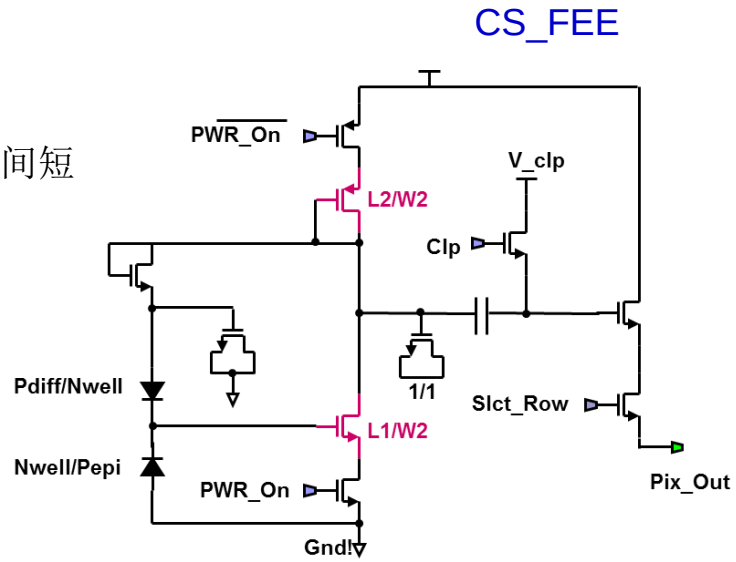


- 百叶窗式读出：
  - 每次选中一行，16列像素并行读出
  - 每个时钟周期读出一行，一帧读出时间为24 μs @ 2MHz



CEPC CMOS像素探测器——原型芯片设计

- **像素内模拟前端电路：**
  - 传统共源结构
    - 不连续工作，仅选中时供电 ➔ 节省功耗
    - 高读出速度（~100 ns每行）➔ 通电到稳定时间短
      - 需要大电流驱动 → 增加功耗
      - 需要大带宽→ 增加噪声
    - 典型增益 < 5



  - 考虑其他结构，实现高增益、低功耗、连续工作

小结

- **依据CEPC顶点探测器需求，我们开展了CMOS像素探测器研究**
- **首个芯片主要目标是优化电荷收集性能**
  - 外延层厚度、电阻率
  - 多种电荷收集二极管尺寸、偏置方式（3T/2T）
  - 低功耗前端模拟电路设计正在进行中
  - 将参加法国IPHC实验今年的工程批流片，计划9月份

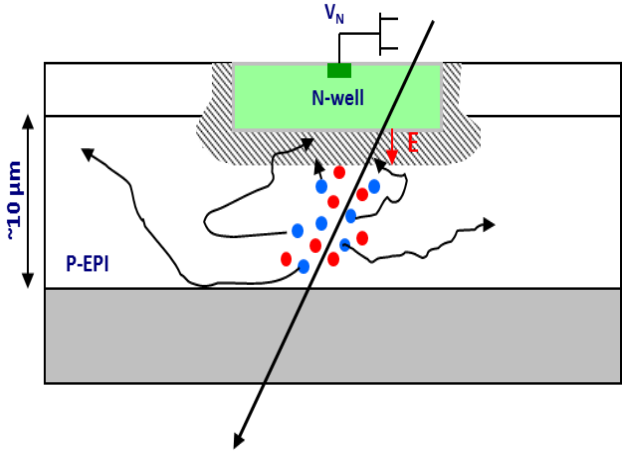
Backup slides

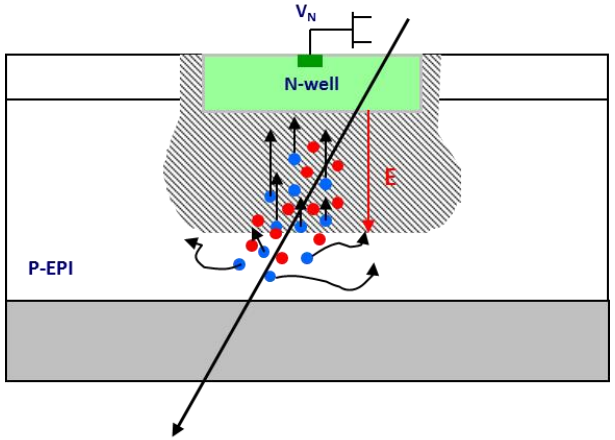
工艺选择

- 基本需求：外延层 （≥10 μm，≥1 kΩ·cm)，三/四阱工艺（可提供深N/P阱以实现像素内CMOS电路）

	Feature size (μm)	EPI thickness	EPI resistivity	MPW availability	Price
TowerJazz	**0.18 CIS**	**5/18 μm**	**30Ω/1 kΩ·cm**	**TBC**	**~600k CNY/25 mm²**
	0.18 BCD	TBC	10 Ω·cm	YES	
	0.18 Power	No EPI	1kΩ·cm Sub		
XFAB	XH035	P-5/15 μm	8 Ω·cm	YES	
	XO035	**P-14 μm**	**500-2kΩ·cm**	**YES**	
	XH018	P-10 μm	15 Ω·cm	YES	125k CNY/10 mm²
SMIC	0.13/0.18 CIS	P-7 μm N-6.5 μm	8.5-11.5 Ω·cm 22.5-27.5Ω·cm	UNLIKELY UNLIKELY	
GF	0.18 BCDlite	7 μm	1 Ω·cm	YES	30k CNY/9 mm²
CSMC	0.25 BCD	7 μm	TBC	TBC	
TSMC	CMOS	7-8 μm	1-10 Ω·cm	UNLIKELY	
AMS	**C35 Opto**	**14/20 μm**	**10/400 Ω·cm**	**YES**	**120k CNY/MPW**

工艺进步对CMOS探测器的影响



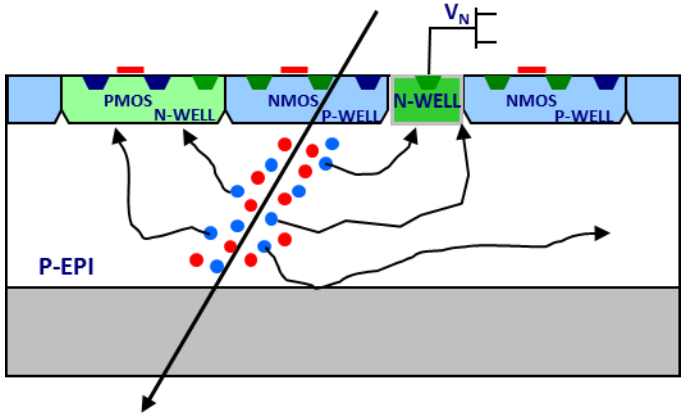


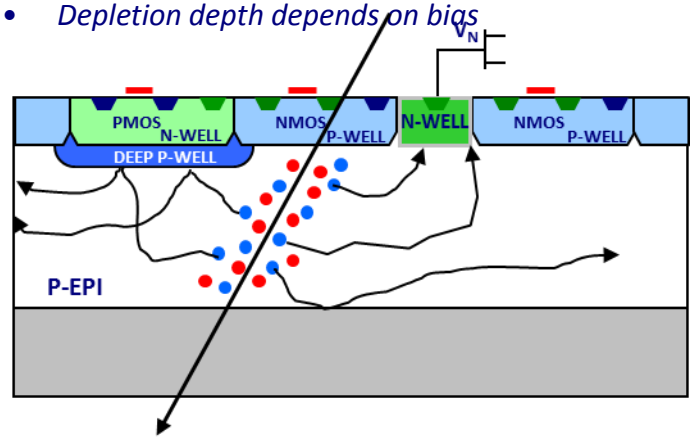
Standard Epitaxial Layer

- *Standard CMOS OPTO Process: EPI ~10 Ω*cm*
- *Charge collection: thermal diffusion*
- *Collection time: O(100 ns)*

High resistivity Epitaxial Layer

- *High resistivity >1 kΩ*cm & thicker (~40 µm) EPI layer*
- *Charge collection: drift/thermal diffusion*
- *Collection time faster, less recombination ➔ radiation tolerant*
- *Depletion depth depends on bias*



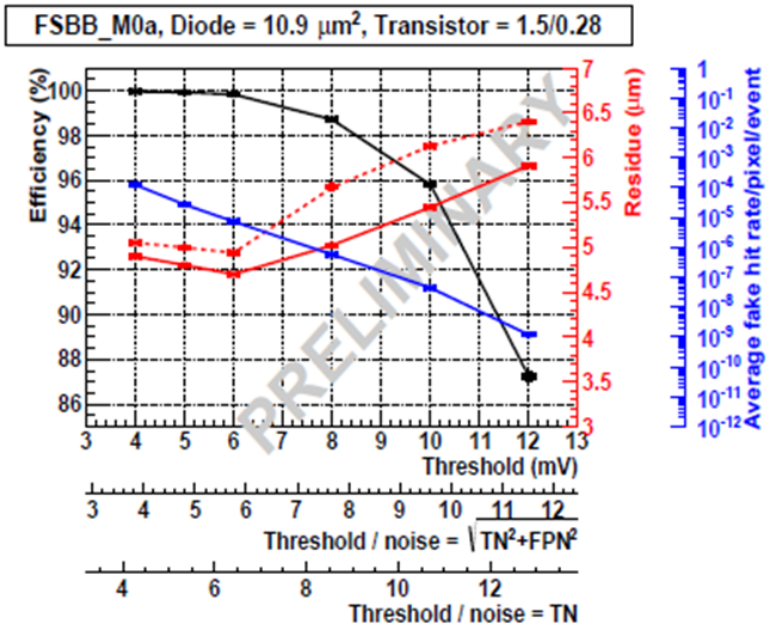


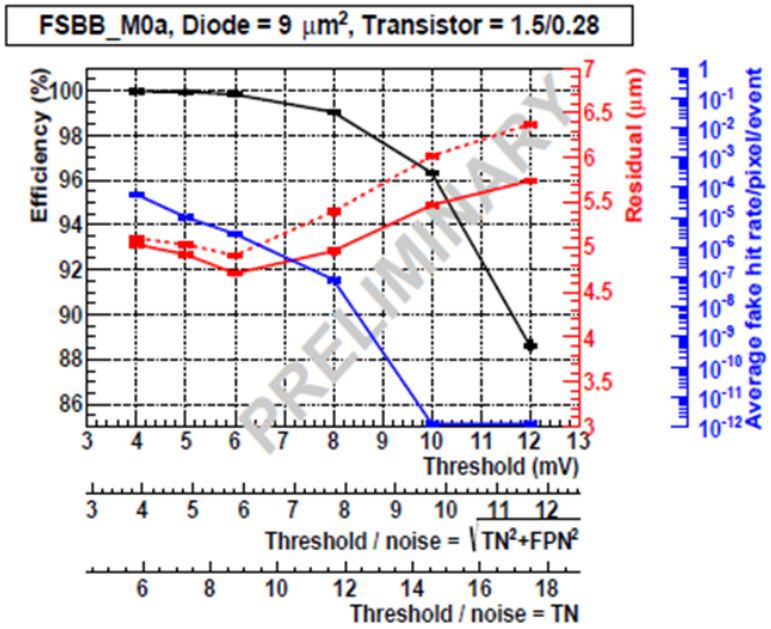
CMOS工艺的进步为CPS的发展提供了更大空间（高阻外延，多阱工艺）

甄别阈值的影响

- 探测效率、误计数率、空间分辨率与甄别阈值的关系

Courtesy of C.HU, 2014





Diode	$\epsilon_{det} \gtrsim$ 99.8 %	$\epsilon_{det} \gtrsim$ 99.5 %	$\epsilon_{det} \gtrsim$ 99.0 %	fake $\lesssim 10^{-5}$
11 μm^2	D.T. $\lesssim$ 6 mV	**D.T. $\lesssim$ 6.5 mV**	D.T. $\lesssim$ 8 mV	D.T. $\gtrsim$ 6 mV
9 μm^2	D.T. $\lesssim$ 6 mV	**D.T. $\lesssim$ 7 mV**	D.T. $\lesssim$ 8 mV	D.T. $\gtrsim$ 5 mV