

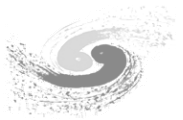
用于同步辐射的计数型硅像素探测器读出电子学研究进展

魏微 宁哲 张杰 卢云鹏 樊磊 李怀申
江晓山 王铮 蓝克坚 欧阳群 朱科军 陈元柏 刘鹏

核探测与核电子学国家重点实验室

2015-07-22

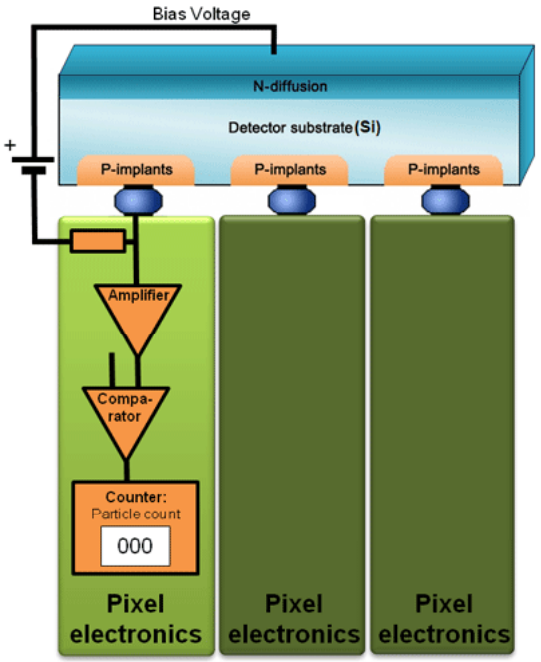
主要内容



- 项目背景
- 项目整体进展
- 读出芯片设计
  - 像素单元电路
  - 芯片整体设计
- 芯片测试结果
  - 测试读出系统
  - 纯芯片测试
  - Sensor联调测试
- 倒装焊工艺评估结果
- 读出模块初步设计
- 对比和总结

高能同步辐射光源硅像素探测器预研

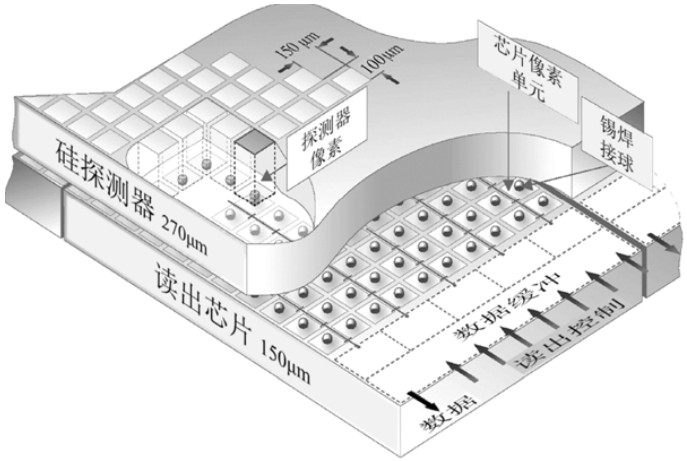
- 针对同步辐射应用，力争实现实用化的硅像素探测器系统
- 项目时间：2012~2015
- 力争掌握像素读出芯片设计和读出电子学模块设计的关键核心技术
- 参照目前同步光源主要探测器的需求和指标，像素单元电路工作在单光子计数模式下，每帧可以完成对入射粒子数的数字积分
- 探测器整体方案基于成熟的混合型像素探测器结构，即全耗尽体硅传感器+倒装焊连接+像素ASIC读出芯片方案



- **项目验收指标**
  - 灵敏面积：8cm×8cm
  - 像素尺寸：200μm× 200μm
  - 帧刷新率：> 100Hz
  - 动态范围：20bit
  - 能量范围：8~20keV
- **项目设计指标**
  - 灵敏面积：8cm×8cm
  - 像素尺寸：150μm× 150μm
  - 帧刷新率：1kHz
  - 动态范围：20bit
  - 能量范围：8~20keV

硅像素探测器预研

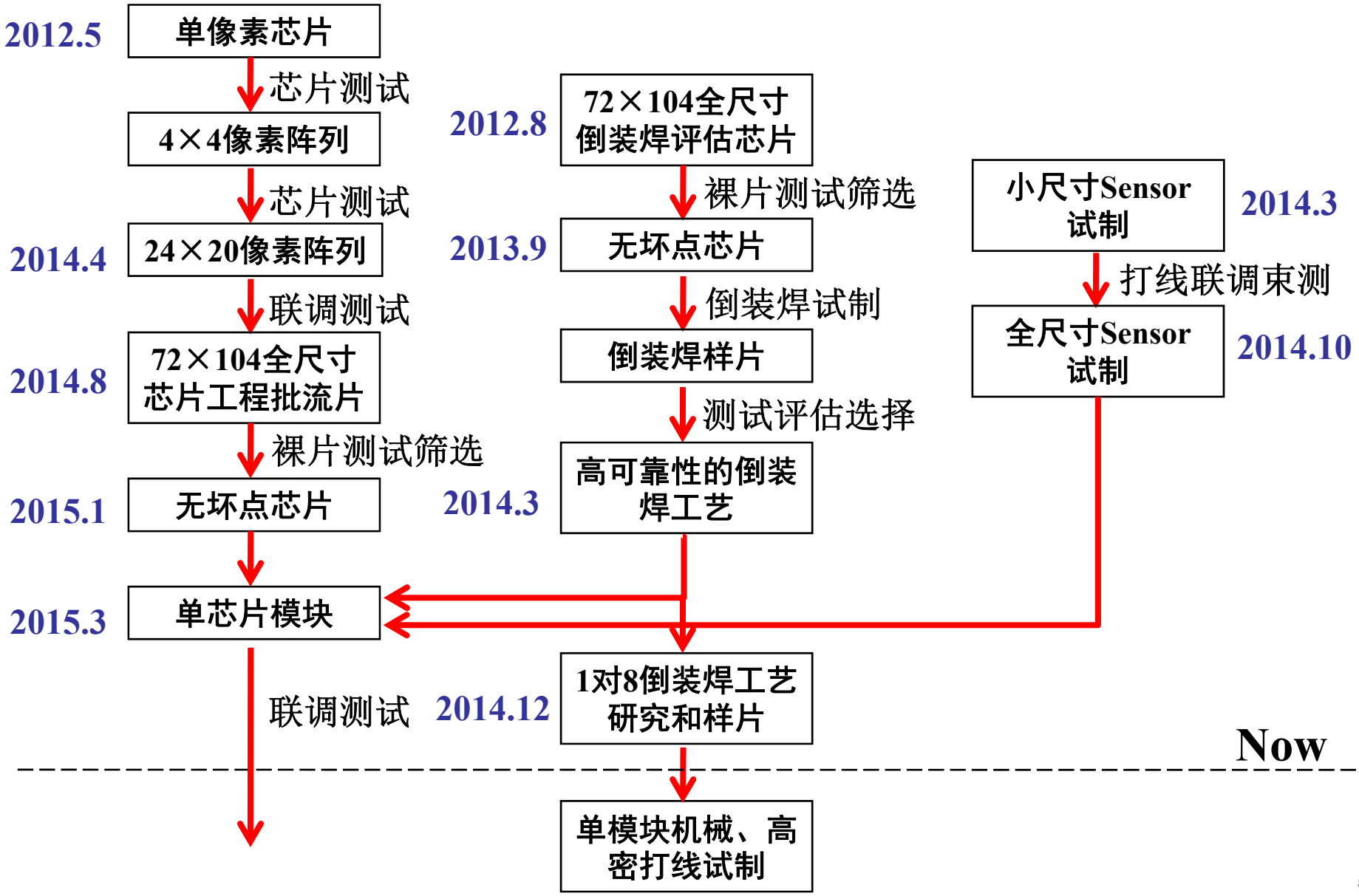
- 项目目标：
  - 制备硅像素探测器Sensor的条件还不具备，主要是参加Sensor的合作设计和测试，积累相关经验
  - 独立完成像素读出芯片和读出系统的设计，掌握芯片设计的核心技术
  - 利用合作单位Bump Bonding成熟技术，完成系统封装，掌握先进封装相关设计技术
  - 完成像素成像系统的机械系统设计，在先进封装、像素冷却系统设计方面积累经验



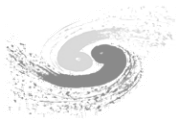
- 芯片设计目标

像素单元尺寸	**150μm×150μm**	刷新率	**100~1kHz**
芯片规模	**72列×104行**	总通道数	**7488**
工作模式	数字积分（计数）	计数深度	**20bit**
ENC	好于**200e**	能量探测范围	**8keV~20keV**
像素单元功耗	**50μW/pixel**	芯片总功耗	**400mW**

读出电子学项目整体进展

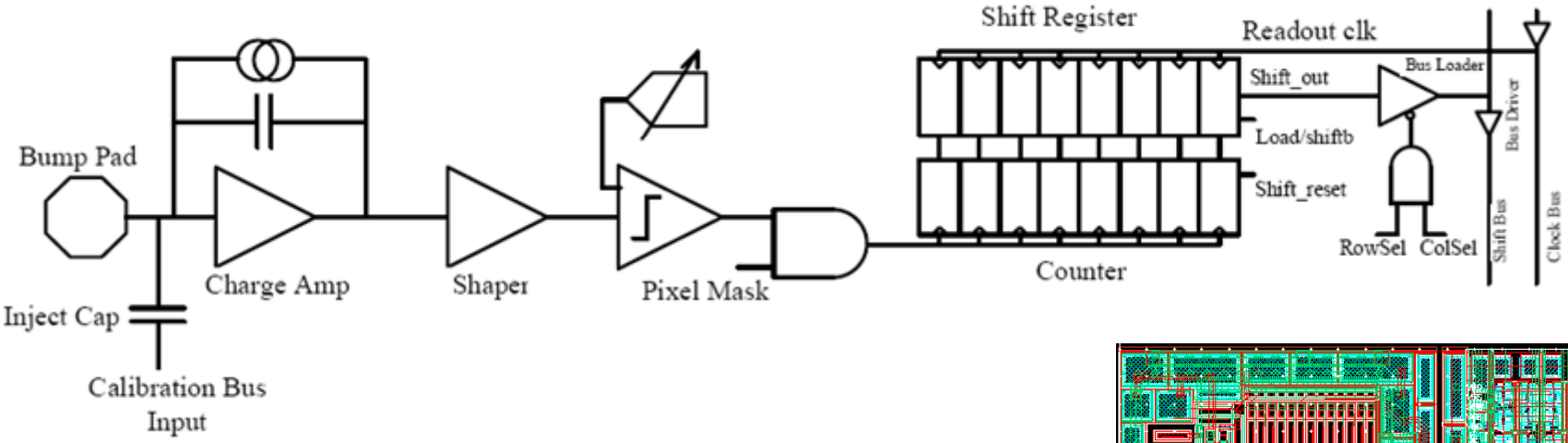


主要内容

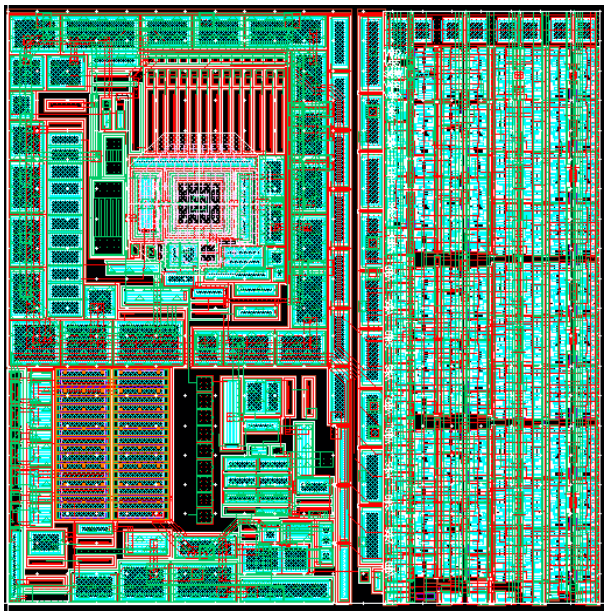


- 项目背景
- 项目整体进展
- 读出芯片设计
  - 像素单元电路
  - 芯片整体设计
- 芯片测试结果
  - 测试读出系统
  - 纯芯片测试
  - Sensor联调测试
- 倒装焊工艺评估结果
- 读出模块初步设计
- 对比和总结

读出芯片设计——像素单元



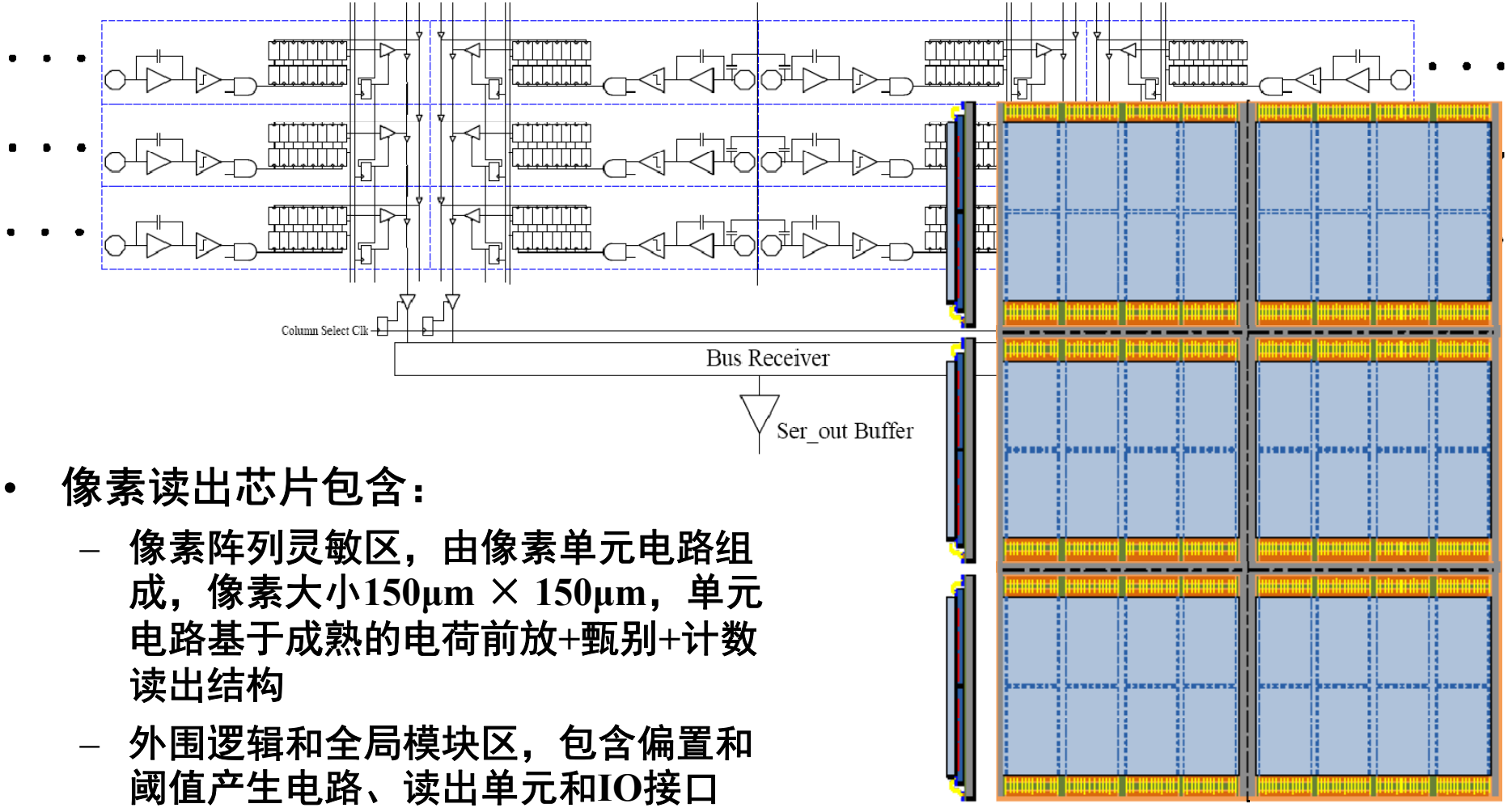
- 模拟部分：
  - ✓ 电荷灵敏前放
  - ✓ 成形放大
  - ✓ 甄别器
  - ✓ 局部阈值设定DAC
  - ✓ 刻度信号注入结构
- 数字部分：
  - ✓ 计数器链
  - ✓ 锁存读出链
  - ✓ 像素Mask逻辑
  - ✓ 总线挂载逻辑
  - ✓ 行列选通逻辑



像素单元版图150μm×150μm

- 相比传统的CCD、MAPS基于3-T电容积分的方式，通过信号放大甄别，可以实现“零噪声”的信号探测
- 读出速度从每秒几帧提升至每秒几百帧~几千帧
- 作为设计平台，可以扩展更复杂的功能，例如单粒子能量测量、时间测量等

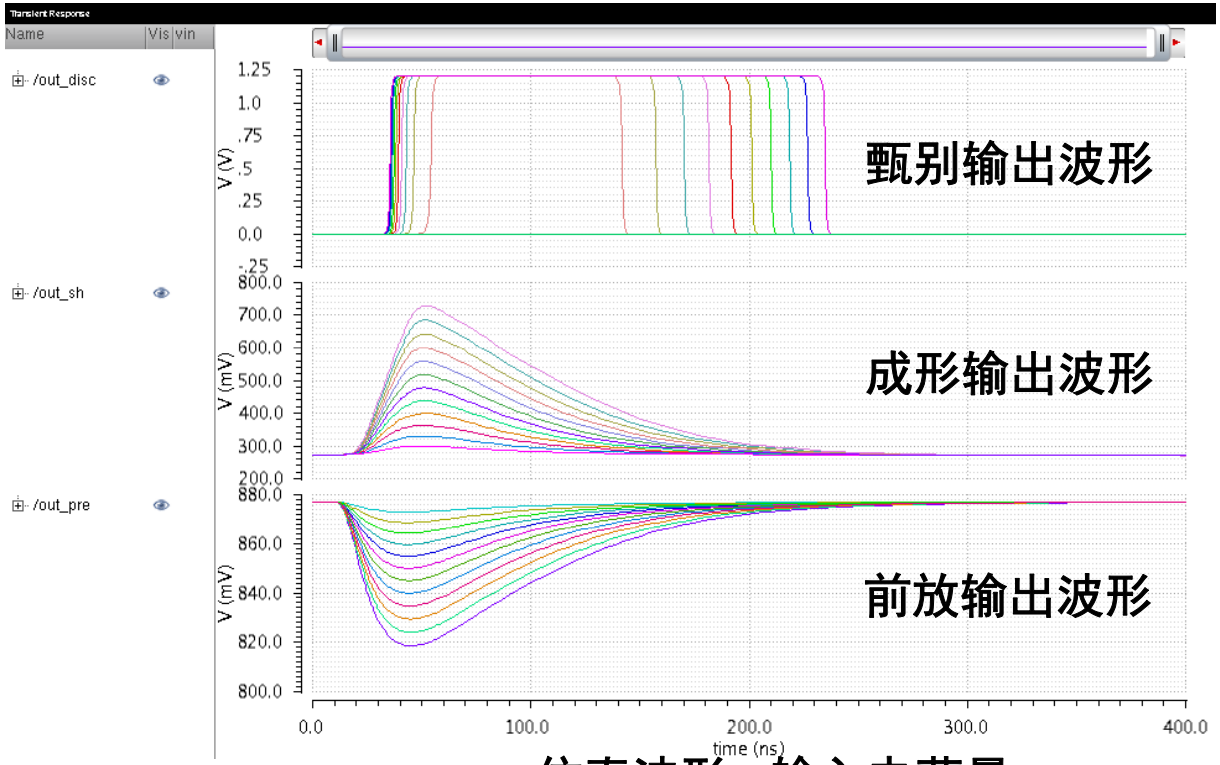
读出芯片和样机整体结构



- 像素读出芯片包含：
  - 像素阵列灵敏区，由像素单元电路组成，像素大小150μm × 150μm，单元电路基于成熟的电荷前放+甄别+计数读出结构
  - 外围逻辑和全局模块区，包含偏置和阈值产生电路、读出单元和IO接口
- 单片ASIC将包含72行×104列像素，单片ASIC尺寸为1.7cm×1.1cm，单个模块包含8片相互独立的ASIC芯片

- 单模块面积为4.5cm×3.6cm，样机将由6个模块组成
- 整体面积为9cm×10.8cm

读出电路设计



仿真波形vs输入电荷量

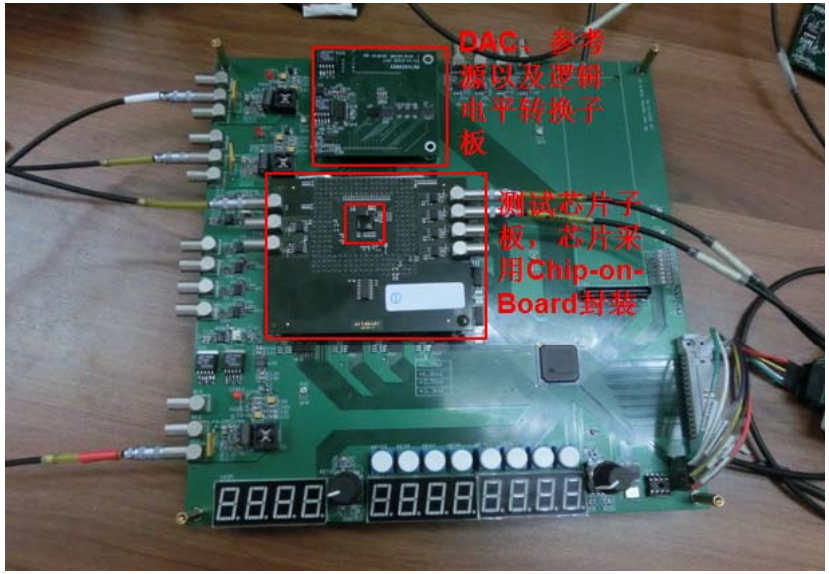
- 硅平均电离能3.62eV，仿真输入为0~6ke$^-$
- 即在8keV~20keV输入能量范围内保持线性
  - 仅ASIC来说动态范围可至100keV以上
- **峰值线性度拟合结果：**
  - **前放输出为1%**
  - **成形输出为2%**
- 甄别器输出初步实现了ToT功能
- **ENC（@Cd=200fF）**
  - **@前放：119.5e$^-$**
  - **@成形：117.9e$^-$**
- 信噪比@8keV ≈ 16.9
- 噪声斜率：93e$^-$ +225.8e$^-$/pF

- **设计工艺：SMIC 0.13μm 1P8M，电源电压1.2V**
- 模拟电路、数字电路总功耗分别为18.9μW/Pixel，20μW/Pixel
  - 满足了50μW/Pixel的设计指标

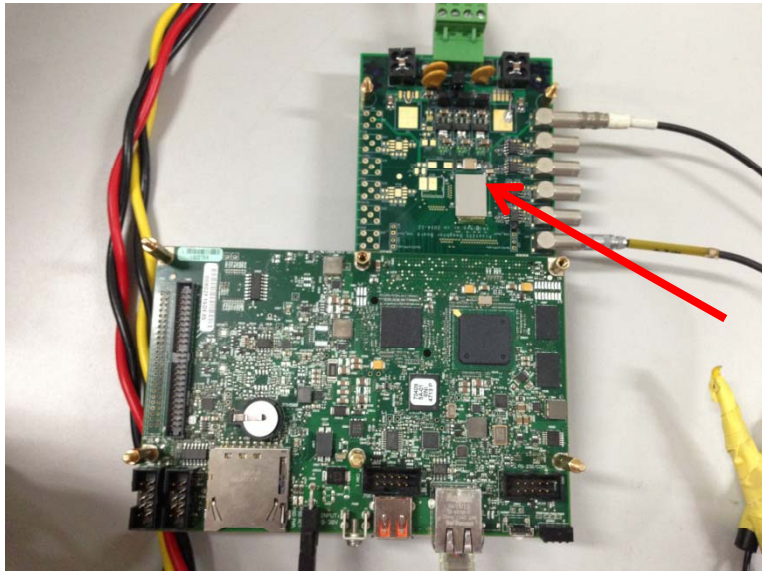
主要内容

- 项目背景
- 项目整体进展
- 读出芯片设计
  - 像素单元电路
  - 芯片整体设计
- 芯片测试结果
  - 测试读出系统
  - 纯芯片测试
  - Sensor联调测试
- 倒装焊工艺评估结果
- 读出模块初步设计
- 对比和总结

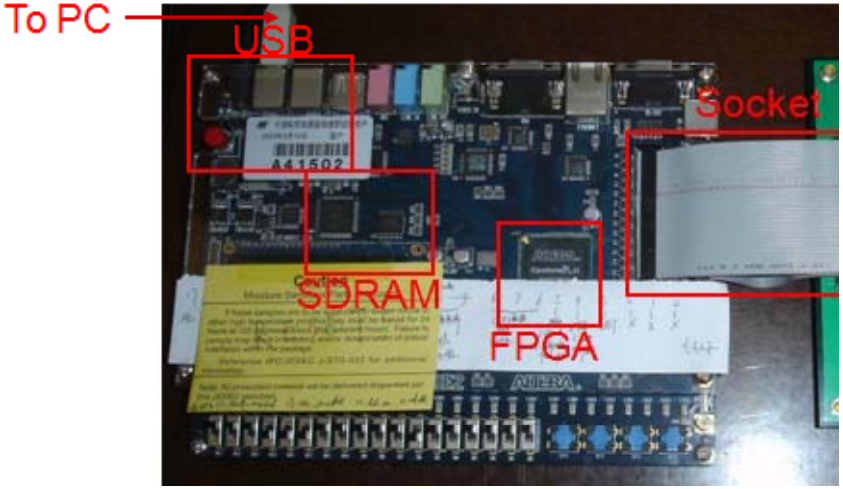
芯片测试和读出系统I、II



测试读出系统I-子母板



测试读出系统II



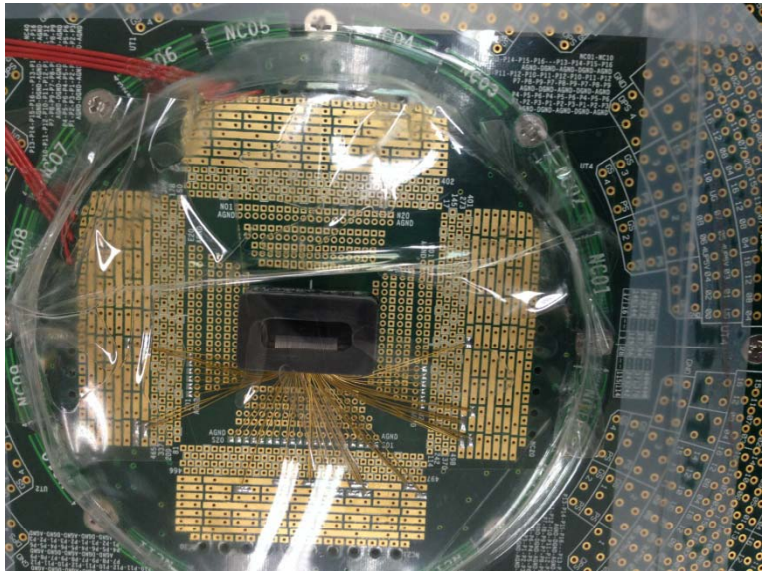
测试读出系统I-读出开发板

- 测试读出系统I：MPW芯片
  - 母板CPLD+MPW芯片测试子板
  - Altera DE2开发板+USB→PC
  - Labview在线控制和自动刻度
- 测试读出系统II：全尺寸单芯片
  - NI-RIO FPGA + 芯片测试子板
  - 全Labview编程、控制和自动刻度

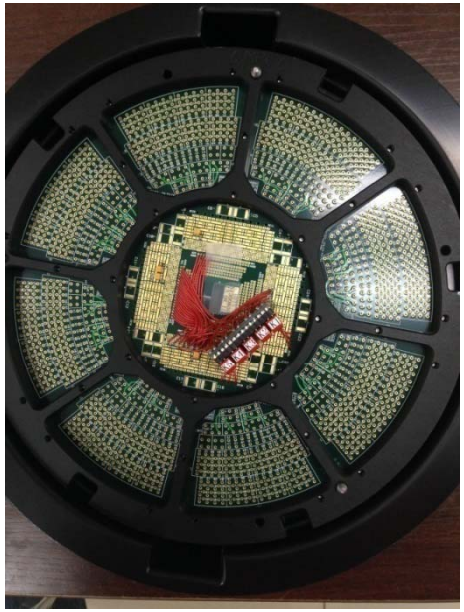
工程批裸片测试



自动测试探针台



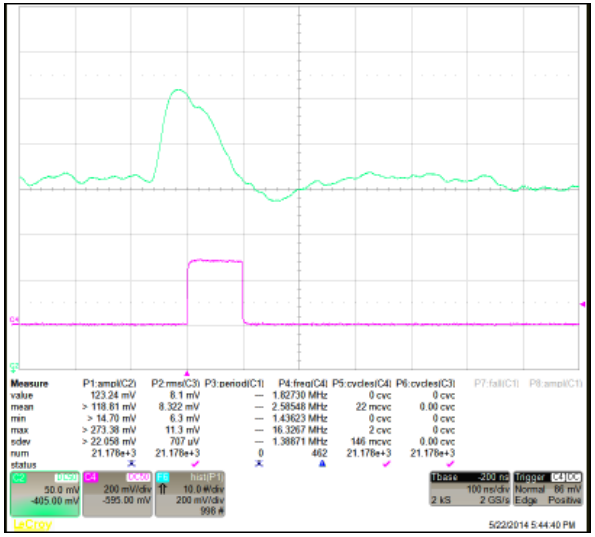
8吋晶圆探针卡（正面）



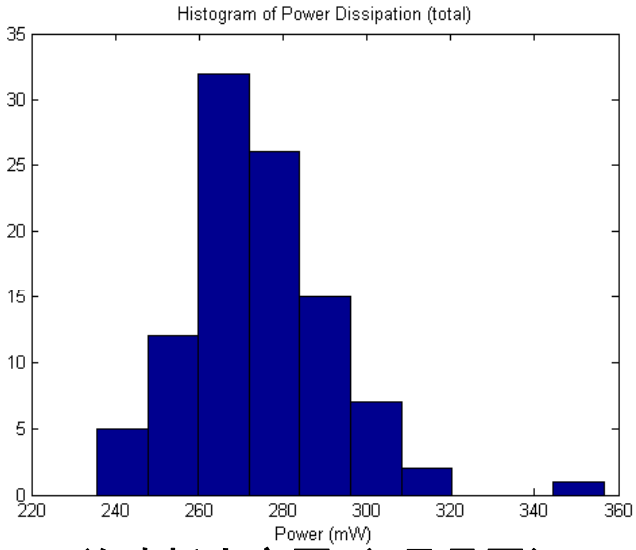
8吋晶圆探针卡（背面）

- 倒装焊必须以晶圆形式进行工艺处理，由于无法划片，只能以探针卡的形式对倒装焊前的芯片进行功能检测
- 制定了测试方案并委托专业公司对工程批晶圆进行了裸片测试
- 根据测试结果，挑选合格芯片进入倒装焊环节

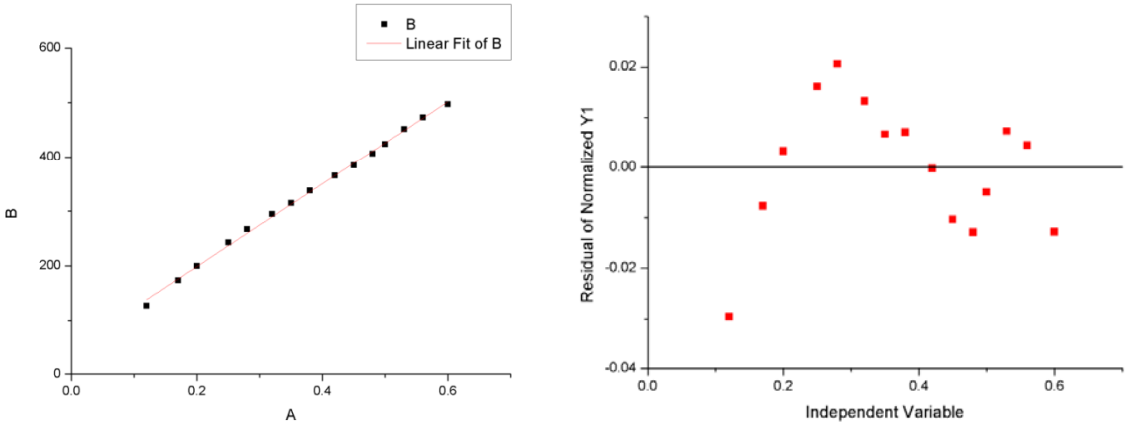
读出芯片电子学测试——波形、线性度和功耗



成形和甄别输出@8keV BSRF



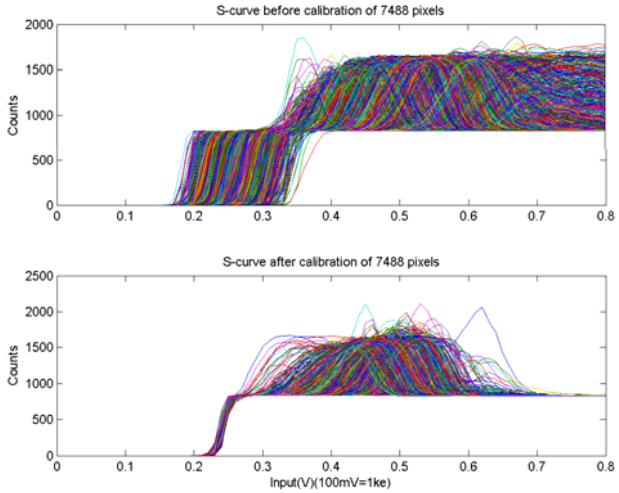
总功耗直方图（2号晶圆）



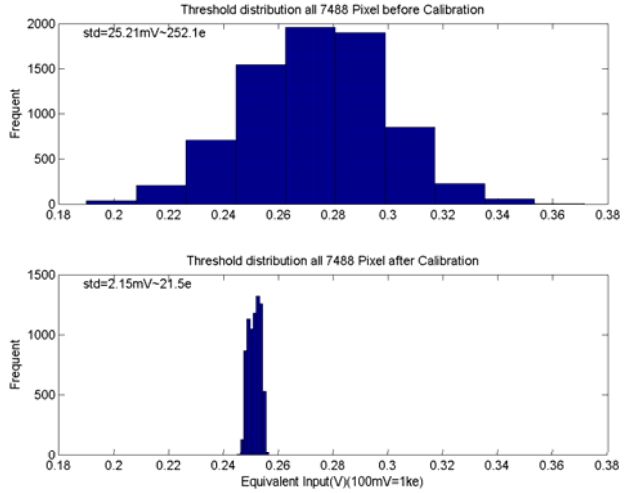
成形输出幅度vs输入以及线性度

- Sensor+ASIC联调系统在^{55}Fe放射源和同步光下均观测到正常的模拟和甄别输出
- 测得纯芯片前放、成形输出幅度的线性度分别为1%和2%
- 裸片测试测得各晶圆各芯片的总功耗为274.8mW±17.8mW（36.6μW/Px），其中：
  - 模拟总功耗158.5mW±13.0mW，即21μW/Pixel
  - 数字总功耗116.3mW±13.8mW@20MHz Clk，即15.5μW/Pixel@1.2kHz Frame Rate
- 实测波形和各指标均同仿真设计非常接近

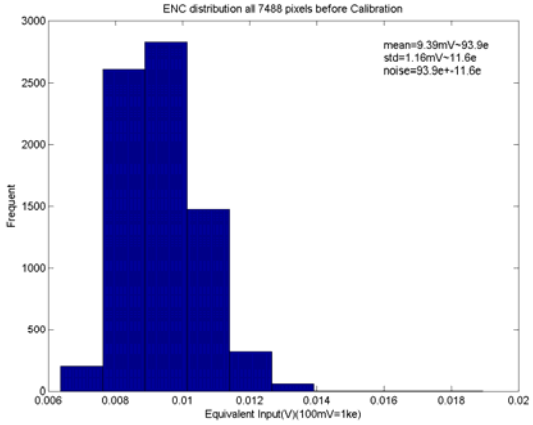
读出芯片电子学测试——噪声和阈值一致性



刻度前、后S-curve （晶圆2芯片107）



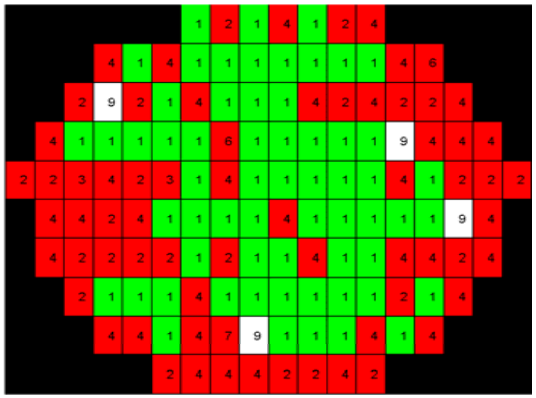
刻度前后阈值分布（晶圆2芯片107）

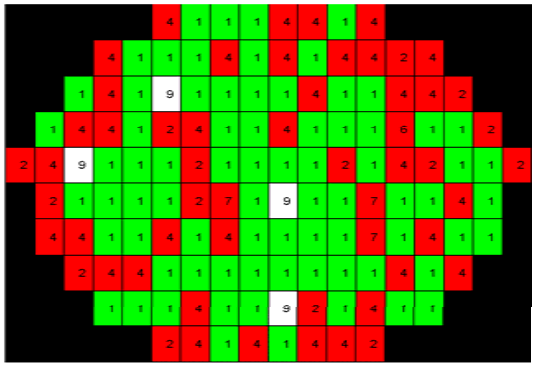


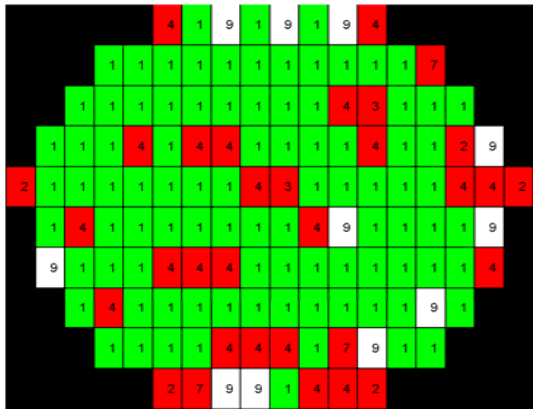
等效输入端噪声直方图（晶圆2芯片107）

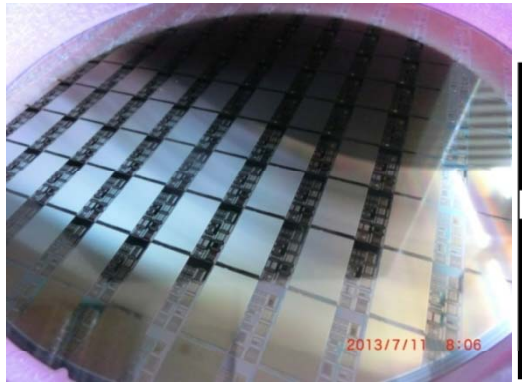
- 裸片测试均在20MHz系统时钟下进行
  - 系统帧刷新率可保证为1.2kHz以上
- 通过S-curve方法对阵列中全像素的噪声和阈值不一致性进行了测试，并通过阈值刻度对不一致性进行了修正
- 等效输入端噪声典型值为93.9e^-±11.6e^-
  - 对全部晶圆有ENC<120e^-
- 刻度前后阈值不一致性为：
  - 刻度前：252.5e^-；刻度后：21.5e^-
  - 对全部晶圆有刻度后不一致性<60e^-
- 测试中未发现数模、像素间的显著串扰

读出芯片电子学测试——良率









				1	2	3	4	5	6	7	8						
			20	19	18	17	16	15	14	13	12	11	10	9			
		21	22	23	24	25	26	27	28	29	30	31	32	33	34		
	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36	35	
51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68
	84	83	82	81	80	79	78	77	76	75	74	73	72	71	70	69	
	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100	
		114	113	112	111	110	109	108	107	106	105	104	103	102	101		
			115	116	117	118	119	120	121	122	123	124	125	126			
					134	133	132	131	130	129	128	127					

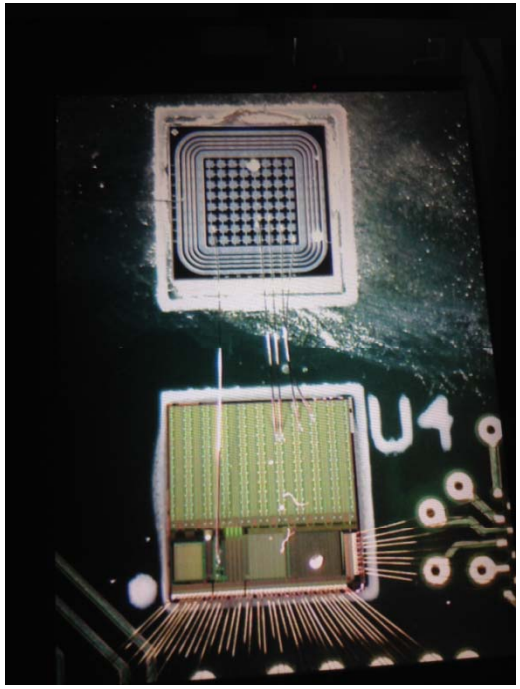
Wafer 2（worst
BIN=1&6: 47%
BIN=1: 45.5%

Wafer 3
BIN=1&6: 56.7%
BIN=1: 55.97%

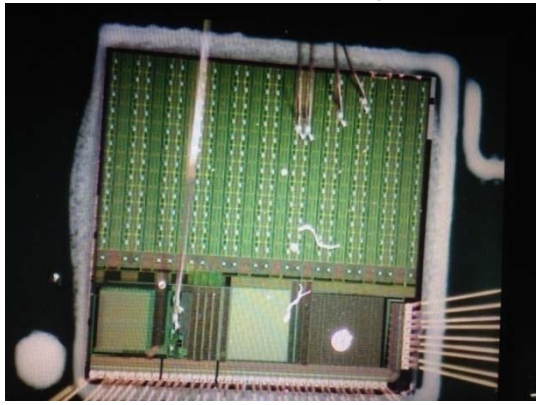
Wafer 3
BIN=1&6: 67.9%
BIN=1: 67.9%

- **每片8吋晶圆共产出134片芯片，根据裸片测试时失效情况将芯片分为1~9个等级，其中：**
  - **BIN 1: 完全正常，无坏点、噪点**
  - **BIN6：坏点数<0.1%（坏点+噪点<8个）**
- **目前仅取 BIN 1进行后续研究，BIN 6也是可用的**
- **统计各片晶圆的良率，基本上在47%~68%左右**
  - **芯片越大，功能越复杂，故障点越多，良率越低**
  - **当前良率和同类像素芯片的文献报导相当（FE-I4、MEDIPIX、PILATUS）**

Sensor和ASIC联调测试方案

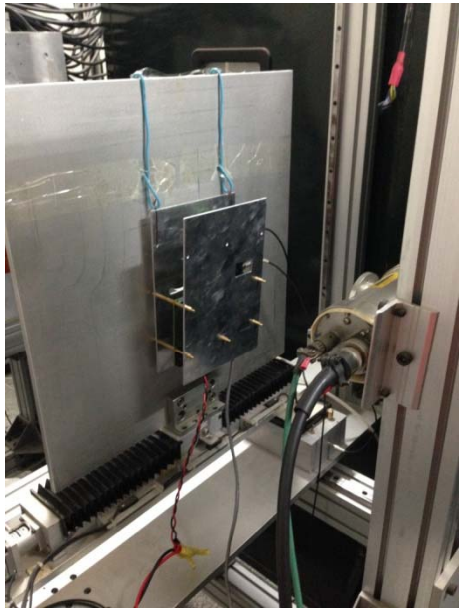


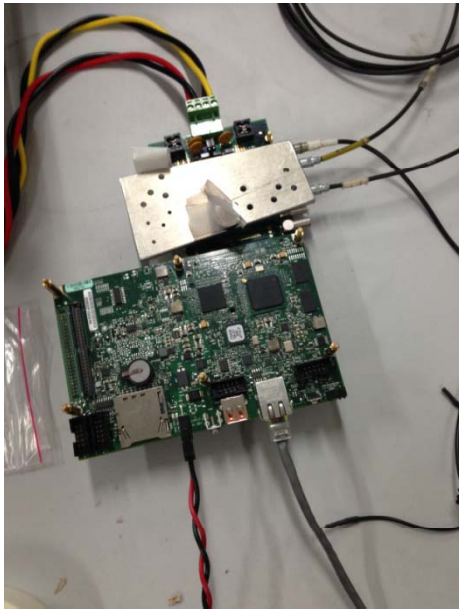
MPW尺寸Wire Bonding打线联调



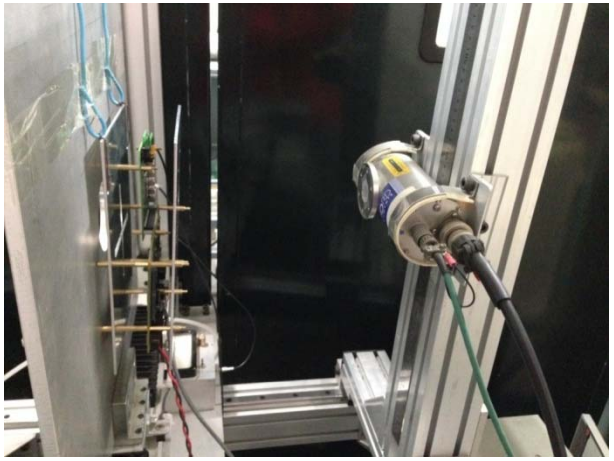


全尺寸Sensor+倒装焊+ASIC样片



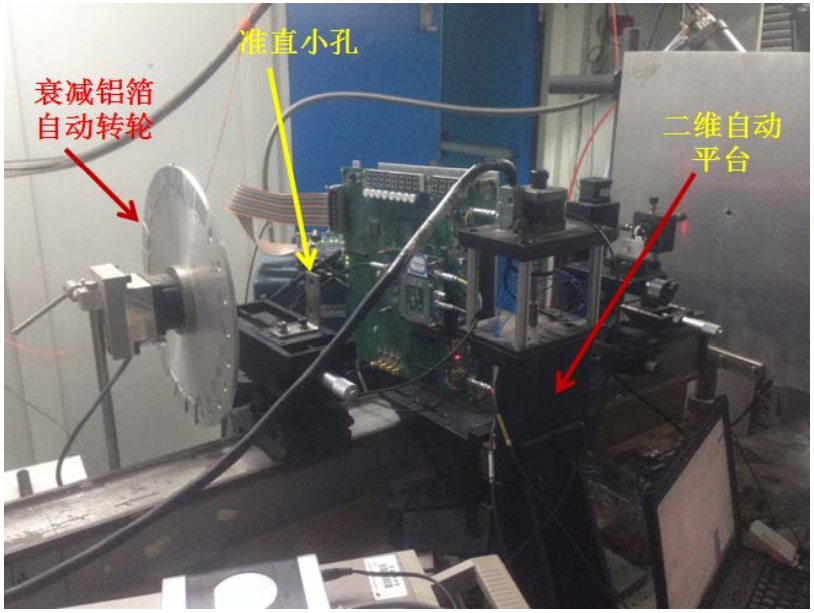


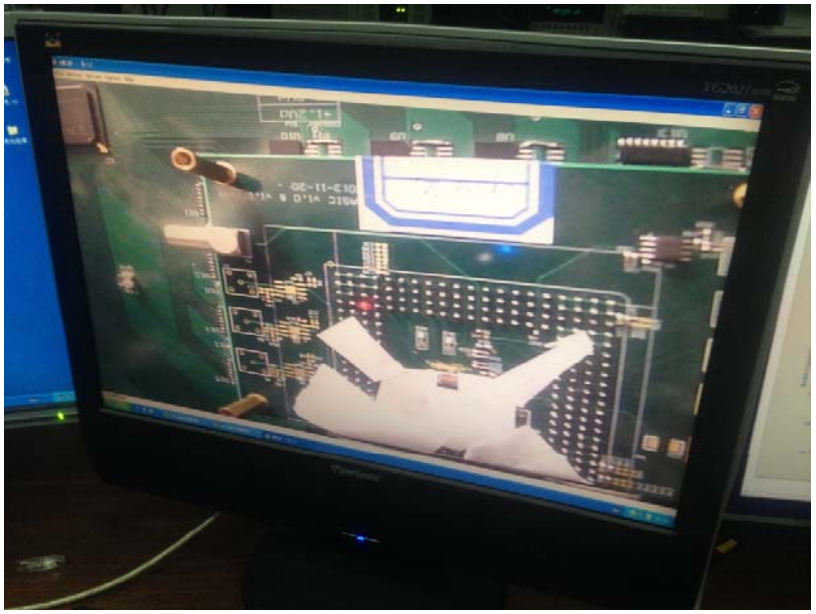
^{55}Fe放射源检测



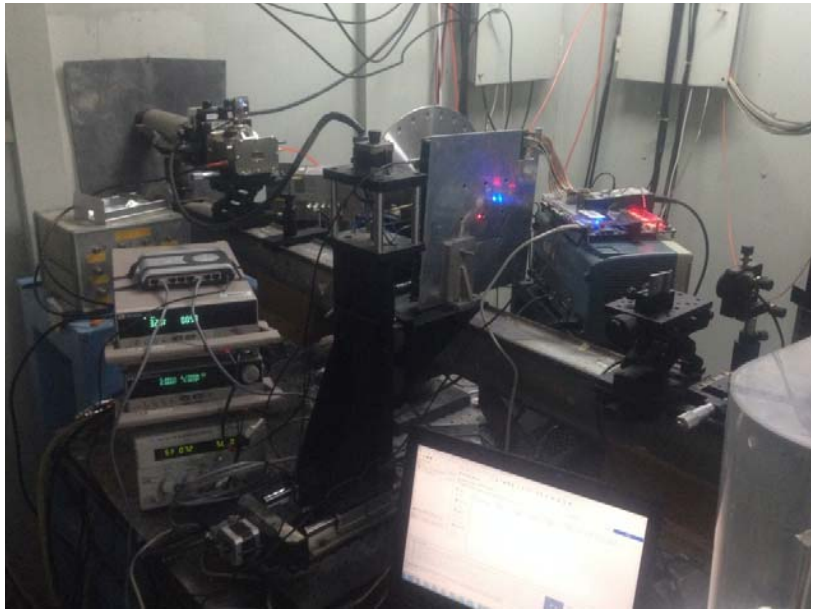
X光机测试和安装

Sensor和ASIC束流测试环境@1W2B束线站

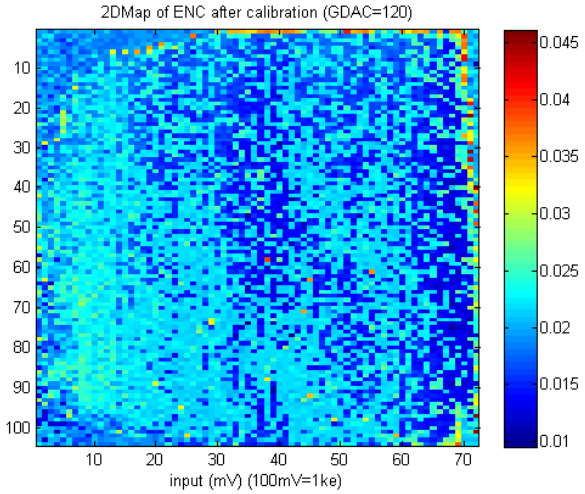




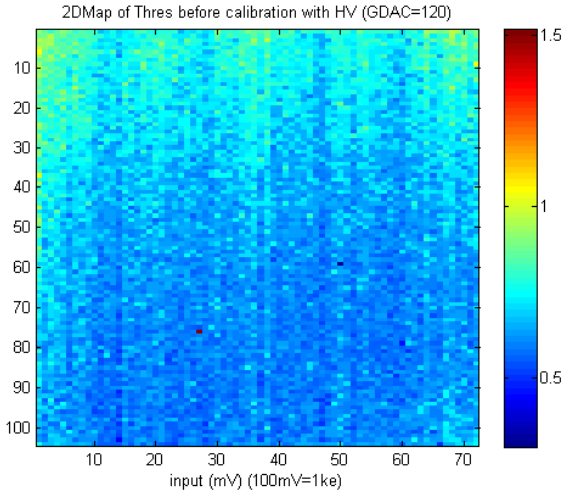
- 分别以wire bonding和倒装焊的方式实现了Sensor和ASIC的联调测试
- 先后在激光笔、^{55}Fe放射源、同步束流（MPW芯片）、X光机（全尺寸芯片）上进行了各项实验
- 全尺寸芯片等待同步光进行最终的束流测试



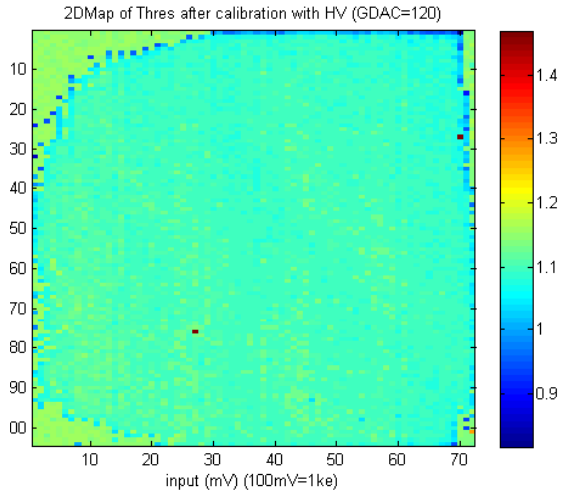
联调系统基本性能测试



ENC分布@72V



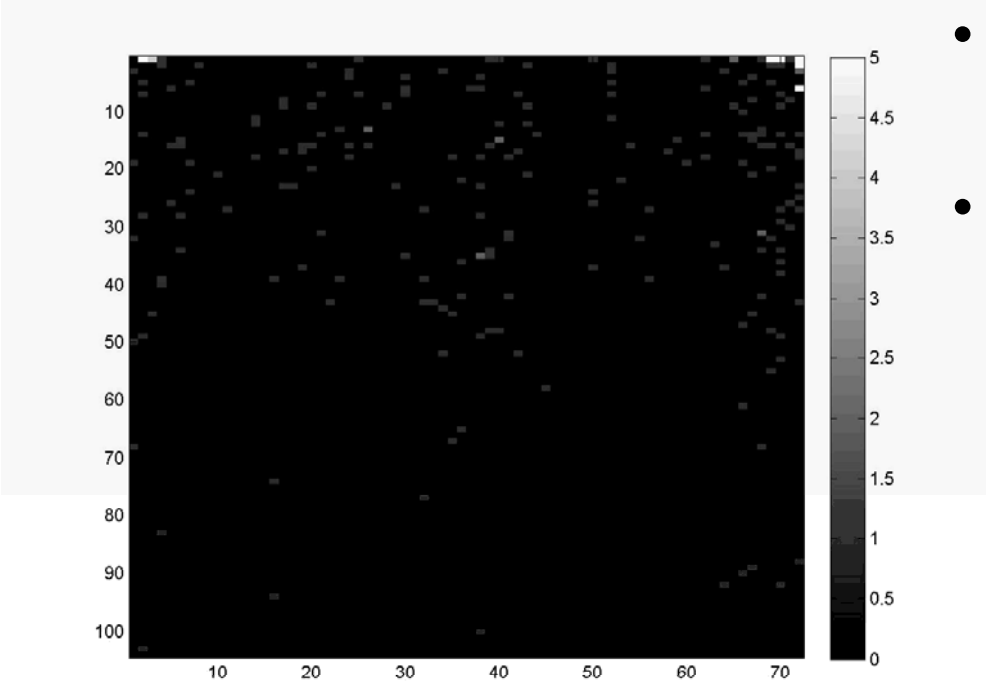
刻度前阈值不一致性分布



刻度后阈值不一致性分布

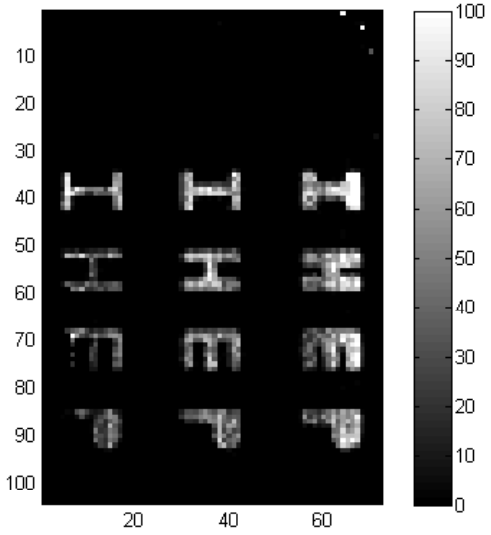
- 对倒装焊后模块通过S-curve进行了噪声和一致性刻度
- 封装后产生器刻度输入量发生变化，经X光机（铜靶能量峰值8keV）定标为100mV↔353.1e⁻（纯芯片时为100mV↔1ke⁻）
  - 封装后模块等效输入端噪声：115.8e⁻
  - 刻度后阈值不一致性：55.1e⁻
  - 阈值不一致性同封装前相同；噪声增量符合文献报导

全阵列对^{55}Fe的计数响应

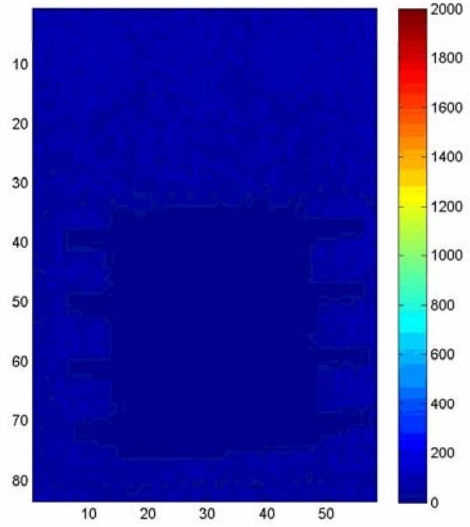


- 动态图显示了有铁源→移走铁源→再次移入铁源的过程
- 移走铁源后计数明显基本消失，表明计数是对铁源的响应

一些成像实验（X光机）





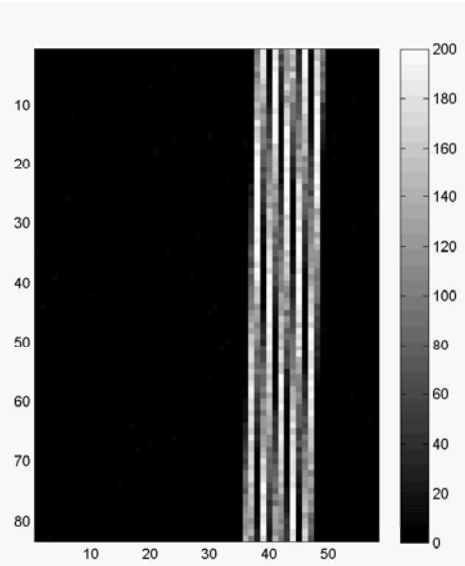




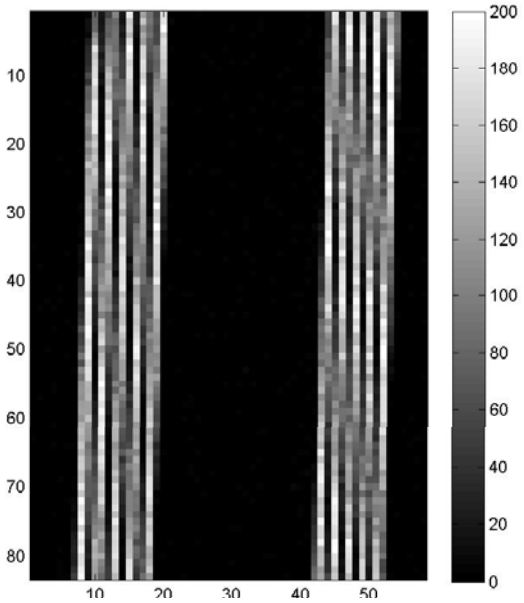
- 激光雕刻件，由左至右线宽250/ 300/350μm
  - 狭缝横跨像素交界时，两个像素都将有计数
  - 即当狭缝不严格平行于像素时，计数光斑将扩展
  - 各宽度计数最宽光斑依次为2/3/4像素，行为符合
- 标准SOP8封装
  - X光机高压8kV（对应截止能量）时，基本无法穿透塑料材质
  - 中段将高压升至15kV（截止能量升高），可以看到封装内部的引脚基岛
  - 同一数据不同对比度下，能够看到各部分（材料）的细节

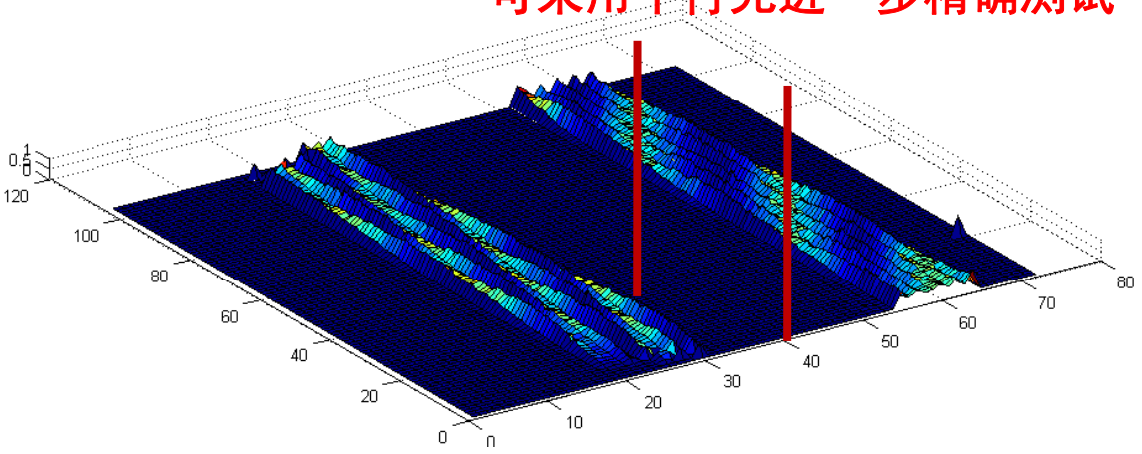
一些成像实验（X光机）



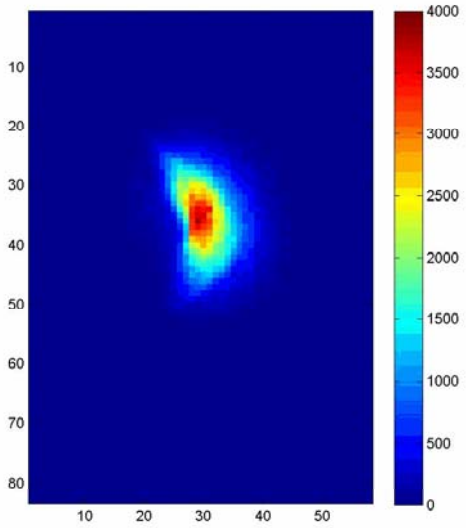


- 线对卡实验
  - 动态图显示了光斑条纹随步进电机移动的过程
  - 左、右条纹束分别对应3.55/4.0线对，即狭缝分别为140.8μm/125μm
- 通过计算条纹计数的峰谷周期，可得落在Sensor表面的条纹中心距为318μm
  - 对应125μm狭缝，即中心距250μm
- 受限于实验条件，线对卡无法紧贴Sensor表面，且入射光为锥角入射，因此光斑有所散开
- 间接表明了分辨率水平，在同步光源上可采用平行光进一步精确测试



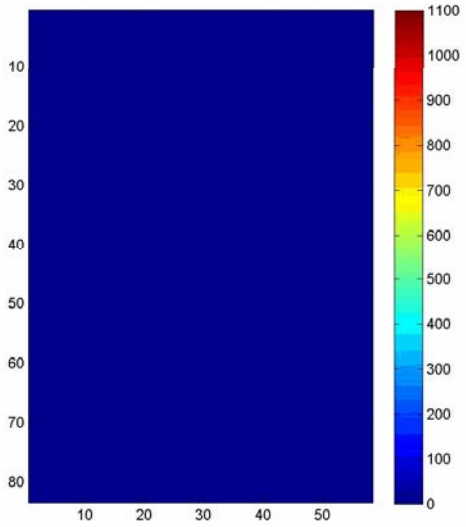


一些成像实验（同步辐射束流）

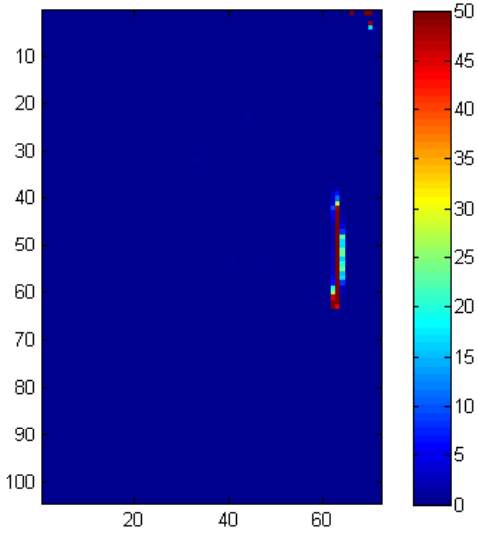


同步光斑

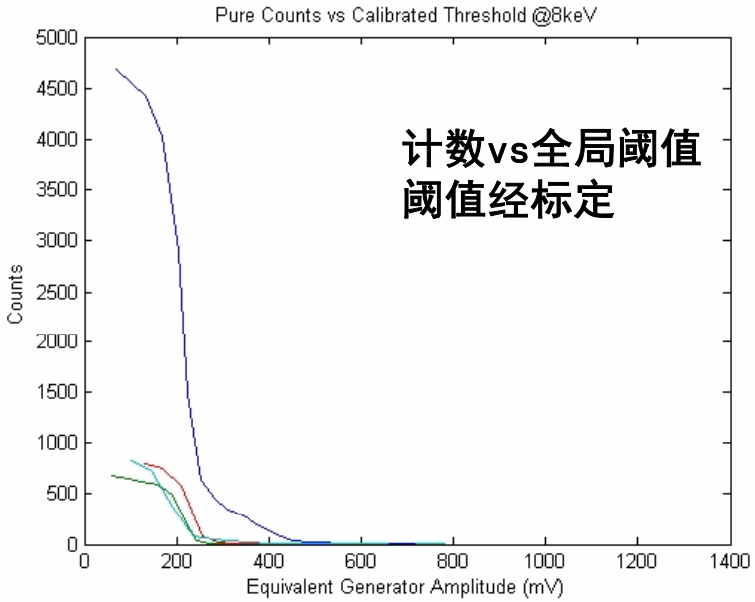
- 在同步辐射束流上进行了部分成像实验（非专用光模式），但实验所用光斑非理想
  - 光斑较小且不均匀
  - 束斑中心在3×3像素范围内晃动
- 利用狭缝进行了狭缝移动实验
  - 狭缝具体宽度不明，因此也只能初步定性观测
  - 实际的光斑宽度大约在3个像素内
- 将在专用光模式下进一步实验

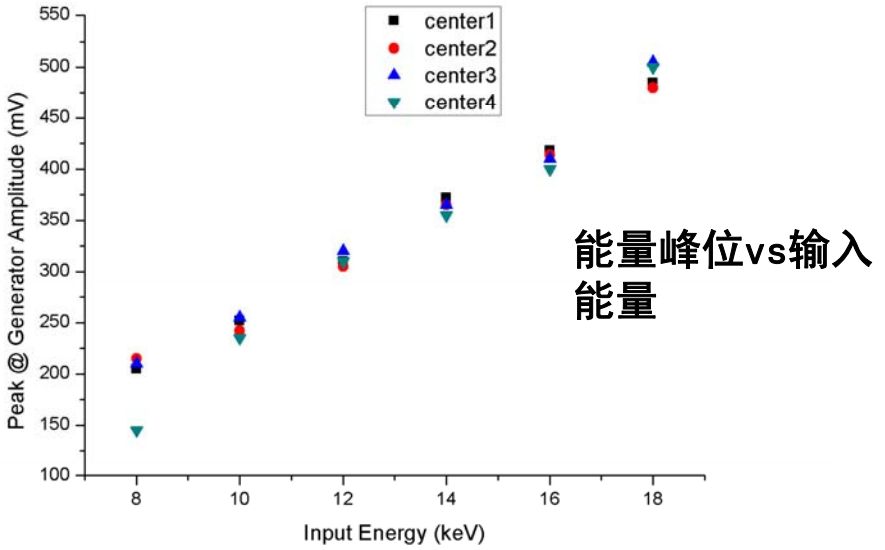


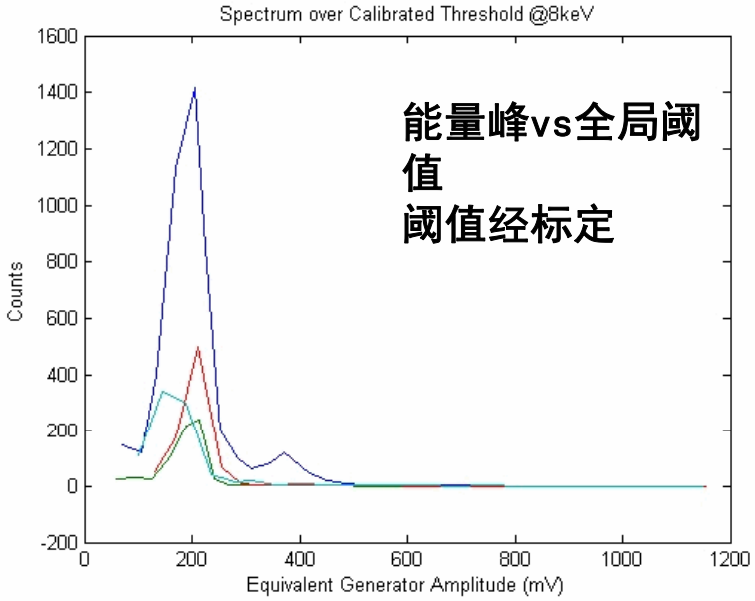
狭缝移动实验



计数vs全局阈值（打线方式测量@BSRF）

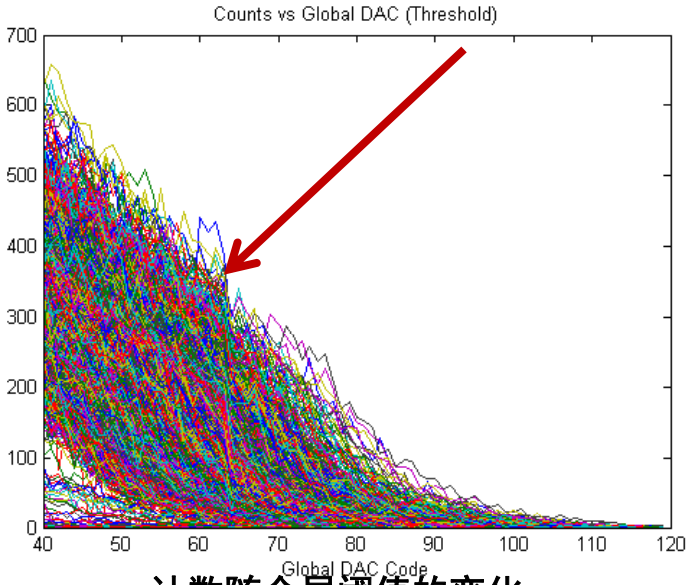




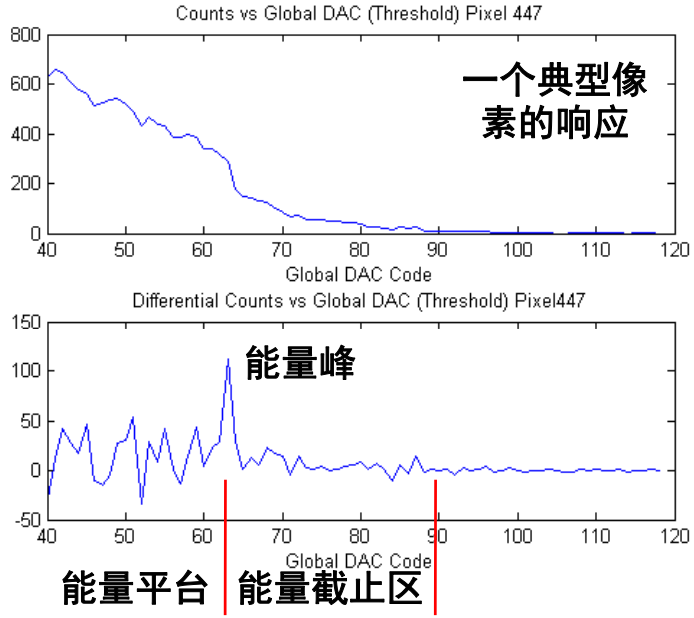


- 以扫描全局阈值的方式分别在同步光源各能量光（8keV~18keV）输入下观察计数变化
- 对计数曲线微分获得能量峰位，在不同输入能量下，各像素的能量峰位呈线性变化，且峰位位置一致性较好
- 即在感兴趣能量范围内均正常响应

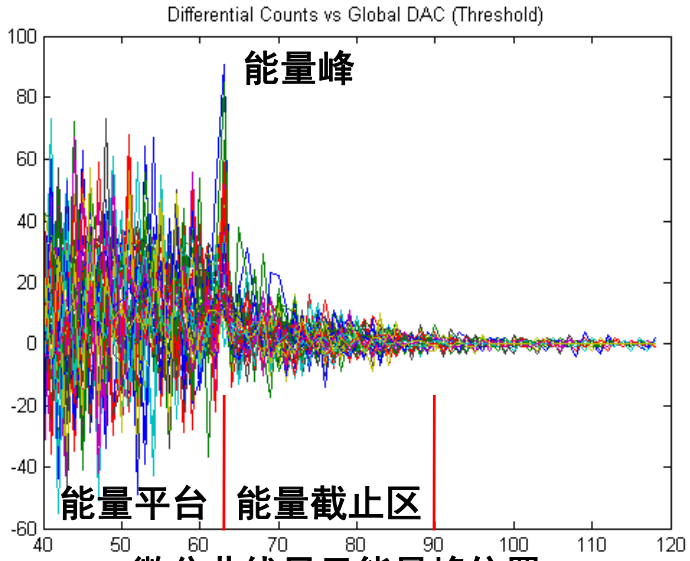
计数vs全局阈值（全尺寸芯片@X光机）



计数随全局阈值的变化



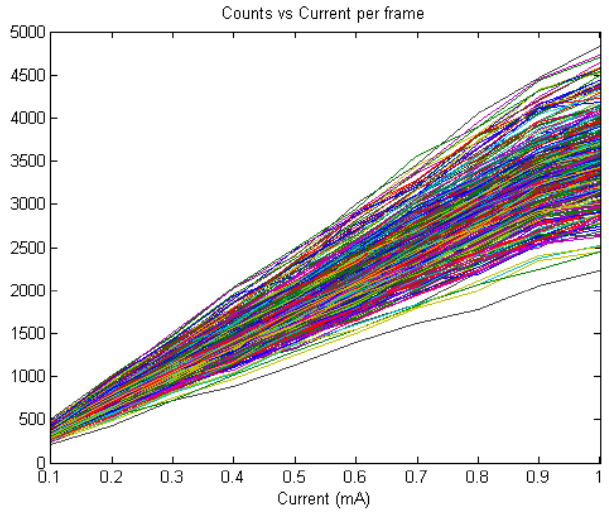
能量平台 | 能量截止区



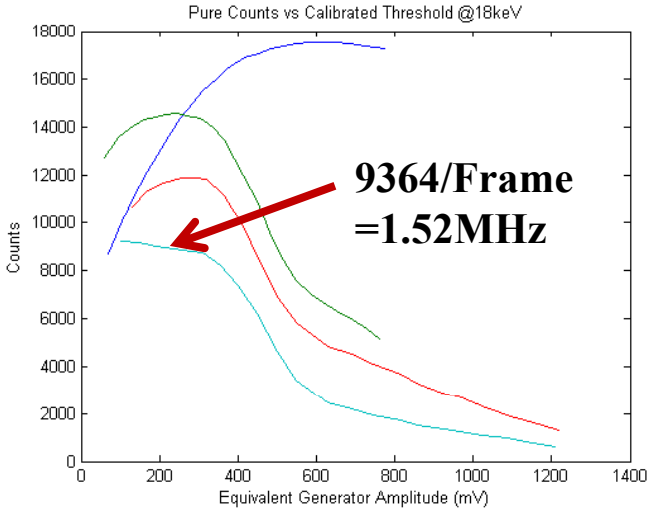
微分曲线显示能量峰位置

- 对全尺寸芯片在X光机上重复上述实验
- 计数响应显示了“线性”下降→陡降→缓降至0的特性，其微分曲线反应了能量平台区→能量峰→截止能量的所在，同X光机输出能量特性相对应
- 绝大部分像素的能量峰位置集中在阈值DAC的1 Code上，显示出较好的阈值一致性，峰宽也在1 Code内，显示较好的噪声性能

计数随流强的变化、最高计数率

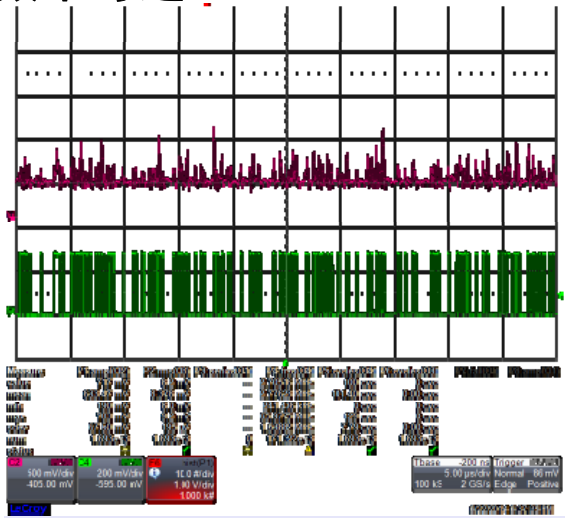


每帧计数 vs X光机输入流强



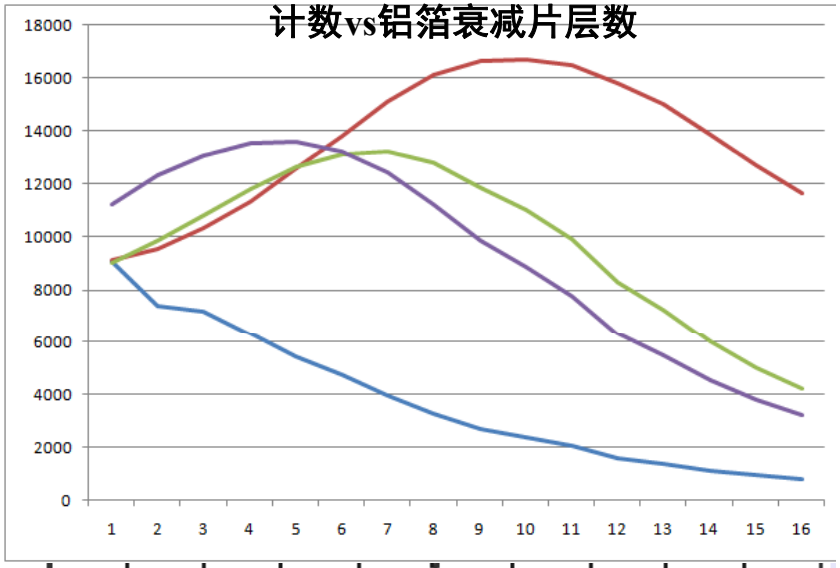
阵列读出方式测量非饱和计数率@同步光

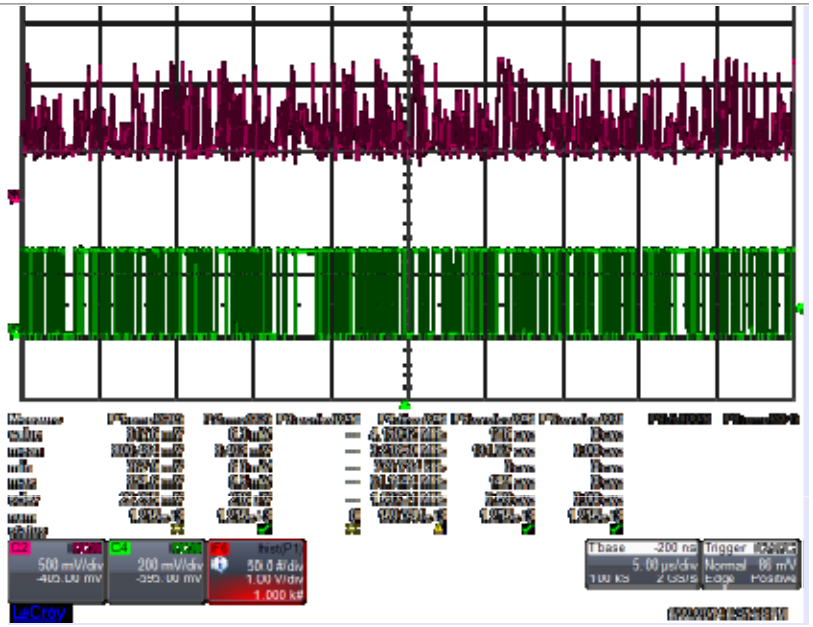
- 测量每帧计数 vs X光机输入流强（全尺寸）
  - 基本呈线性增长，但由于非平行光入射，且光斑不均匀，因此像素增长率不一致
- 在同步束流上测量每像素的非饱和计数率（MPW尺寸打线方式）
  - 以波形方式测得： 101.4cnts /50μs = 2.028MHz
  - 以全阵列数字读出方式测得：9364/6.14ms=1.52MHz
  - 即每像素均可正常工作在1MHz以上的计数率下，整体计数率可达4.44×10^9Hz/cm^2



波形方式测量非饱和计数率@同步光

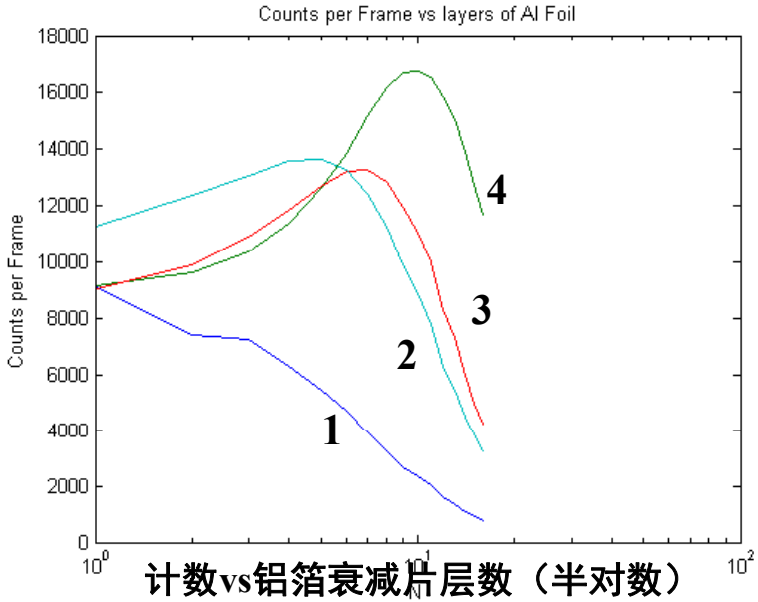
像素饱和计数率（打线方式测量@BSRF）





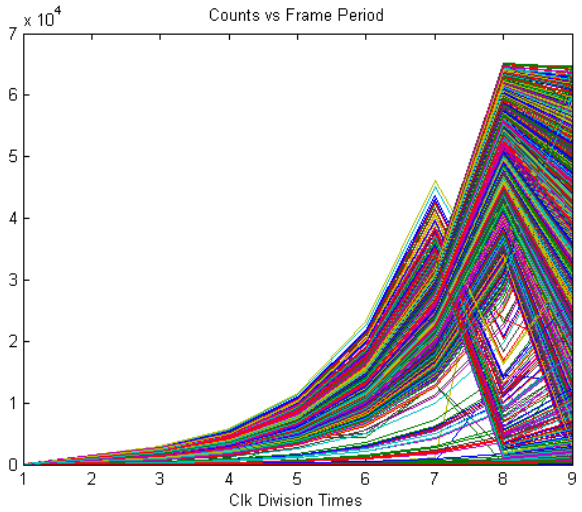
波形方式观测计数堆积过程

- 在同步束流上观测每帧计数vs铝箔衰减片层数（MPW芯片打线联调）
- 在半对数坐标系中，像素1计数率vs铝箔层数基本呈现线性关系，基本符合理论预期（每层铝箔厚度一定）
- 2、3、4三个像素经历了计数过饱和→计数饱和（计数平顶）→计数指数衰减过程，和高计数率堆积情况相符
- 上升拐点可以认为是该像素的饱和计数率，大约在13000/6.14ms=2.1MHz

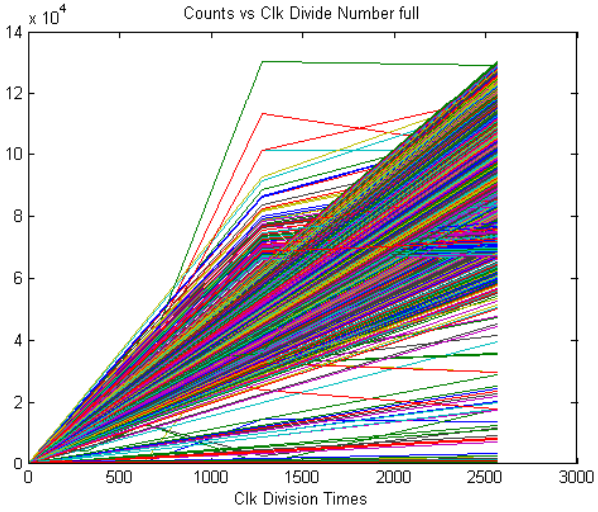


计数vs铝箔衰减片层数（半对数）

帧积分时间和计数深度（全尺寸@X光机）



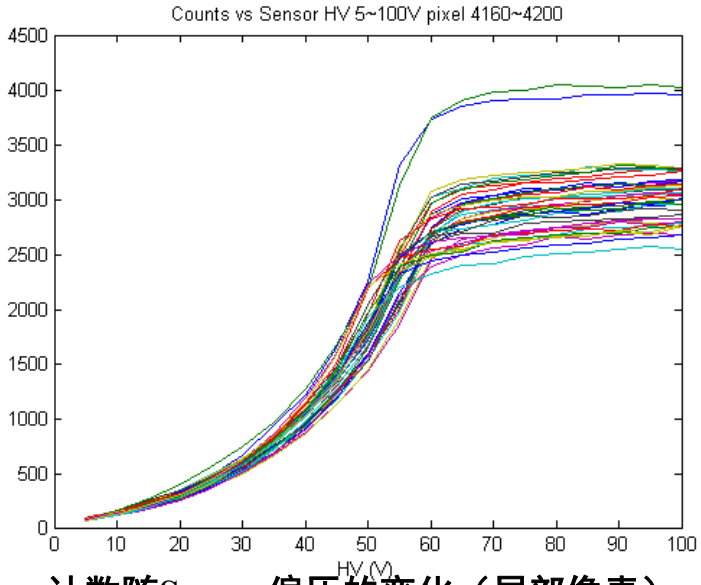
每帧计数 vs 帧积分时间（时钟分频数）



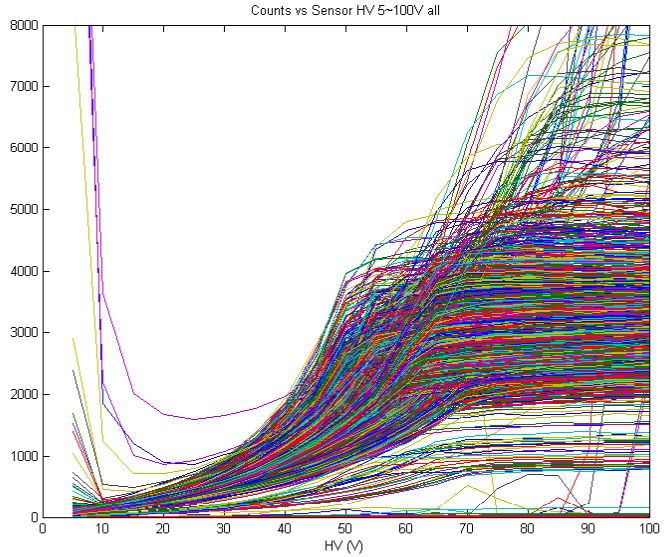
每帧计数（补齐） vs 帧积分时间（半对数坐标）

- 测量计数随帧周期，即数字积分时间的变化，帧周期的变化利用时钟的多次2分频产生
  - 帧周期从8.32ms依次倍增至2.13s
  - X光机输入流强为最大的1mA（较靠近Sensor），计数率为61.54kHz
- 为降低数据量，目前测试读出系统仅取计数的低16位，因此最高计数不会超过65535（且未做溢出处理），实测符合
- 根据上面前提，将计数突然下降的帧的计数均补上65535，在半对数坐标中看到计数为良好的直线
- 这说明芯片内部的计数器至少能正常工作至17位
  - 对正常工作时的100Hz帧频已足够
  - 如果增加计数率或继续增加积分时间，应该能进一步测试后续位

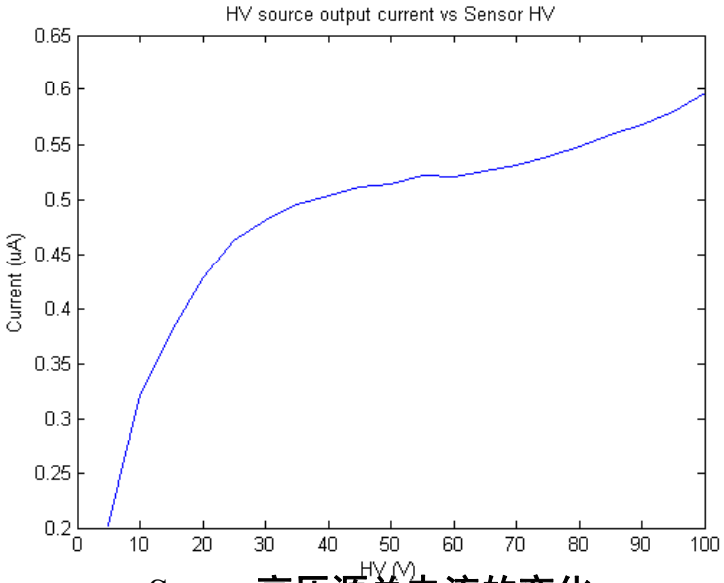
计数随Sensor偏压的变化



计数随Sensor偏压的变化（局部像素）



计数随Sensor偏压的变化（全像素）



Sensor高压源总电流的变化

- 保持流强不变，逐渐增加Sensor偏压从5V至100V
- 像素计数先增长，至50~70V区间后基本保持不变
- 即Sensor全耗尽电压在50~70V这一区间
- Sensor的总电流变化也符合这一规律

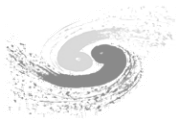
测试结果和需求比对

需求项目	需求指标	设计项目	设计指标	实际指标	是否满足
像素单元尺寸	200μm ×200μm	像素单元版图	150μm ×150μm	150μm ×150μm	√
动态范围	20bit	单元计数率	1MHz	＞1MHz	√
		饱和计数率	＞1MHz	＞2.1MHz	√
		计数深度	20bit	20bit	√
最小能量	8keV	等效输入端噪声	＜200e^- @200fF	116e^- bumpbond	√
		芯片不一致性	＜200e^-	＜60e^-	√
		最小可探测能量	8keV	5.9keV阵列可计数	√
最大能量	20keV	信号动态范围	＞6000e^-	0~6ke^-线性度2%	√
帧刷新率	＞1kHz	帧刷新率	＞1kHz	20MHz无串扰	√
		系统时钟	＞17MHz		

实测指标和目标芯片指标对比

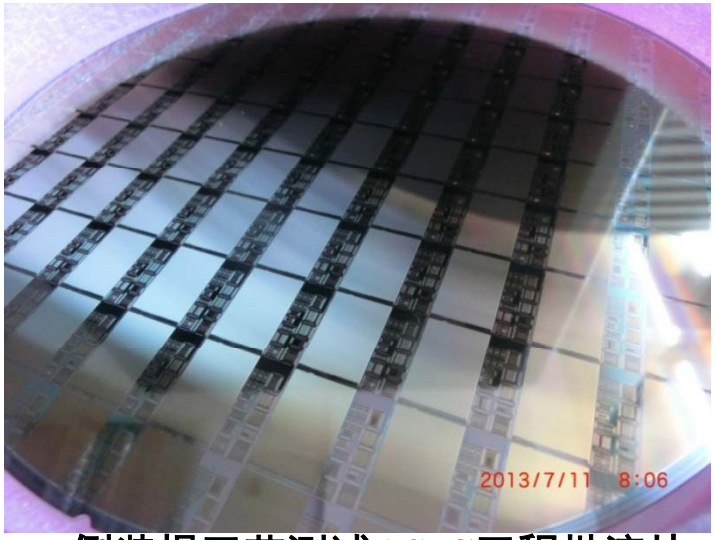
对比指标	Pilatus I chip	Pilatus II chip	本设计
像素尺寸	217μm×217μm	172μm×172μm	150μm×150μm
像素阵列	44×78	60×97	72×104
帧刷新率	10Hz (Pilatus 1M)	30Hz (Pilatus 2M)	>1.2kHz@20MHz Clk (360k pixels)
读出时钟	10MHz	66.6MHz	>20MHz
读出死时间	6.7ms/fr	2.85ms/fr	175ns/fr@20MHz
最高计数率	10kHz/Pixel	0.9MHz@high gain	> 1MHz/Pixel
能量探测范围	> 4keV	> 4keV	8~20keV
等效输入端噪声	75e^- bump bond	123e^- bump bond	93.9e^- unbond
			116e^- bump bond
不一致性	55e^-	10e^- ~ 13e^-	< 60e^-
计数深度	15bit	20bit	20bit

主要内容



- 项目背景
- 项目整体进展
- 读出芯片设计
  - 像素单元电路
  - 芯片整体设计
- 芯片测试结果
  - 测试读出系统
  - 纯芯片测试
  - Sensor联调测试
- 倒装焊工艺评估结果
- 读出模块初步设计
- 对比和总结

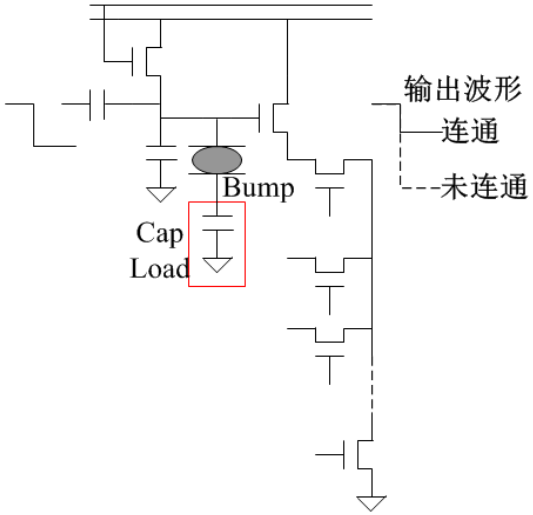
倒装焊工艺评估情况

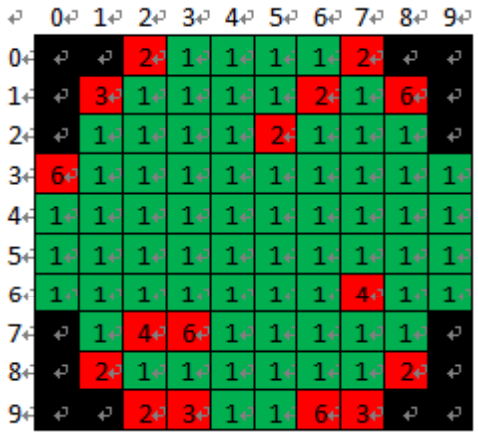


倒装焊工艺测试ASIC工程批流片



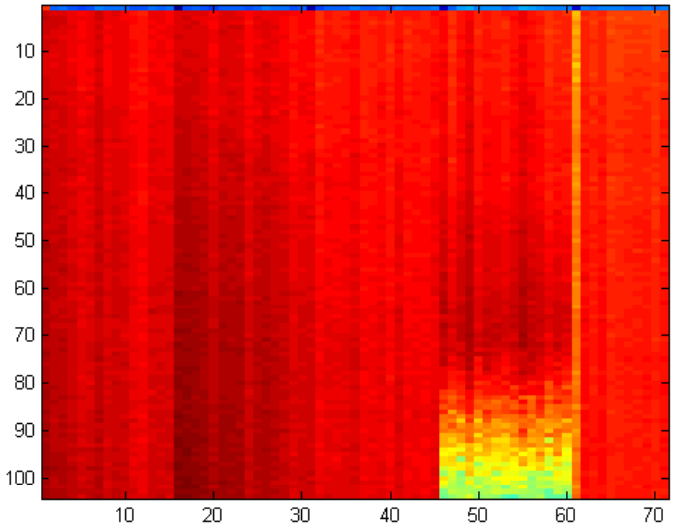
单模块倒装焊样片和测试板



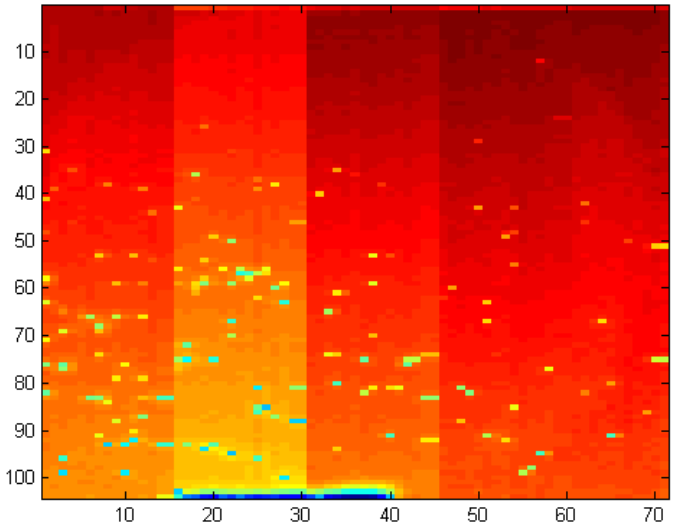


- 采用低成本工艺（Global Foundry 0.35μm）设计了倒装焊工艺测试ASIC并工程批流片
  - 芯片和像素尺寸同实际芯片精确相等
  - 像素单元设计基于传统3-T结构，可测量倒装焊节点的容值，从而评估焊点良率
  - 电容阵列片作为负载以模仿Sensor
- 作为工艺研究并验证技术路线，所有wafer均经自动测试探针台裸片测试，良率约为75%
- 无坏点芯片被挑选进入倒装焊环节

倒装焊工艺评估情况

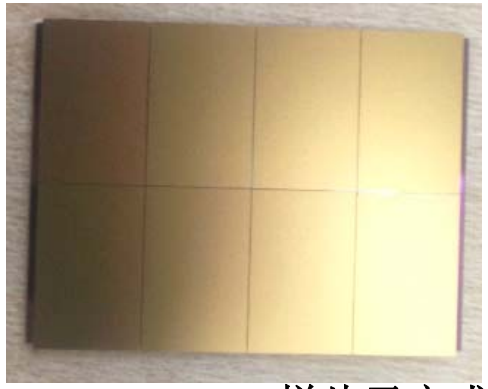


主选工艺A



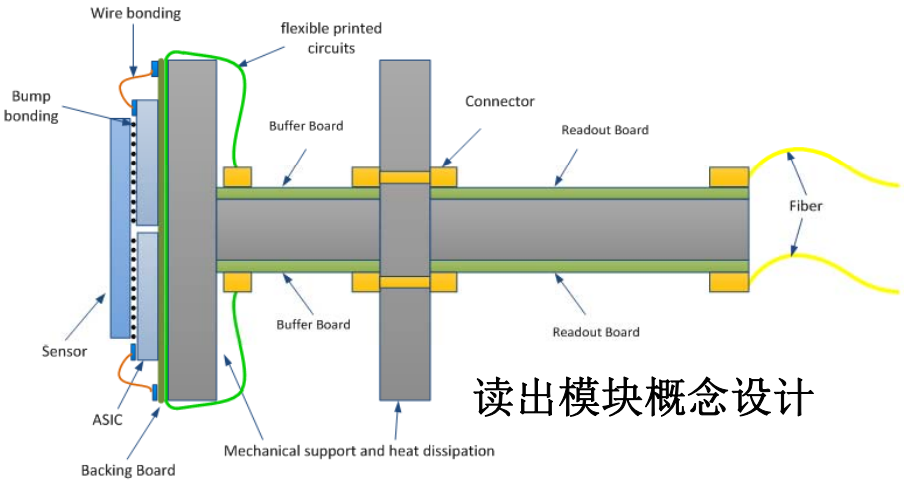
失败工艺B：坏点多、良率低

- 同3家单位进行倒装焊合作研究
  - 各完成10片样片
  - 样片测试结果同裸片测试结果相对比
- 主选工艺A
  - 10片样片全部成功: 良率~100%
  - 坏点: 全部样片中无一坏点
- 1 片大电容阵列（模块尺寸） + 8 ASIC倒装焊工艺研究和试制完成
  - 样片3片已接收，即将开展评估测试
  - 其后将完成真正Sensor+真正ASIC的最终倒装焊工作



1 sensor+ 8ASIC 样片已完成

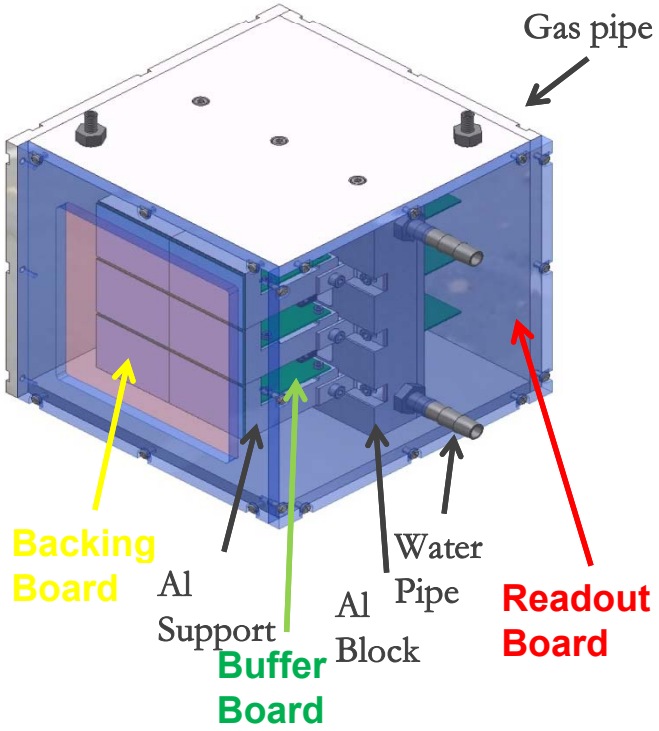
读出板和探测模块概念设计



读出模块概念设计



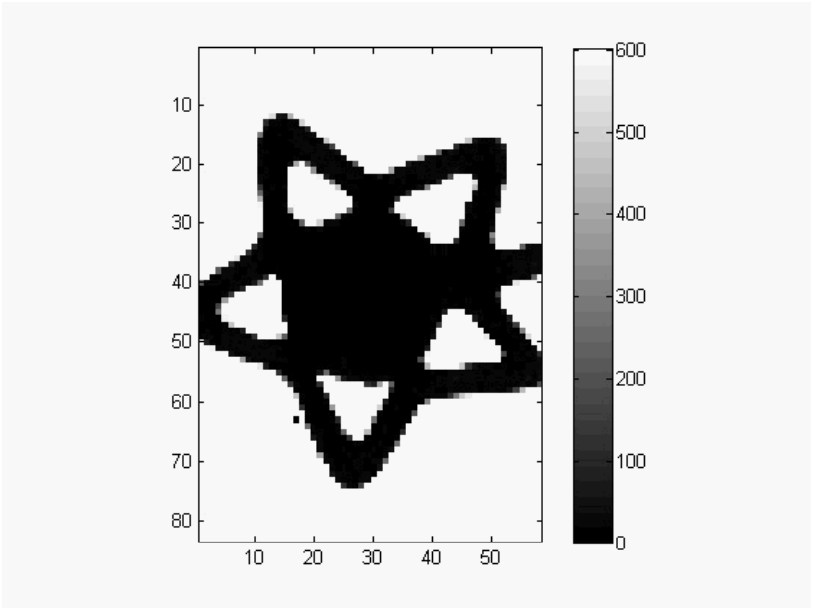
1:1 size FEE model (by 3D printer) vs iPhone 4



- 探测模块读出PCB设计中
  - 前端支撑板
  - 缓冲板
  - 数据读出板
- 样机系统: 2×3 模块
  - 前端: 水冷 + 铝支撑
  - 后端: 风冷
  - 预计功耗: 20W

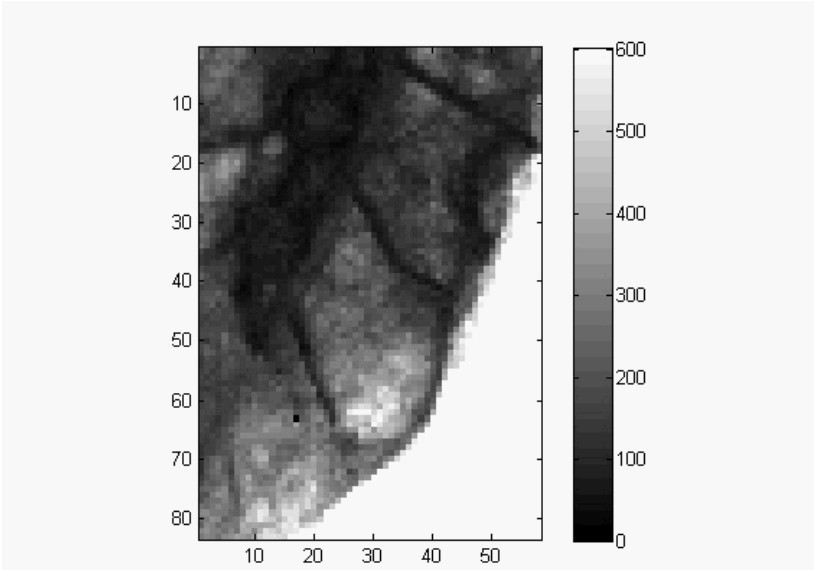
总结

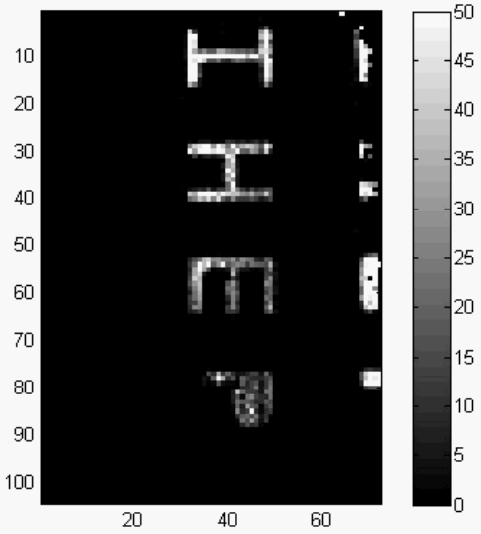
- 单芯片模块实现了全部预期功能，证明了系统的主要技术路线是可行的
  - ASIC设计在本期项目中可为最终设计
  - Sensor目前处在研究阶段，最终样机可用保底设计或改进设计
  - 单模块倒装焊通过了实测检验，一对多封装已完成工艺摸索
    - 一对多测试将同时提供后期机械和工艺的平台
- 各主要性能实测均满足或超过项目指标
  - 同主流同类探测器芯片性能指标对比，目前的部分测试结果达到或好于目标芯片
  - 由于项目进度和束流条件限制，部分指标分别通过MPW尺寸芯片打线方式于同步光和全尺寸芯片于X光机测试完成
  - 等待可用的束流时间，可对全尺寸芯片进行全面测试
- 计划：
  - 力争按计划在2015年底完成样机模块，通过验收
  - 已验证的ASIC设计可作为平台，在更多应用方向进行扩展


10
20
30
40
50
60
70
80
10
20
30
40
50
600
500
400
300
200
100
0



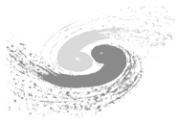
Thank you !


10
20
30
40
50
60
70
80
10
20
30
40
50
600
500
400
300
200
100
0


10
20
30
40
50
60
70
80
90
100
20
40
60
50
45
40
35
30
25
20
15
10
5
0

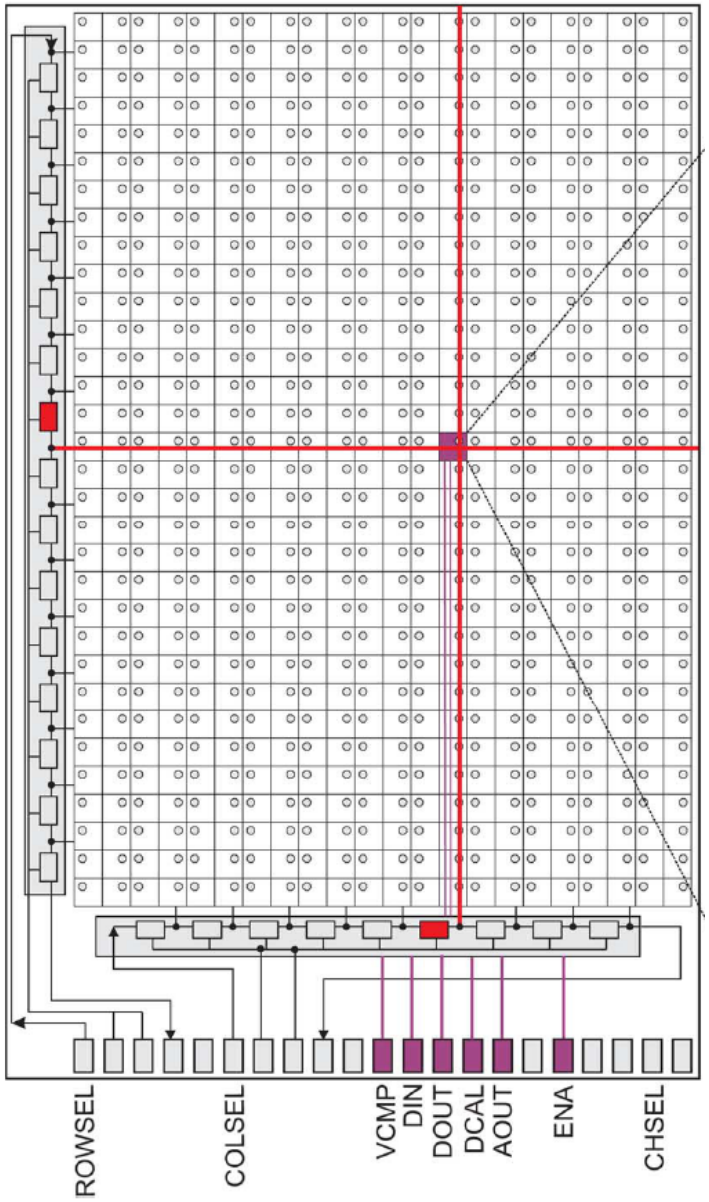
Backup Slides

读出电子学项目整体进展

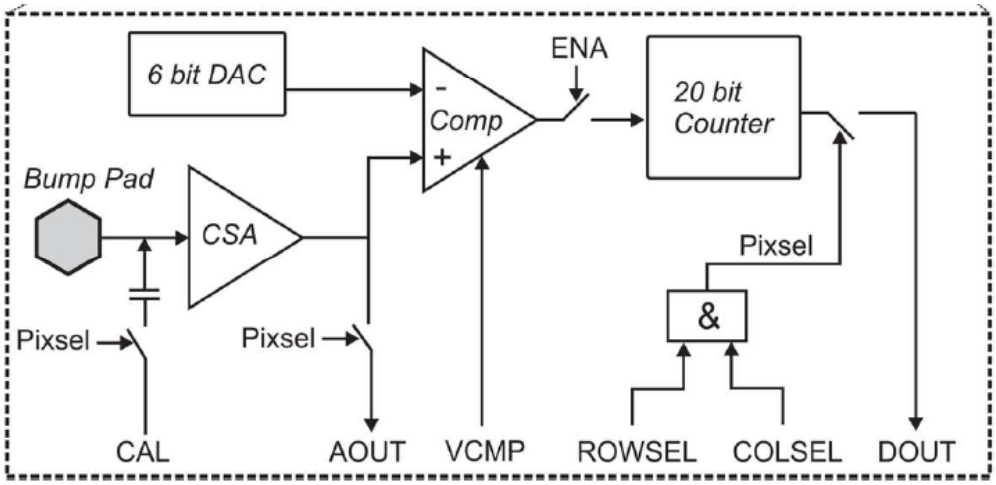


- 2012.5~2014.4，完成了MPW尺寸原型芯片的设计和测试
  - 依次完成了单像素→4×4阵列→24×20阵列芯片的设计
  - 依次完成了纯芯片测试、放射源联调测试和同步光束流测试
- 2014.8~2015.1，完成了全尺寸芯片的工程批流片和测试
  - 包含72列×104行像素阵列，1.7cm×1.1cm
  - 通过自动探针台，完成了12片晶圆的裸片测试，完成了芯片筛选
- 2012.8~2014.3，完成了1：1倒装焊工艺的评估
  - 完成倒装焊测试评估芯片的工程批流片
  - 通过自动探针台，完成了12片晶圆的裸片测试，完成了芯片筛选
  - 对三家合作单位的共20片样片进行了测试，对结果进行了评估
- 2014.8~2015.12，完成了1：8倒装焊工艺样片的制作
- 2015.1~2015.3，完成了读出芯片和Sensor的倒装焊和x光机测试
  - 共完成5片1：1单芯片模块样片

前期调研——国外同类读出芯片设计——Pilatus



- 针对同步辐射应用
- 像素单元结构：
  - 前放-甄别-计数-读出
- 读出芯片结构：
  - 灵敏区：像素单元阵列排布
  - 外围逻辑：控制和读出
- 像素尺寸：172μm×172μm



前期调研——国外同类芯片设计——Medipix

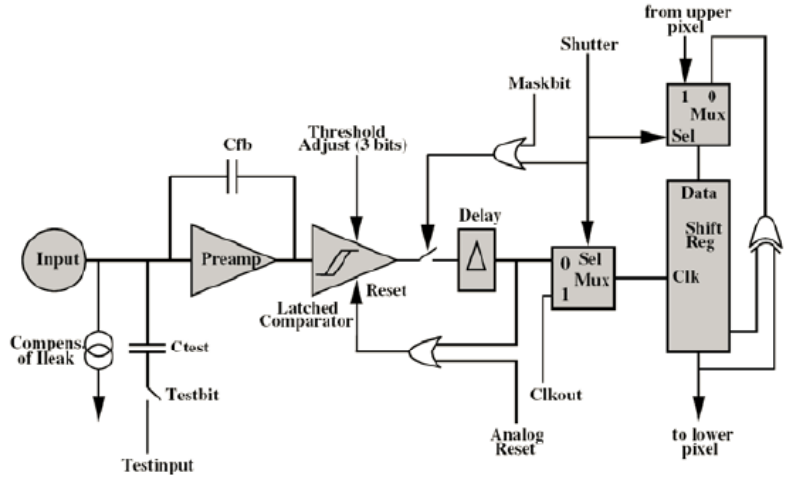
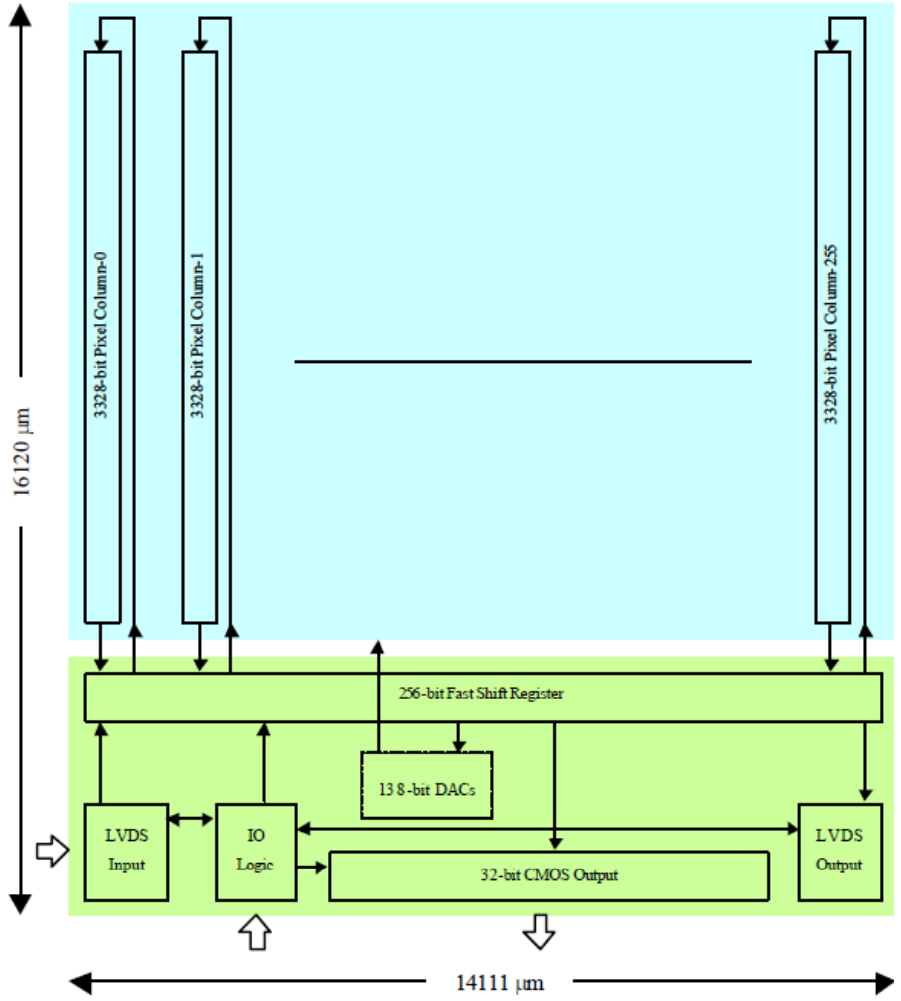
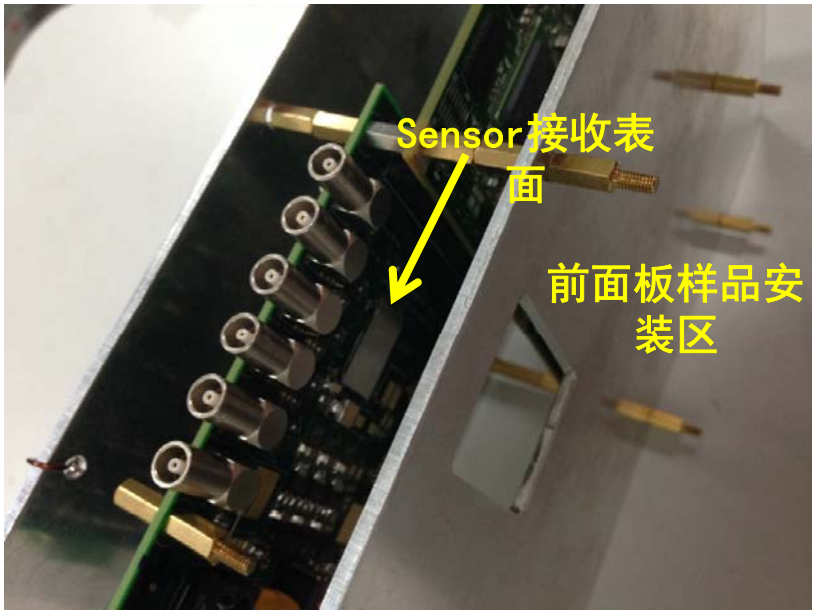


Figure 1.7. The Medipix1 pixel cell schematic.



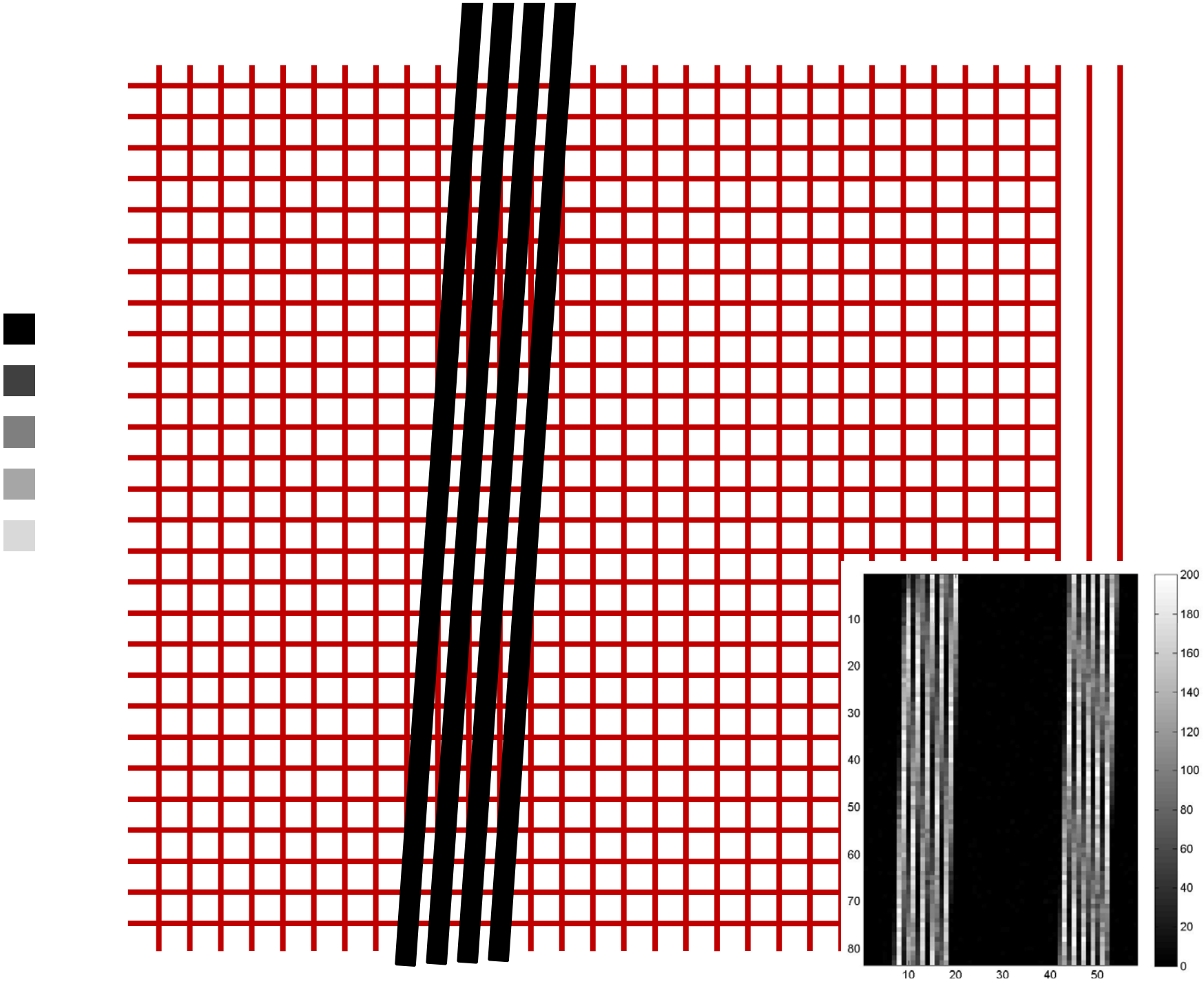
- 单光子计数模式
- 像素单元结构：
  - 前放-甄别-控制-串行读出
- 读出芯片结构:
  - 灵敏区：像素单元阵列
  - 外围功能区：控制和读出
- 像素尺寸：55μm×55μm

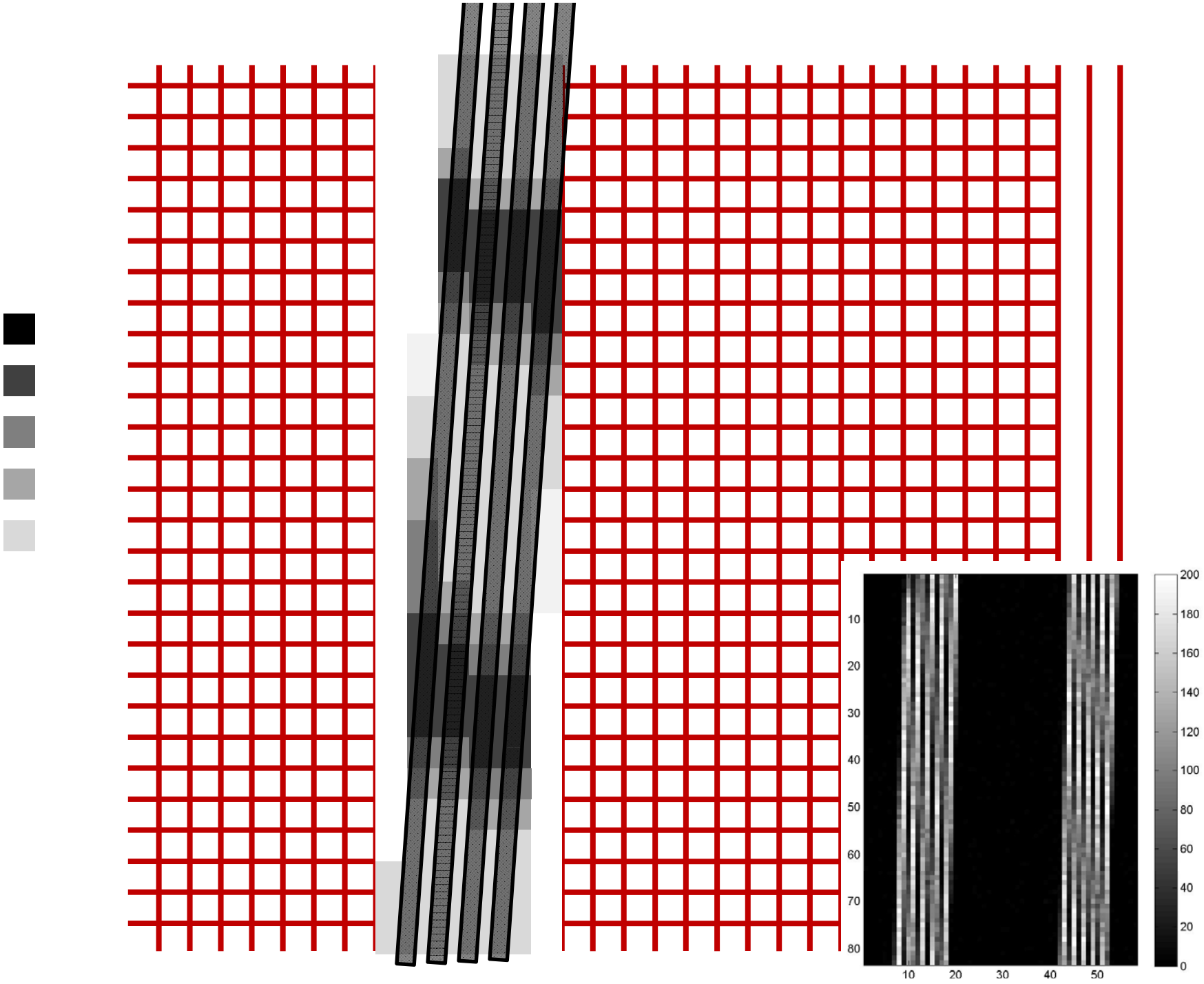
单芯片简易测试模块



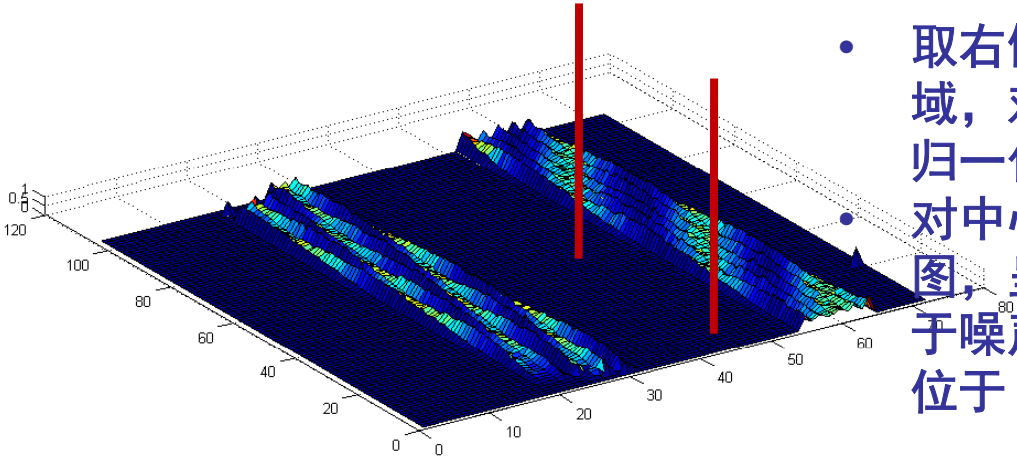


- 前面板样品安装区未紧贴Sensor背面
- 因此光在通过安装在前面板上的准直狭缝后将继续散开
- 另外X光机出射锥角为22°，其距离样品的距离也直接影响成像光斑的形状
- 利用转台，使得狭缝方向尽量同像素平行
  - 但也进一步增加了样品到Sensor表面的距离

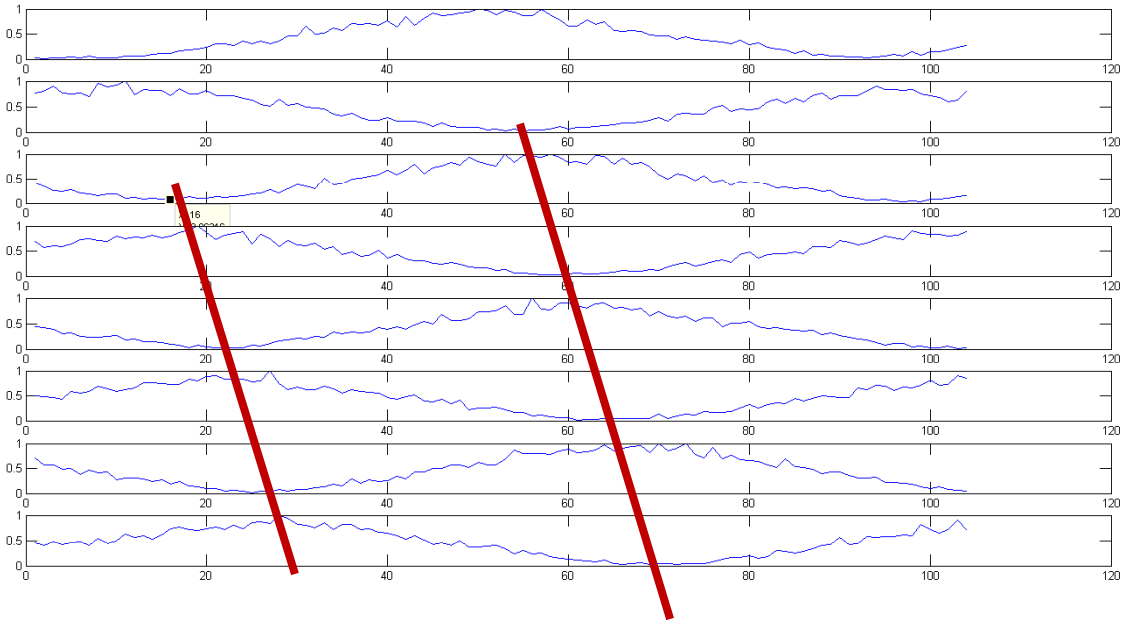

10
20
30
40
50
60
70
80
10
20
30
40
50
200
180
160
140
120
100
80
60
40
20
0


10
20
30
40
50
60
70
80
10
20
30
40
50
200
180
160
140
120
100
80
60
40
20
0

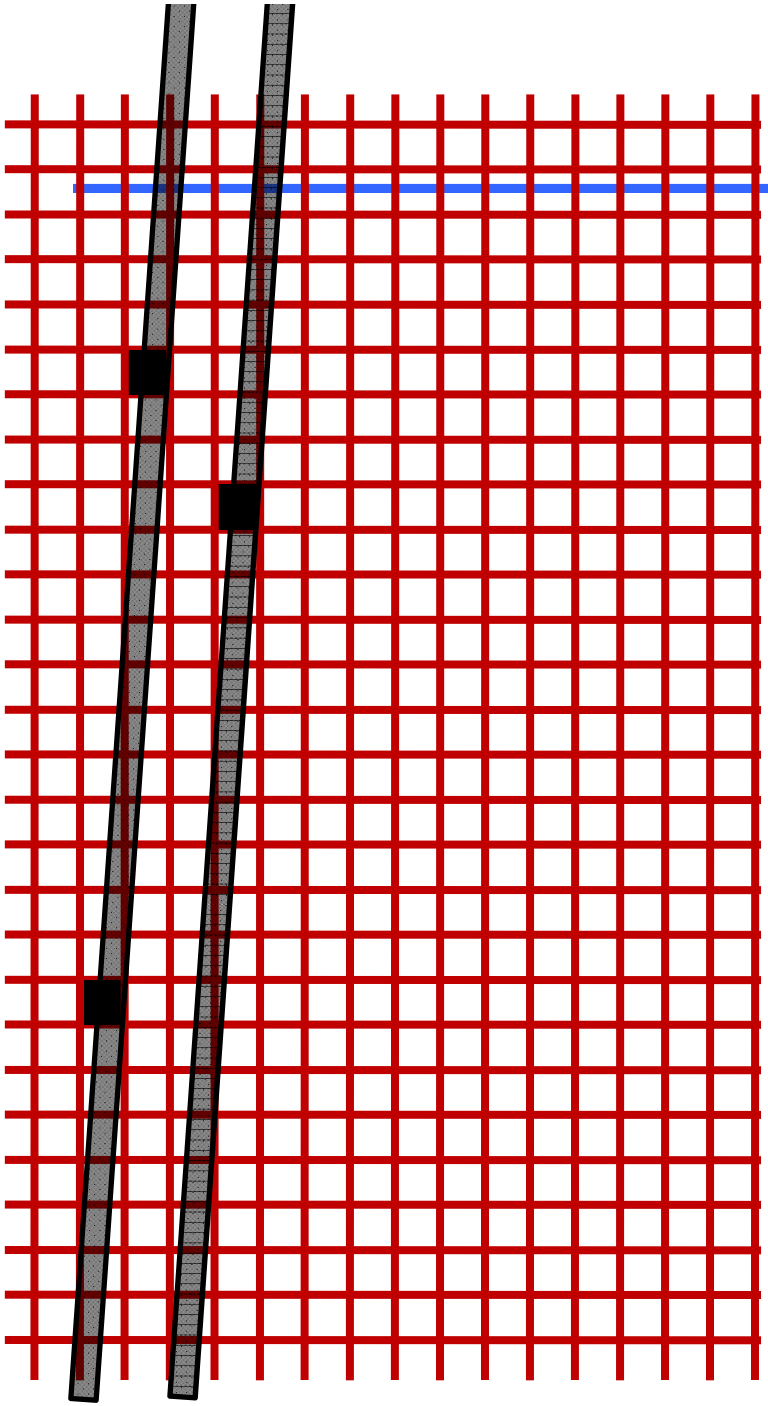
图像分析



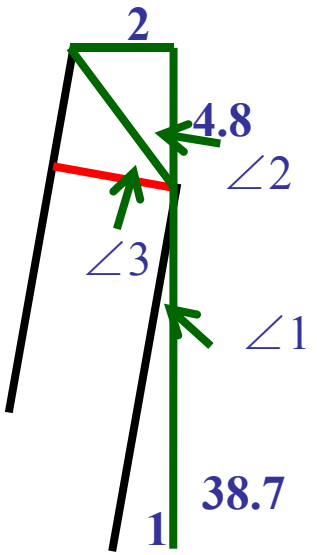
- 取右侧条纹区，位于第52列~64列像素区域，对该区域的每列按该列计数分别进行归一化
- 对中心区的第54~61列取该列计数进行作图，呈现周期峰谷特性，取谷部位置（由于噪声存在，需要估算），得到谷部分别位于（53，16，58，22，62，26，67）



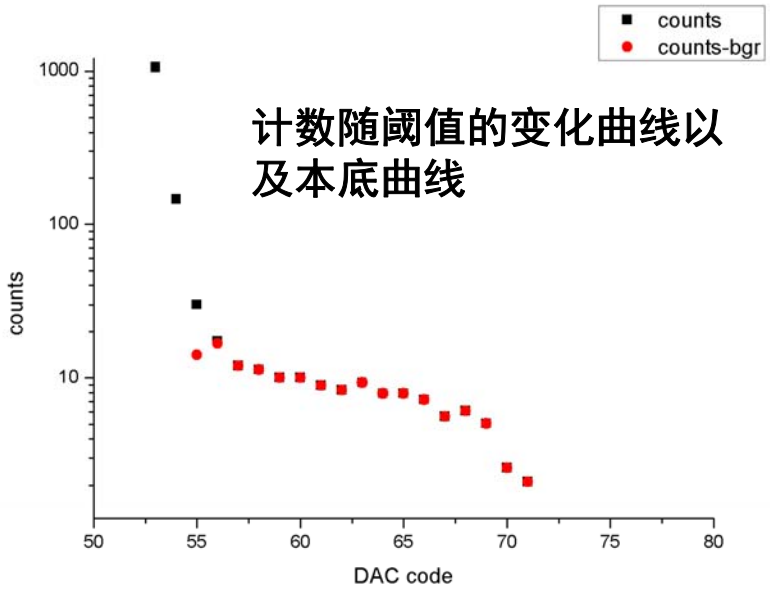
- 即列向（相邻列）周期约为38.67像素单位（150um），行向周期（间隔列）约为4.8像素单位

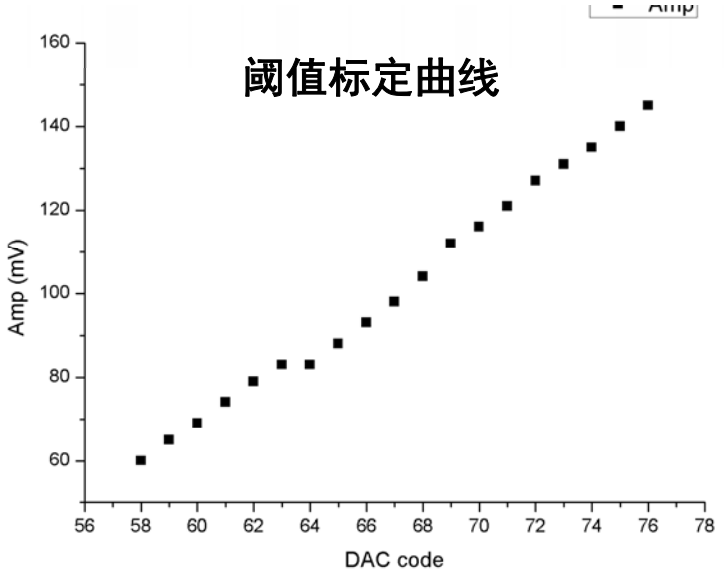


- 因此由列向周期38.67像素可以计算狭缝相对列向倾斜角为：
  - arctan(1/38.67) =1.48°
- 由行向周期为每两行4.8像素可以计算图中∠2=arctan(2/4.8)=22.62，同时∠2、∠3公共斜边为5.2像素
- 因此（落在Sensor表面）狭缝的pitch为5.2像素*cos∠3=2.12像素=318um
- 但由于前面板未贴近Sensor，使线对卡离Sensor表面还有约1~2cm距离，外加x光机的光斑锥角为22度，因此上述pitch并不是线对卡的最终间距



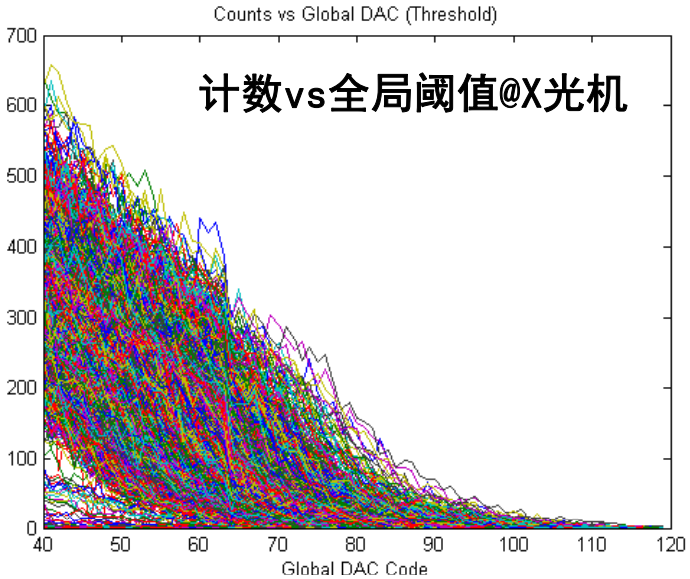
^{55}Fe计数率vs全局阈值（打线测量）

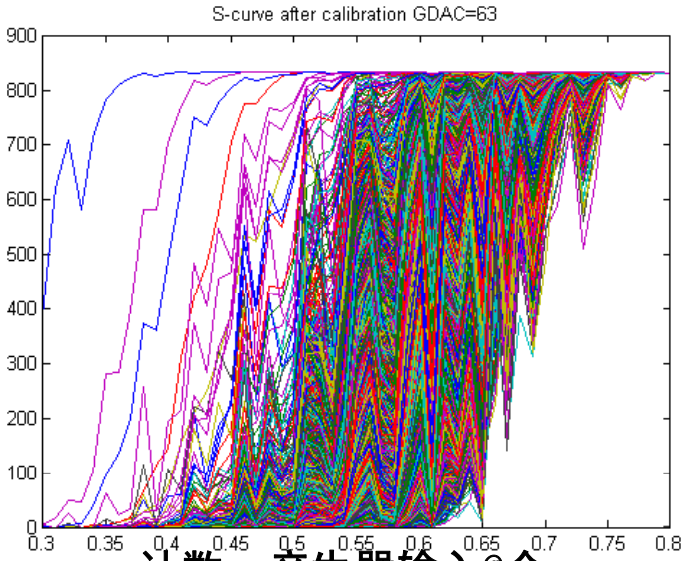




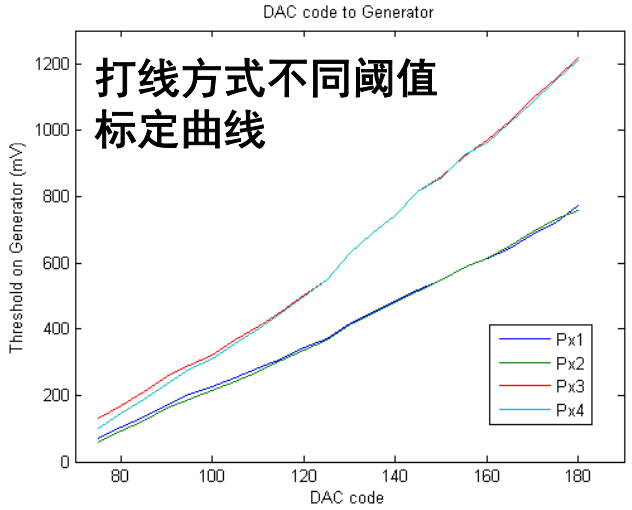
- 计数50%位置定标在产生器幅度112mV
- 噪声峰峰值范围对应定标结果为88mV～140mV，即等效输入端噪声均方根值对应产生器幅度8.6mV
- 铁源中心能量5.9keV对应1620e$^-$，即112mV产生器幅度定标在1620e$^-$，因此等效输入端噪声对应188e$^-$
  - 由打线电容带来了相应的噪声增加，估算约1pF左右
  - 对应能量分辨为2.35×188/1620=27.3%
- 盖革计数器测量源的最大计数为160kcpm，准直孔为直径3mm圆孔，Sensor像素为200μm×200μm，平均每像素计数约为10cps，这同实测平顶计数约8个/秒也很接近，计数多少也和源的摆放位置有关
- 以上测试进一步证明全部模拟单元功能正常，测试结果符合设计预期

能量定标方案



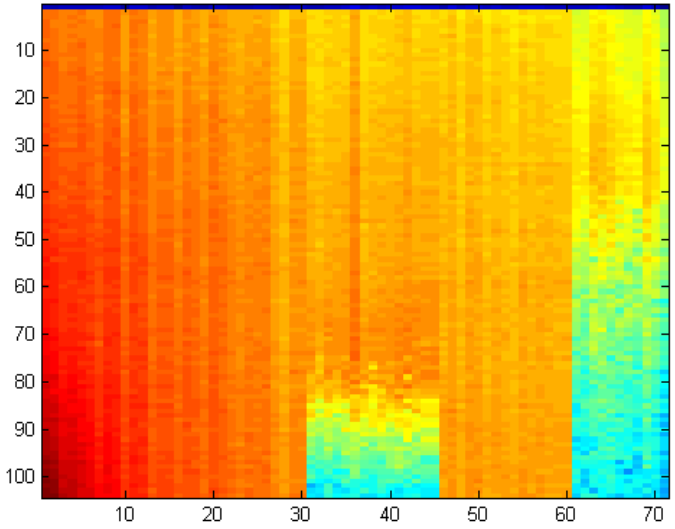


计数vs产生器输入@全局阈值=能量峰@X光机

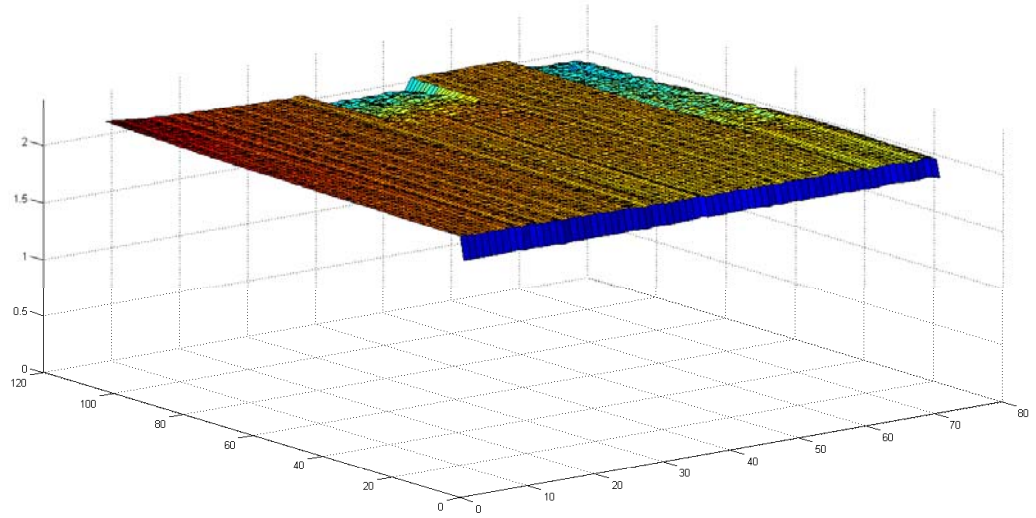


- 在打线联调和倒装焊联调阶段，利用已知能量（峰位）对刻度信号进行了定标，从而计算出Sensor+ASIC联合系统的实际噪声和不一致性
- 对全尺寸芯片，测试用X光机能量峰为铜靶特征能量8.04keV，峰位对应GDAC=63，而利用S-curve方法，GDAC=63时平均阈值在产生器输入623mV
- 即产生器刻度信号100mV↔353.1e$^-$，对比纯ASIC情况100mV↔1ke$^-$

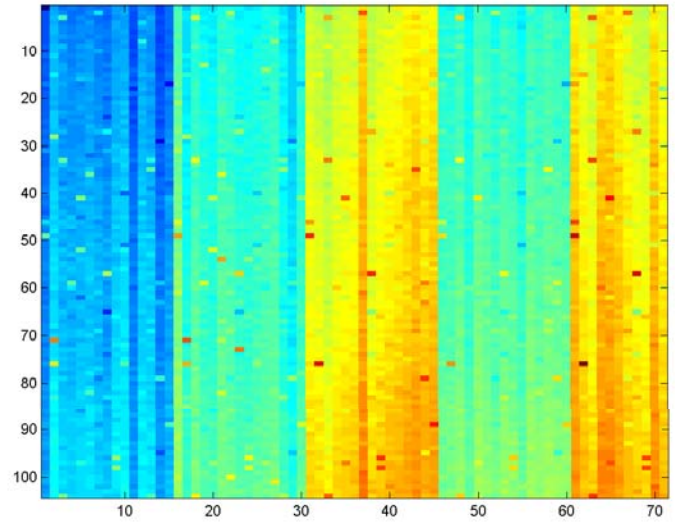
工艺A——典型样片测试结果



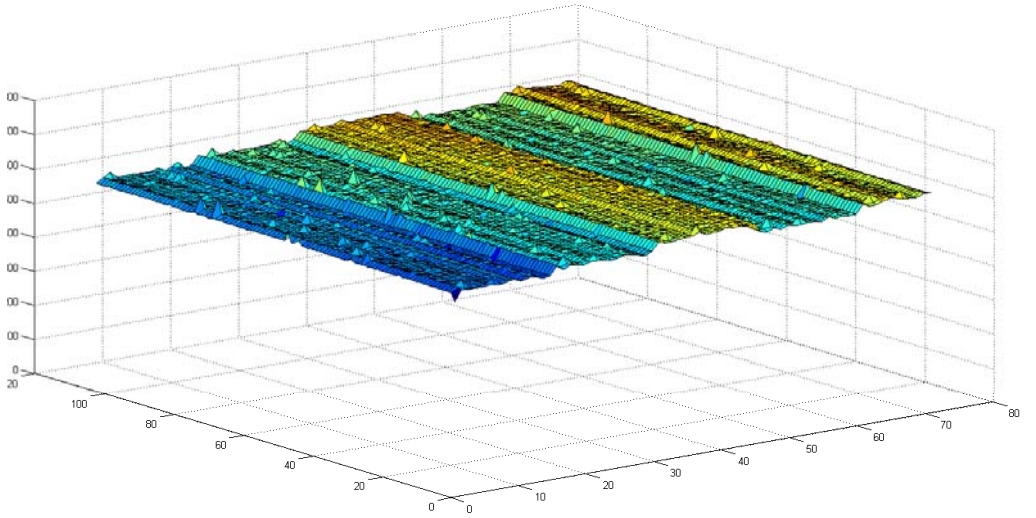
倒装焊后阵列扫描二维图像



倒装焊后阵列扫描三维图像

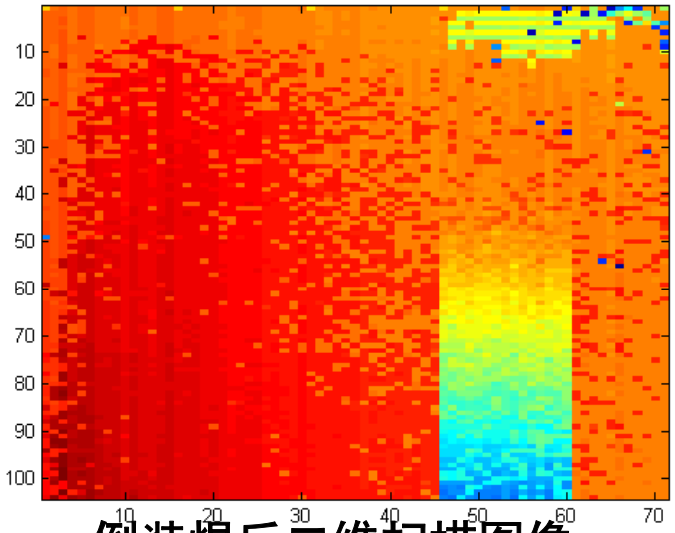


裸片测试阵列扫描二维图像

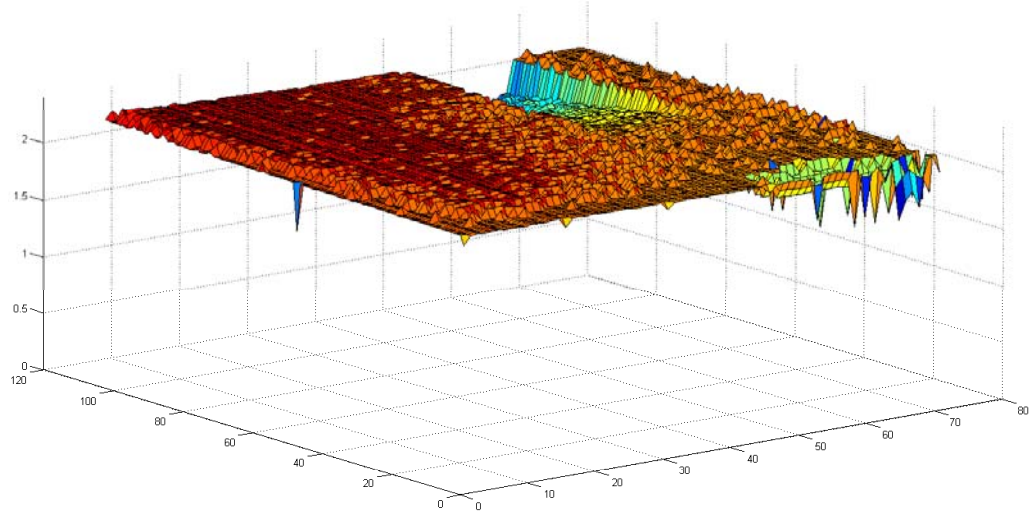


裸片测试阵列扫描三维图像

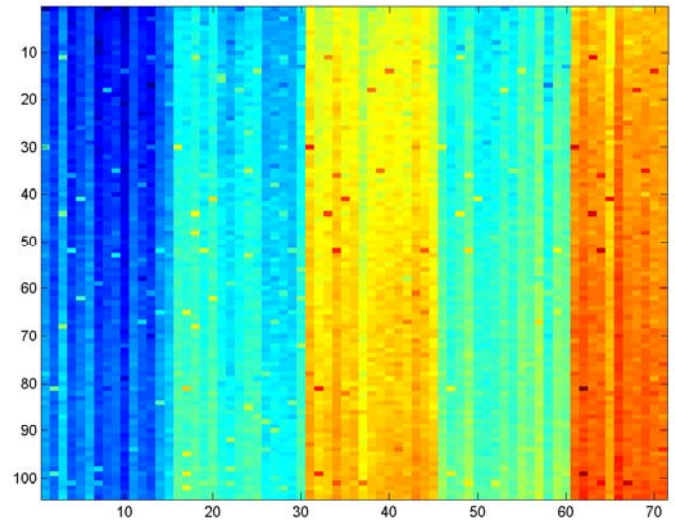
工艺B——典型样片测试结果



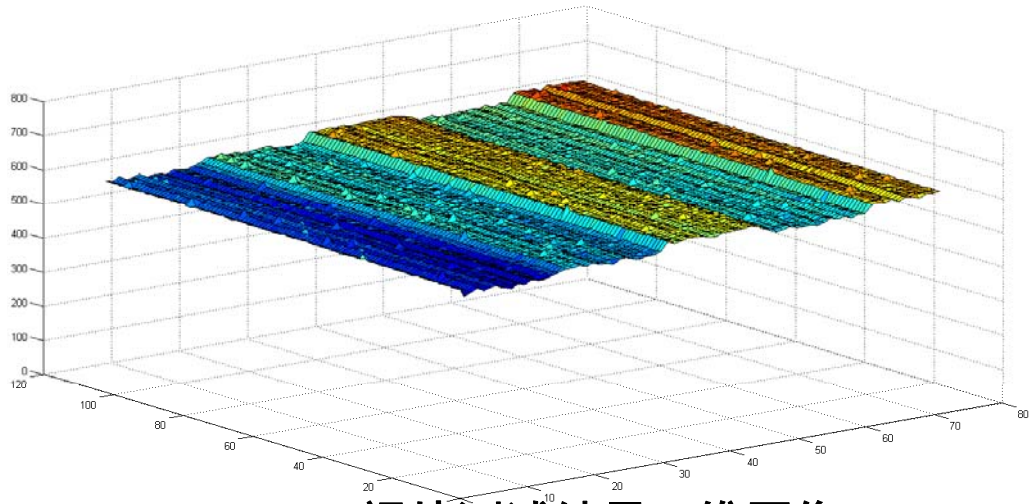
倒装焊后二维扫描图像



倒装焊后三维扫描图像



裸片测试结果



裸片测试结果三维图像