

R&D proposal for the Vertex and silicon tracking system

Meng Wang, Xiangming Sun, Qun Ouyang

- 子探测器预研计划
- 经费需求
- 研究队伍

Reminder: Detector requirements

Vertex detector specifications:

Parameter	Inner layers	Outer layers
Single point resolution	2.8 μm	4 μm
Integration time	20 μs	
Power consumption	50 mW/cm ² (air cooling)	
Material budget	0.15%X ₀ /layer	
TID radiation tolerance*	1M krad/ year	?
NIEL radiation tolerance*	10 ¹² n _{eq} / (cm ² year)	?

* *safety factor of 5*

Silicon tracker specifications:

Parameter	Inner layers	Outer layers
Single point resolution	7 μm	
Power consumption	50 mW/cm ² (air cooling?)	
Material budget	0.65%X ₀ /layer	

探测器预研计划

1. 顶点探测器CMOS pixel sensor (CPS) 设计

1) 设计目标：指标先进、具有完整电路的原型CPS像素传感器芯片，使之接近或达到CPEC的要求。

五年预期指标：空间分辨 $3\text{-}5\mu\text{m}$ ；
积分时间 $10\text{-}100\mu\text{s}$ ；
功耗 $100\text{mW}/\text{cm}^2$ ；
TID $\sim 1\text{ Mrad}$ 。

2) 关键技术问题

- 小像素设计；
- 抗辐照读出电路架构。

目前国际上已有的单一CPS不能满足CEPC指标。

3) 研究方案、技术路线

- 采用TowerJazz CIS $0.18\mu\text{m}$ （或其他可能的）工艺；
- 像素单元优化设计；
- 耗尽型CPS优化设计；
- 联合有设计和测试经验的团队共同开发。

探测器预研计划

2. 硅像素径迹室

1) 设计目标：满足径迹室要求的像素芯片

2) 关键技术问题

a. 基于CMOS 的大面积像素芯片的设计及性能测试

- 像素基本尺寸 $50 \times 150 \mu\text{m}^2$ ，厚度约 $50 \mu\text{m}$ ，电荷收集时间与像素上的电路响应时间满足 200ns 的读出时间；
- 芯片约 $23.5 \times 31.5 \text{mm}^2$ ，像素阵列 400×88 ，读出时间 $180 \mu\text{s}$ ，零压缩算法，功率约 100mW/cm^2 ；
- 抗辐照通过工艺实现；
- 各项指标的测试。

b. 探测器布局的模拟研究与优化

- 芯片大小与ladder/petal 的优化；
- SIT 与FTD 像素芯片的布局，满足径迹重建与探测效率的要求；
- 机械结构、风冷等模拟。

3) 研究方案、技术路线

- 采用TowerJazz CIS $0.18 \mu\text{m}$ （或其他可能的）工艺；
- 与顶点探测器sensor共享工程批流片。

经费需求

项目	经费（万元）	说明
1.流片	800	5次MPW（ 5×80 万元），2次工程批（ 2×200 万元）
2.测试	200	包括国外差旅费
3.IP核	100	
4.管理费、人员费	160	博士后、博士生
合计	1260	

研究队伍

姓名	职称	单位	正在参加973或其它科技部项目
王萌	教授	山大	大亚湾973
张亮	讲师		
...	学生		
孙向明	教授	华师	?
杨苹			
刘军			
...	学生		
欧阳群	研究员	高能所	LHC973
朱宏博	副研		
张颖	副研		
卢云鹏	副研		
董明义	副研		
赵梅	助研		
周扬	博士后		
...			

Technology options

Many technologies from ILC/CLIC could be referred.

BUT, unlike the ILD, **the CEPC detector will operate in continuous mode.**

Pixel sensor: power consumption $< 50\text{mW/cm}^2$, if air cooling used
readout time $< 20\mu\text{s}$

- **HR-CMOS** sensor with a novel readout structure — **ALPIDE for ALICE ITS Upgrade**
 - relatively mature technology
 - $< 50\text{mW/cm}^2$ expected
 - Capable of readout every $\sim 4\mu\text{s}$
- **SOI** sensor with similar readout structure
 - Fully depleted HR substrate, potential of $15\mu\text{m}$ pixel size design
 - Full CMOS circuit
- **DEPFET**: possible application for inner most vertex layer
 - small material budget, low power consumption in sensitive area

Silicon microstrip sensor: p^+ -on-n technology
pixelated strip sensors based on CMOS technologies

Critical R&D

- Pixel sensors with low power consumption and high readout speed

In-pixel discriminator
In-matrix sparsification



Similar to ALPIDE sensor for ALICE ITS Upgrade

- Starting design with HR-CMOS process
 - Exploring possibility with SOI process, especially for smaller pixel size
- Light weight mechanical design and cooling
 - 0.05%(0.1%) material budget without(with) cabling
 - Air cooling technology with acceptable vibration due to air flow
- Pixel sensor thinning to 50 μ m
- Slim edge silicon microstrip sensor
- Low noise, low power consumption front-end electronics for silicon microstrip