

VTX & Silicon Tracker

- 1、课题
- 2、主要研究内容
- 3、2年期和5年期目标
- 4、国际合作方式
- 5、研究队伍
- 6、经费需求

2、主要研究内容

(1) 顶点探测器CMOS pixel sensor (CPS) 设计

1) 设计目标：指标先进、具有完整电路的原型CPS像素传感器芯片，使之接近或达到CPEC的要求。

2) 关键技术问题

- 小像素设计；
- 抗辐照读出电路架构。

目前国际上已有的单一CPS不能满足CEPC指标。

3) 研究方案、技术路线

- 采用TowerJazz CIS 0.18 μm （或其他可能的）工艺；
- 像素单元优化设计；
- 耗尽型CPS优化设计；
- 联合有设计和测试经验的团队共同开发。

2、主要研究内容

(2) 硅像素径迹室

1) 设计目标：满足径迹室要求的像素芯片

2) 关键技术问题

a. 基于CMOS 的大面积像素芯片的设计及性能测试

b. 探测器布局的模拟研究与优化

- 芯片大小与ladder/petal 的优化；
- SIT 与FTD 像素芯片的布局，满足径迹重建与探测效率的要求；
- 机械结构、风冷等模拟。

3) 研究方案、技术路线

- 采用TowerJazz CIS 0.18 μm （或其他可能的）工艺；
- 与顶点探测器sensor共享工程批流片。

3、2年期和5年期目标

(1) 顶点探测器CMOS pixel sensor (CPS) 设计

➤ 2年期目标

针对空间分辨和读出时间的要求，进行优化设计和性能研究，完成一次流片和性能测试。

➤ 5年期指标：

空间分辨 $3\text{-}5\mu\text{m}$ ；积分时间 $10\text{-}100\mu\text{s}$ ；功耗 $100\text{mW}/\text{cm}^2$ ；TID $\sim 1\text{ Mrad}$

(2) 硅像素径迹室

➤ 2年期目标

重点研究像素单元的几何、电荷收集效率、电路相应时间等，完成一次流片和性能测试。

➤ 5年期目标

- 像素基本尺寸 $50\times 150\mu\text{m}^2$ ，厚度约 $50\mu\text{m}$ ，电荷收集时间与像素上的电路响应时间满足 200ns 的读出时间；
- 芯片约 $23.5\times 31.5\text{mm}^2$ ，像素阵列 400×88 ，读出时间 $180\mu\text{s}$ ，零压缩算法，功率约 $100\text{mW}/\text{cm}^2$ ；
- 抗辐照通过工艺实现；
- 各项指标的测试。

4、国际合作方式

法国IPHC Strasbuerg: 合作设计

MPW sharing

5、研究队伍

姓名	职称	单位	已有973	申请LHC	时间（月/年）
王萌	教授	山大	是		6
黄性涛	教授		是		3
吴群	教授		是		3
焦健斌	副教授		是		6
*张亮	讲师				
3人	博士后、学生				
许怒	教授	华师	是		3
孙向明	教授				7
黄光明	教授				6
*杨革	讲师				
*刘军	实验技术员				
谢跃红，尹航+4人	博士后、学生				
欧阳群	研究员	高能所			6
朱宏博	副研			优先	6
张颖	副研				6
卢云鹏	副研				6
董明义	副研				6
董静	高工				6
*赵梅	助研				
2人	博士后、学生				

6、经费需求

项目	经费（万元）	说明
1.流片	800	5次MPW（5×80万元），2次工程批（2×200万元）
2.测试	200	包括国外差旅费
3.IP核	100	
4.劳务费、人员费	160	博士后、博士生9人
合计	1260	

Reminder: Detector requirements

Vertex detector specifications:

Parameter	Inner layers	Outer layers
Single point resolution	2.8 μm	4 μm
Integration time	20 μs	
Power consumption	50 mW/cm ² (air cooling)	
Material budget	0.15%X ₀ /layer	
TID radiation tolerance*	1M krad/ year	?
NIEL radiation tolerance*	10 ¹² n _{eq} / (cm ² year)	?

* *safety factor of 5*

Silicon tracker specifications:

Parameter	Inner layers	Outer layers
Single point resolution	7 μm	
Power consumption	50 mW/cm ² (air cooling?)	
Material budget	0.65%X ₀ /layer	