



环形正负电子对撞机
Circular Electron Positron Collider



中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences

针对CEPC硅像素探测器JadePix-1 及CPRE、VA等芯片的 高精度读出系统C_HDDAQ研制

王娜, 王科, 陶嘉, 张颖, 史欣, 朱宏博

taojia@ihep.ac.cn

核探测与核电子学国家重点实验室
中国科学院高能物理研究所

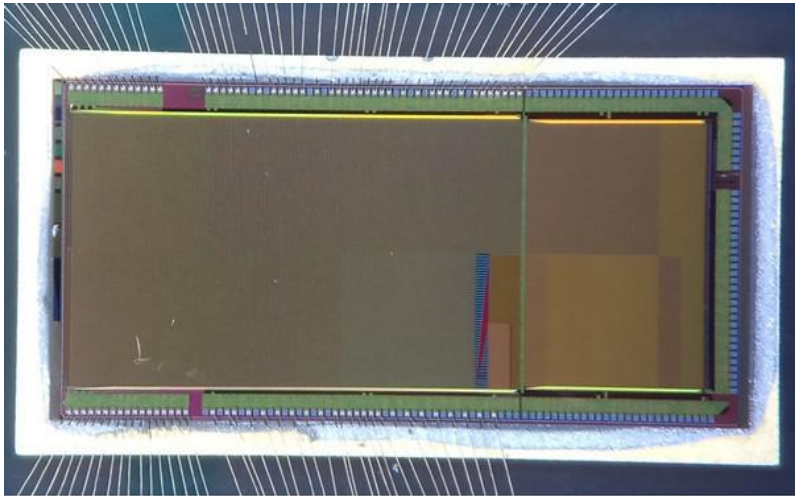
第十九届全国核电子学与核探测技术学术年会 2018.10.16 衡阳



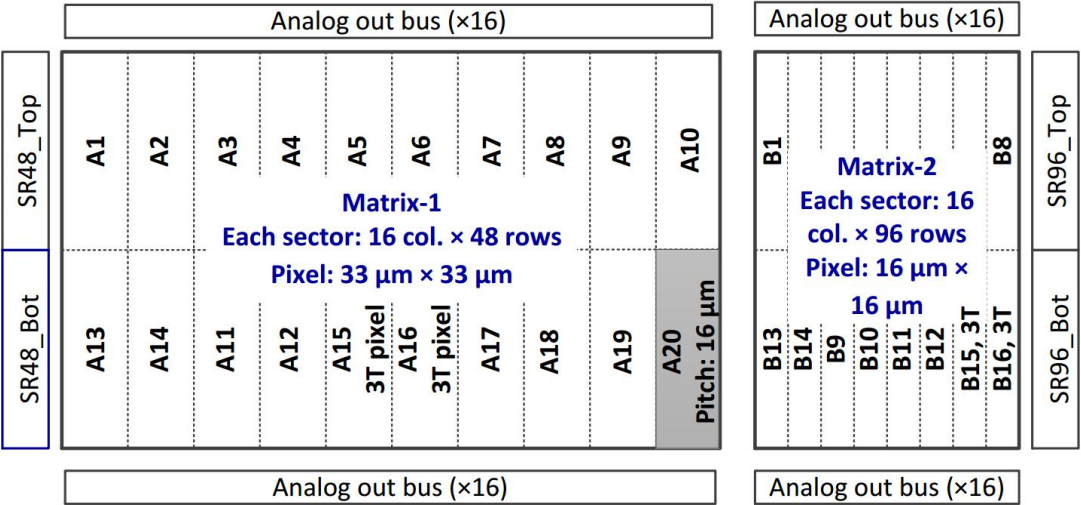
- 项目背景及设计需求
- 读出系统设计方案
- 主要性能以及芯片测试部分结果



CEPC硅像素探测器芯片JadePix-1



JadePix-1 芯片实物



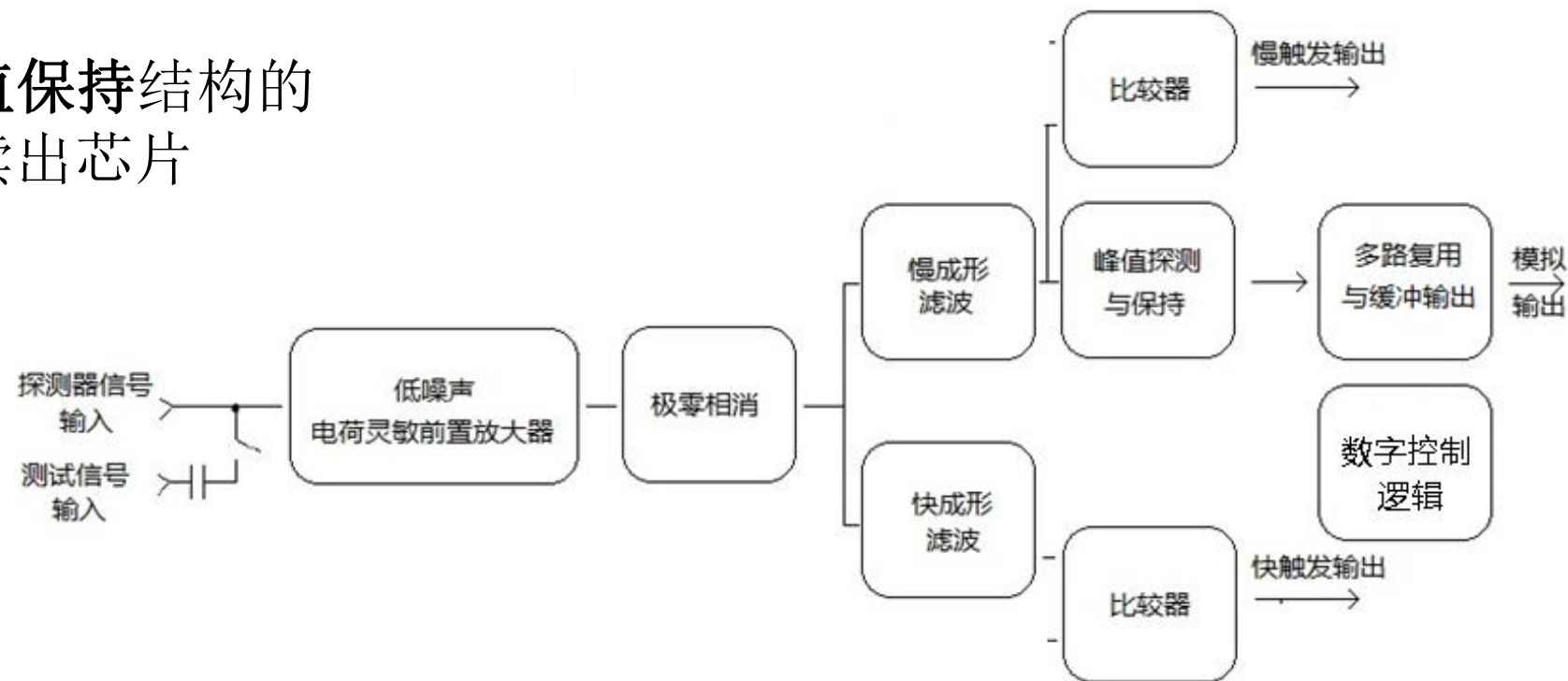
JadePix-1 芯片布局图

- CEPC CMOS 像素探测器原型芯片
- 采用 TowerJazz CIS 0.18 µm 工艺设计
- 独立的阵列
 - Matrix-1 16 × 48 pixel
 - Matrix-2 16 × 96 pixel
- 多种像素结构
- 模拟信号输出
- 逐帧扫描读出——2/4MHz~24µs/frame
- 高位置分辨要求



CPRE: Charge Pulse Readout Electronics

基于前放—成形—峰值保持结构的
能谱型半导体探测器读出芯片



CPRE芯片单通道基本结构

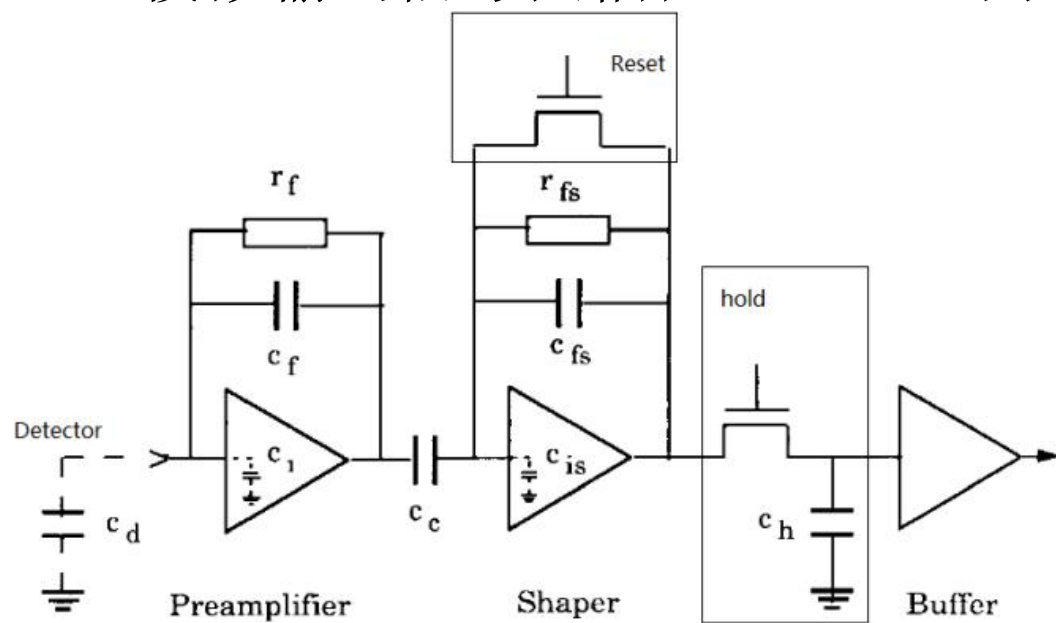
“CPRE 半导体探测器低噪声读出芯片及系统的研制与应用进展”
王娜，王科，李鲜等，第十八届全国核电子学与核探测技术学术年会.

VA型半导体读出芯片

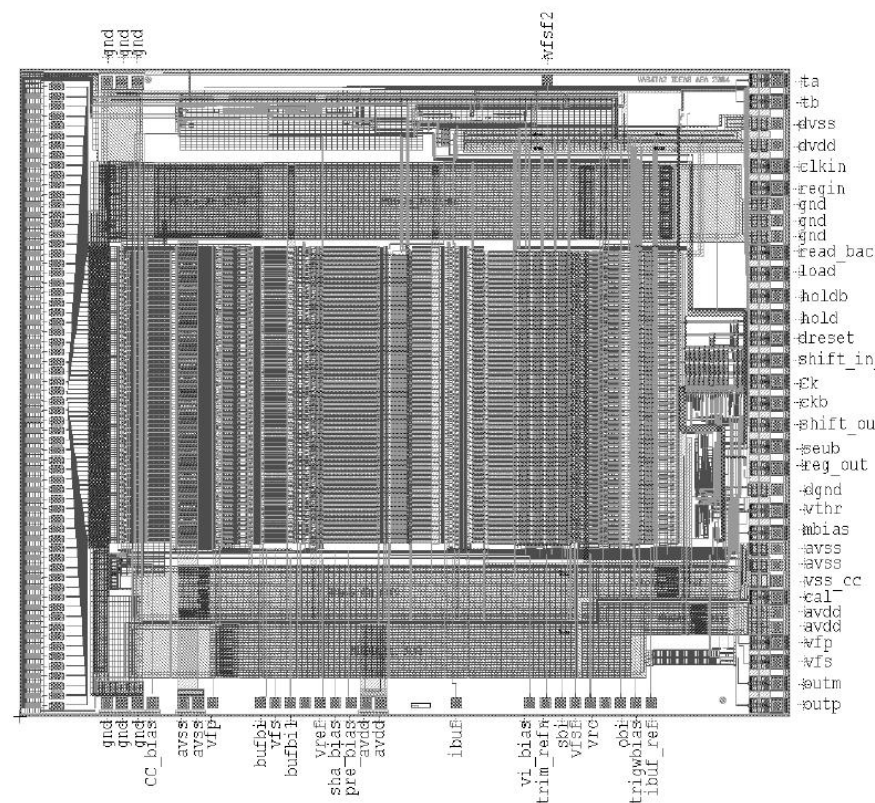


特点:

- 阻容反馈型粒子探测器读出芯片，唯一商用，应用广泛，
- $0.35\mu\text{m}$ CMOS工艺，3.3V供电
- 经前放和滤波成形，在峰值采样与保持之后读出
- 模拟输出信号摆幅在0 - 3.3V之间



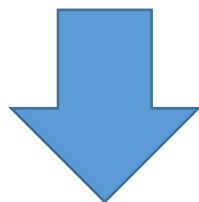
VA 芯片主体结构



设计要求



- 读出模拟信号
- 时钟较慢（10MHz左右）
- 高精度
- 设计简单、便于测试、具有一定的通用性
-

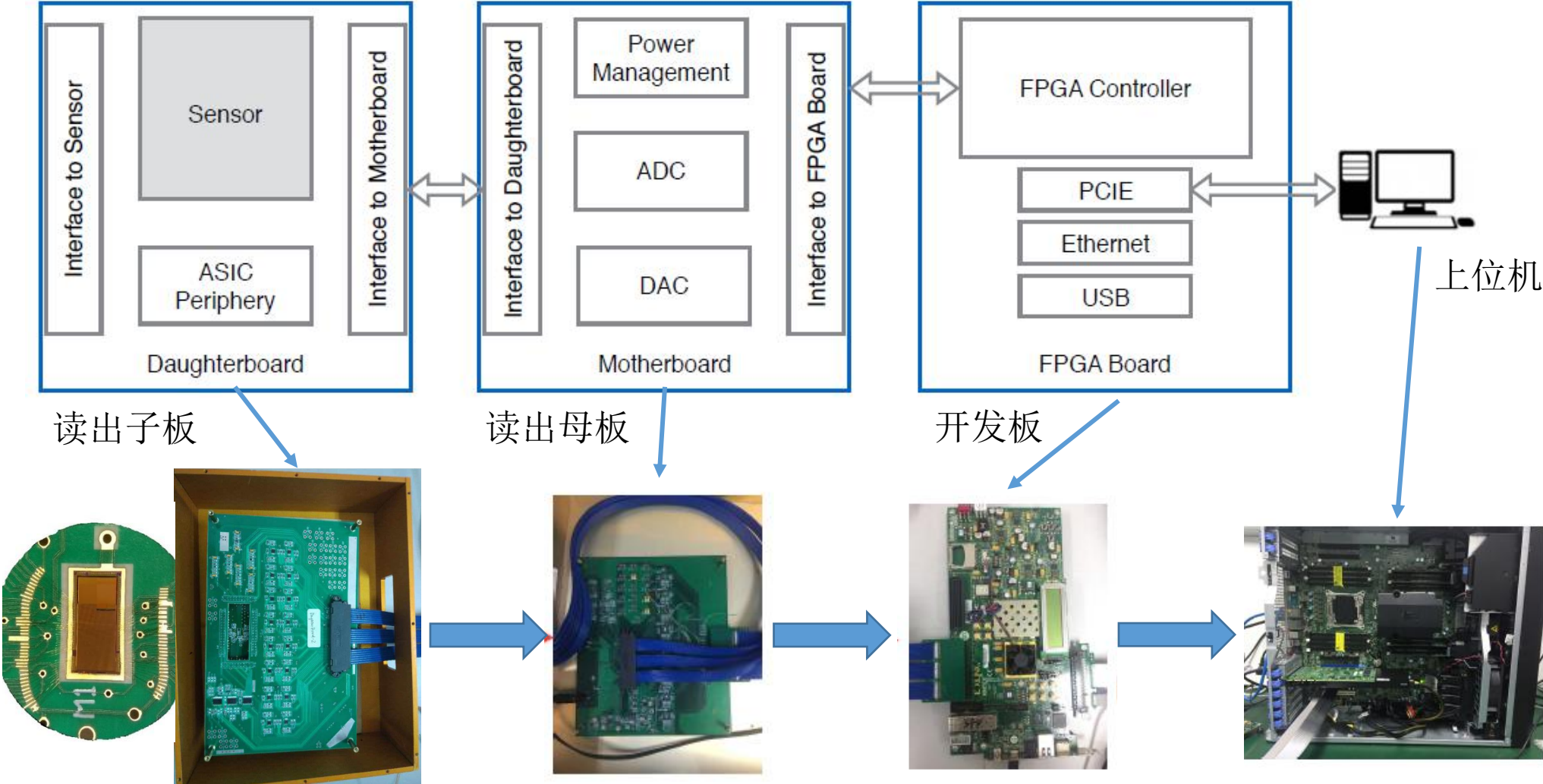


C_HDDAQ



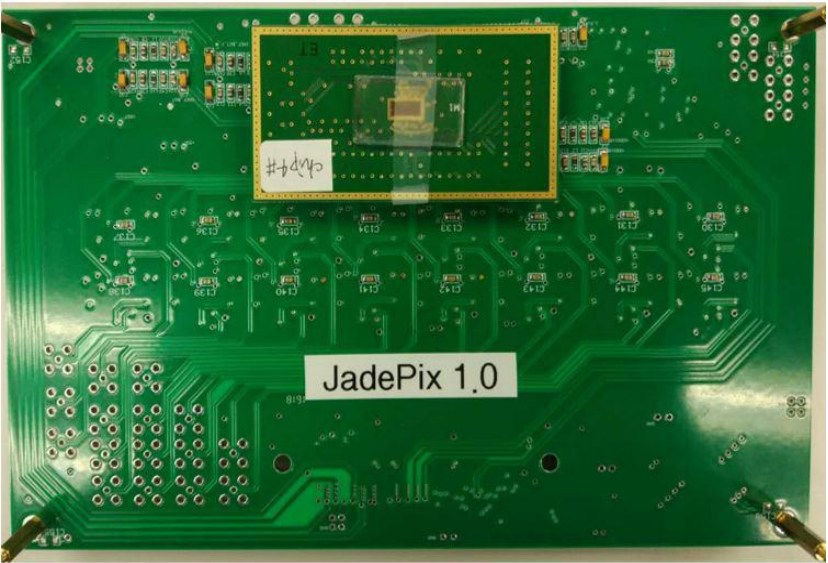
C_HDDAQ整体设计架构

“三段式”架构

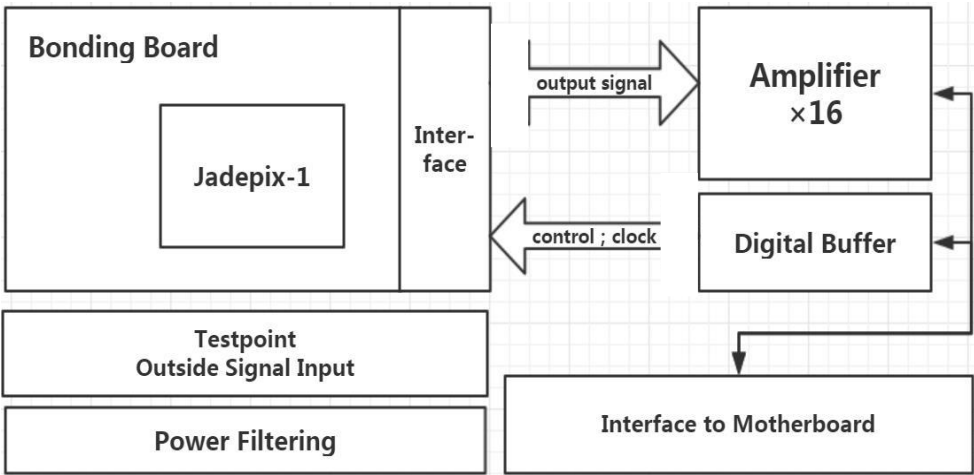




读出子板设计



读出子板实物图



读出子板架构图

	10MHz	100MHz
ADA4807	0.59	1.025
AD8065	0.82	1.164

运放噪声仿真结果（纵为器件和横为滤波频率）

放大倍数11倍，结果为等效输入电荷ENC（本板滤波频率约为10MHz左右）

低噪声，对于信号读出无显著影响

- 支持16通道模拟信号读出
- 实现8倍单端转差分放大
- Buffer增强数字信号驱动，可长线传输
- 板上器件对辐照不敏感，前端独立
- 子板与打线板分离

驱动能力

长线驱动，要求信号的上升时间在周期的十分之一内，保证信号采样前稳定



压摆率:

$$SR = 2\pi f V_p$$

$$\text{取 } V_p = 500mV \quad \text{实际小于 } 500mV$$

$$SR = 6.28V/\mu s$$

带宽:

$$Tr < 50ns$$

$$f=2 \text{ MHz}, T=500 \text{ ns}$$

$$Bw = 0.35 / Tr$$

$$Bw \geq 7MHz$$

电流:

集总方式来看，应有

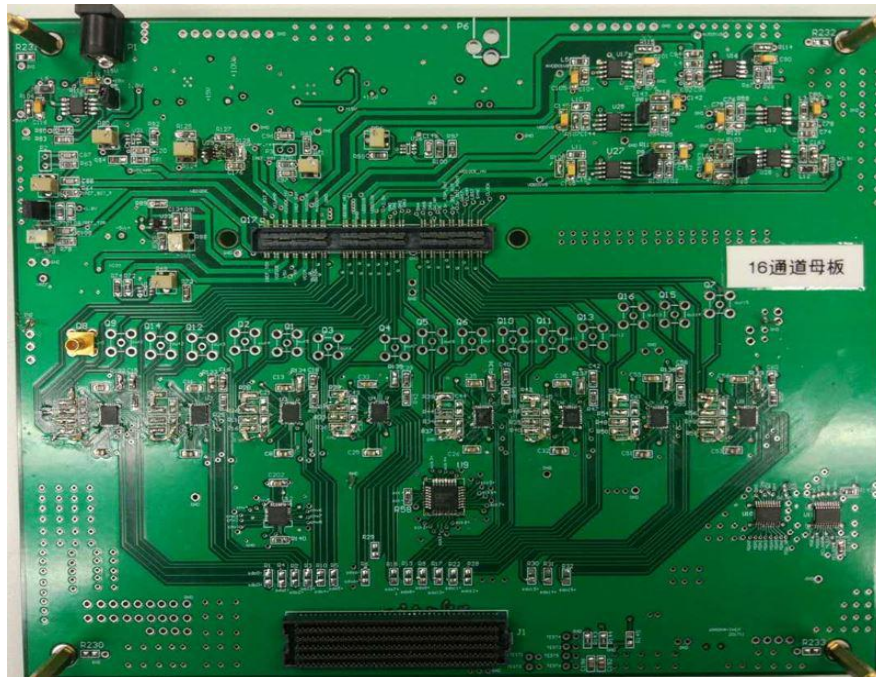
$$SR = I / C_{\text{总}}$$

$$C_{\text{总}} = C_{\text{导线}} + C_{\text{滤波电容}} = 130pF + 470pF = 600pF \quad \text{不考虑电阻}$$

$$I = 6mA$$

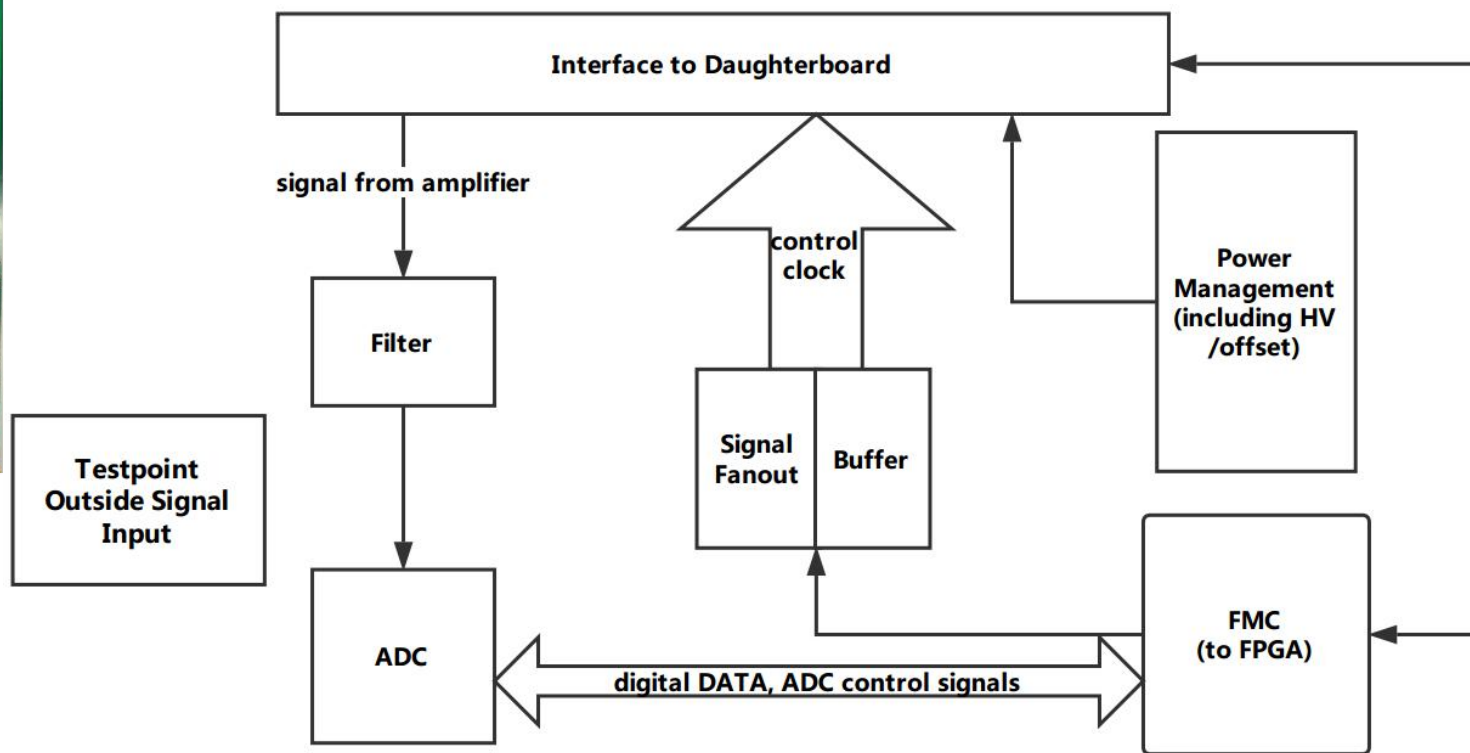
均满足需求，信号能够在采样前稳定

读出母板设计



读出母板实物图

- 接口丰富
- 低噪声电源和偏置
- 16通道 16bit ADC:
 - 1.25-5V动态范围
 - 5Msps
 - 有效位数 13 bit
 - 参考电压可调；数字电平可调



读出母板架构图



ADC参考电压 V_{ref} 为4.096V，由公式

$$1 \text{ LSB} = V_{ref}/2^{N-1}$$

其中， $N=16$ ，

得到ADC 1LSB对应的电压为0.125mV，有较高的精度。

∴1 LSB对应的探测器输出信号大小为 $0.125\text{mV}/8=15.6\mu\text{V}$ ，

估计探测器电容 $C=5 \text{ fF}$ ，

由

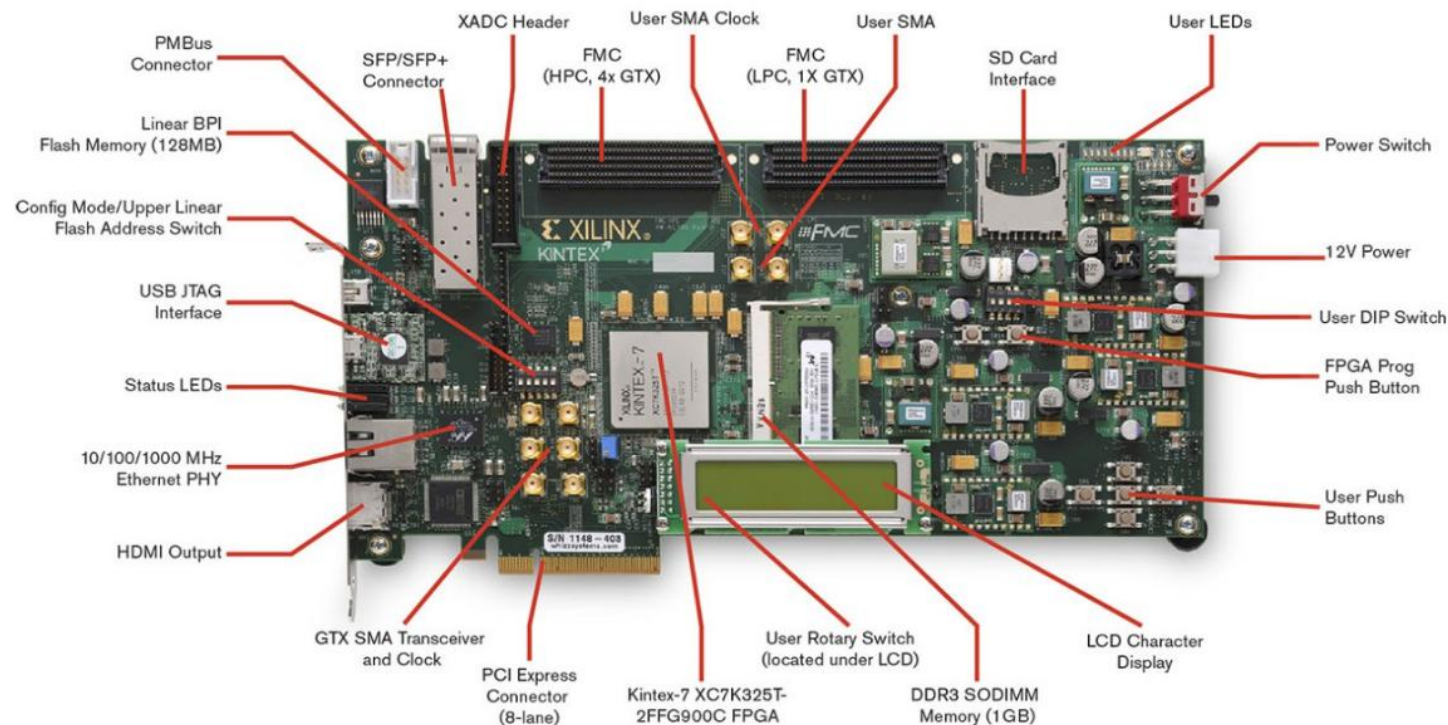
$$Q=CU$$

可以求得探测器放大倍数 31 uV/e ，得到ADC 1 LSB对应0.5个电子。

因为ADC实际有效位数为13bit，粗略考虑，有3 位为噪声，因此噪声为

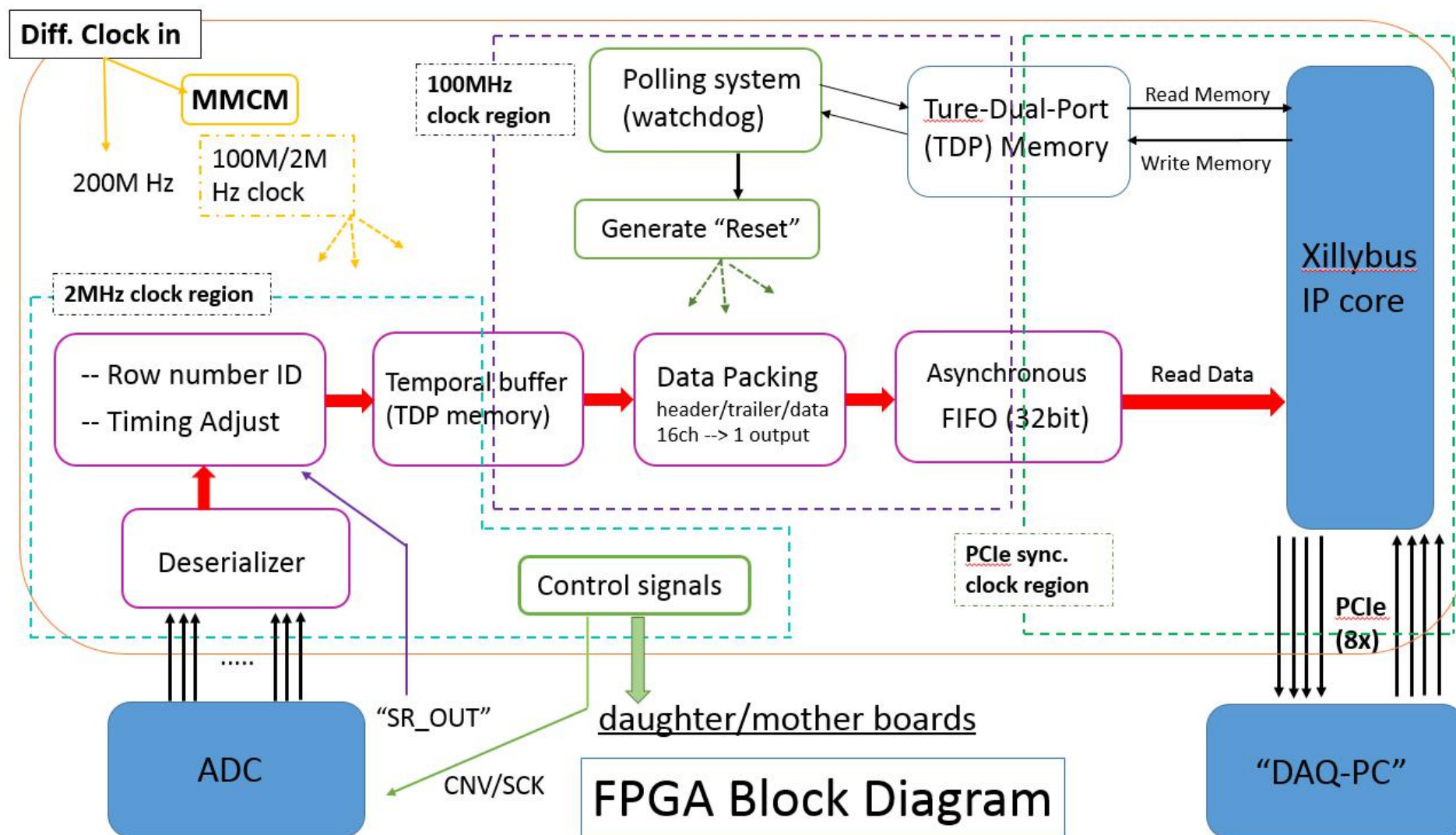
$$0.5 \times 2^3 = 4 \text{ e}^-。$$

KC705商用开发板



Xilinx KC705 开发板

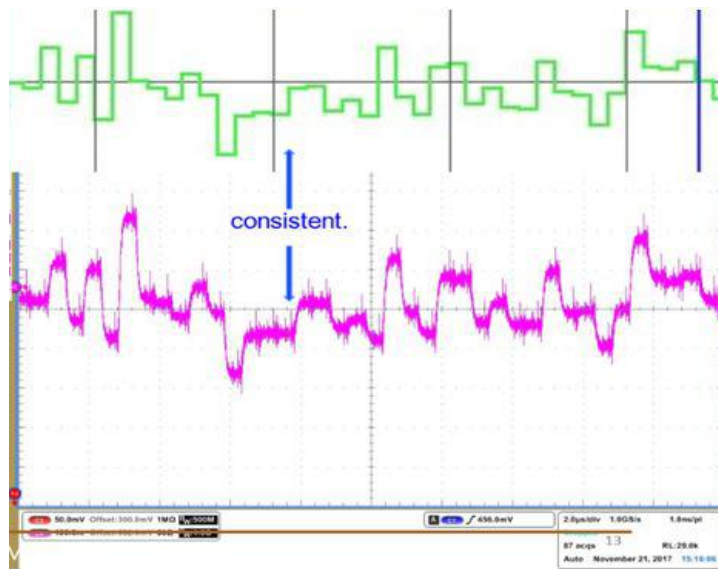
- 商用Xilinx KC705开发板，技术成熟，缩短设计周期
- 数据传输采用PCIe接口，实测达到近6Gbps的实时传输速度（有一定余量）



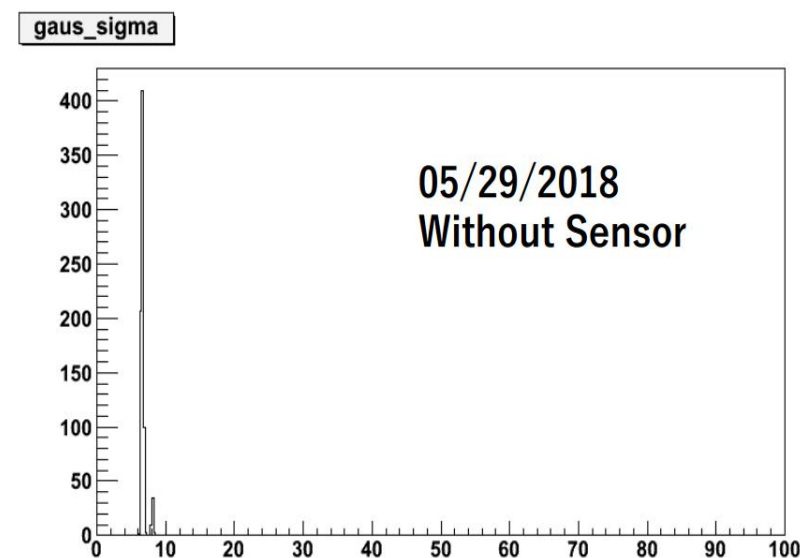
JadePix 1部分测试结果



JadePix放射源测试现场



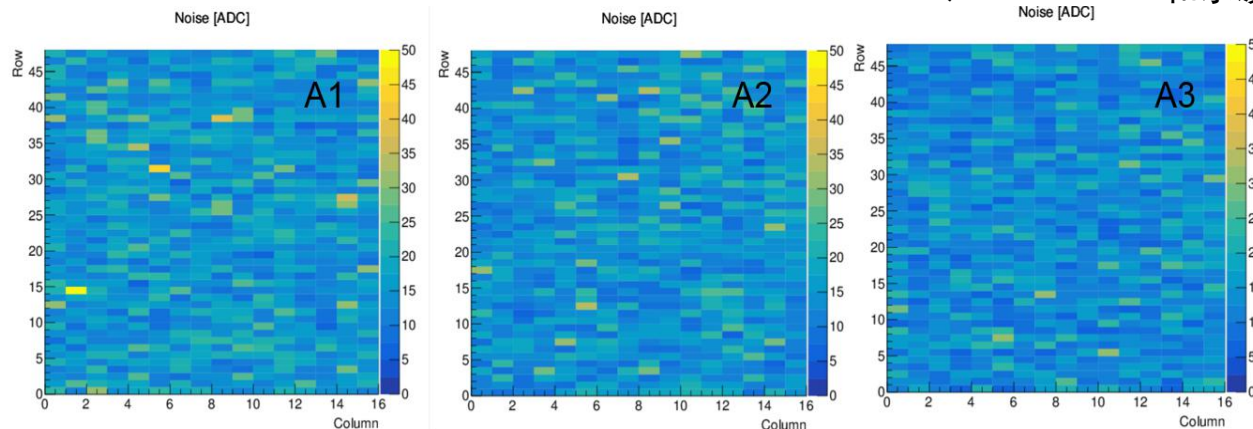
JadePix1 输出波形对比
(VIVADO ILA和示波器信号)



无芯片时, 系统噪声分布

Sigma~170 μ V, 3.5 e^-

和我们的计算值4 e^- 一致



ENC~7.5 e^-

ENC~8 e^-

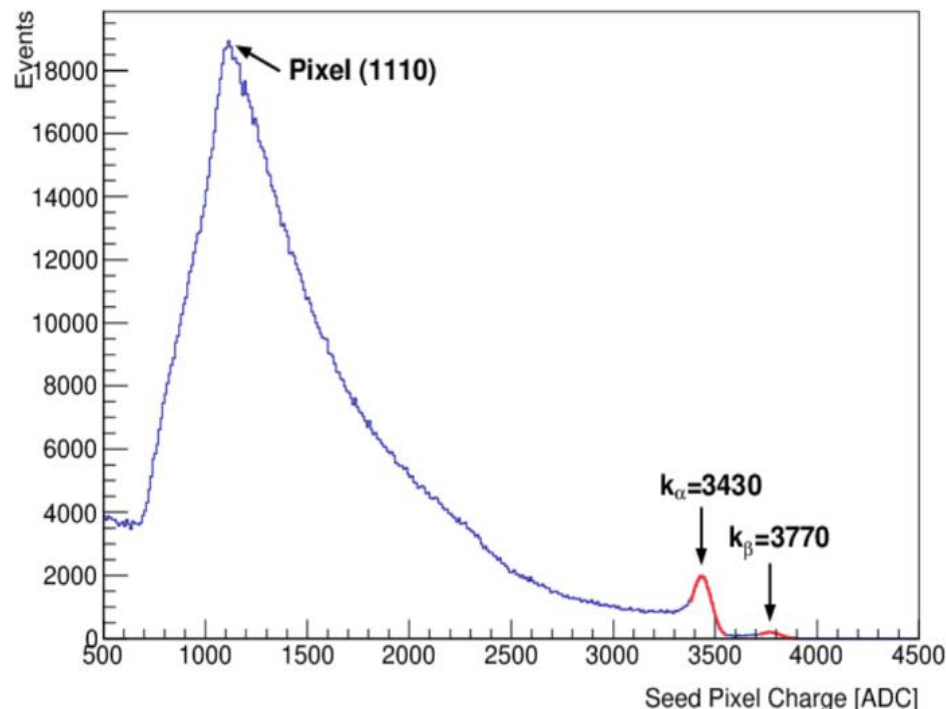
ENC~10 e^-

$$\sqrt{Noise_{total}^2 - Noise_{system}^2} = \sqrt{10^2 - 3.5^2} = 9.4e^-$$

系统噪声对芯片读出和测试无贡献



详见陈列建的报告

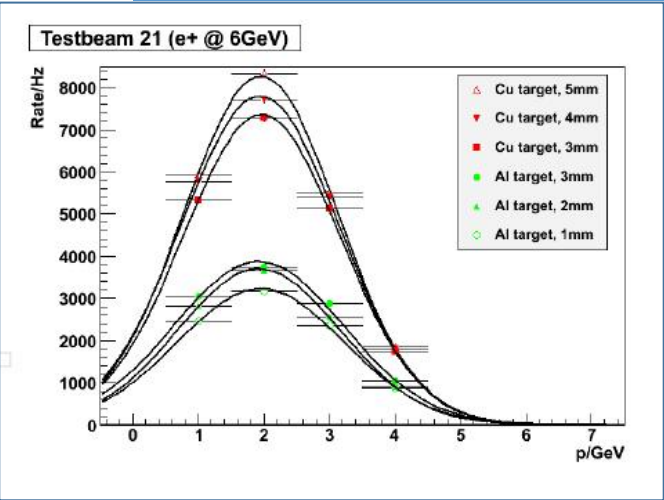


A1阵列 ^{55}Fe 放射源能谱

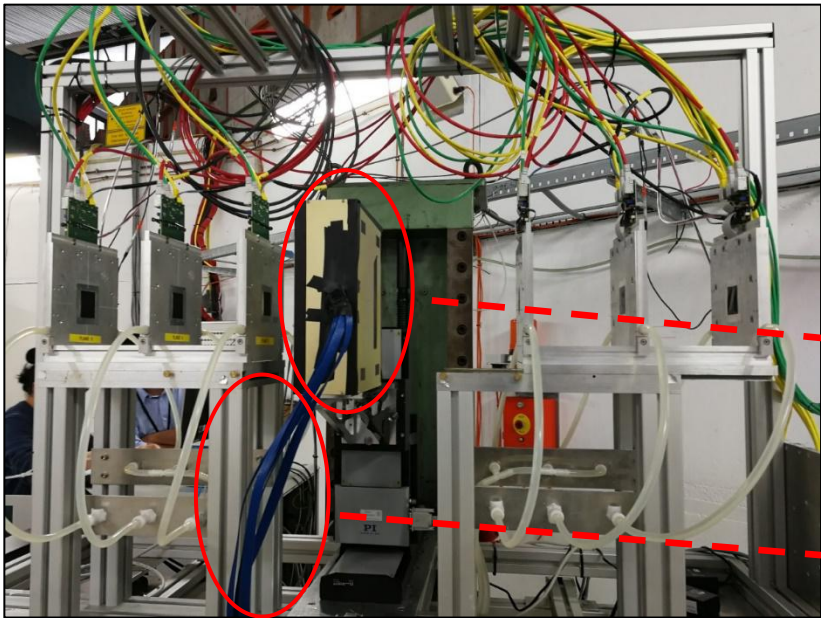
$k_\alpha k_\beta$ 峰清晰可见，可以标定像素增益。
假设击中电极完全转换、电荷快速收集且完全吸收，由能谱可以对像素增益进行标定，得到电荷电压转换系数CVF为31.9uV/e（A1阵列）



DESY束流测试部分结果



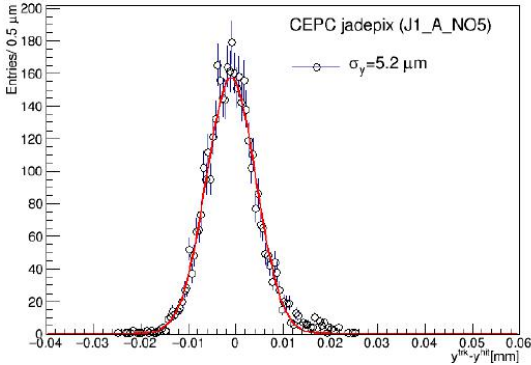
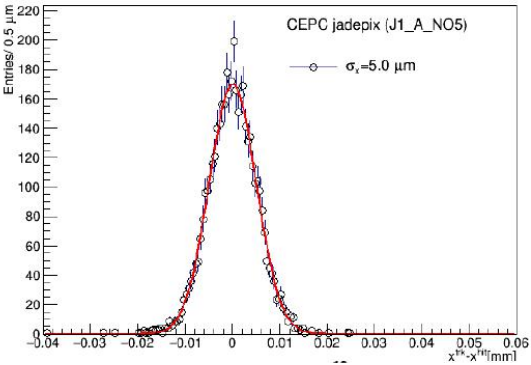
使用4.4 GeV 电子束



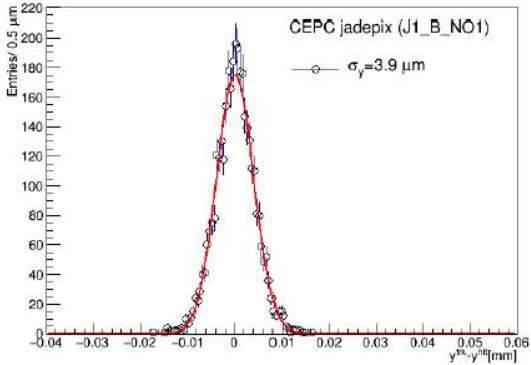
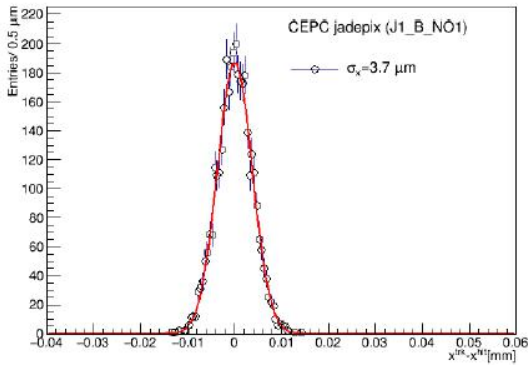
详见陈列建的报告

子板和JadePix 1

6m长线



大像素残差分布

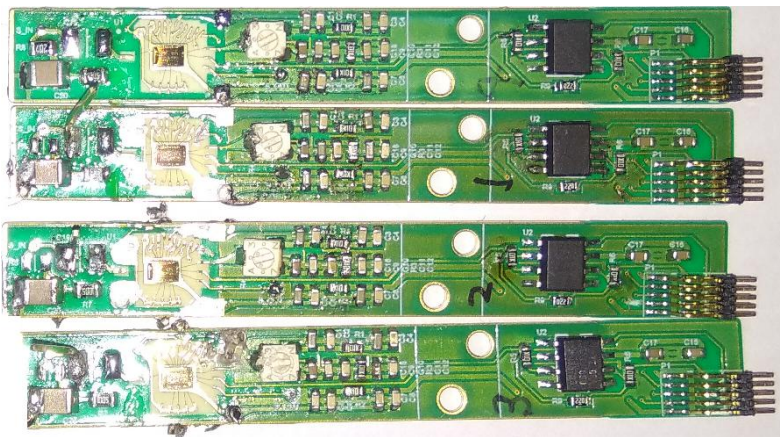


小像素残差分布

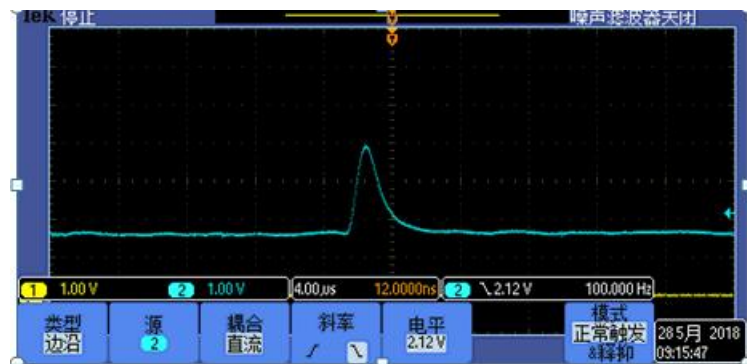


CPRE芯片测试情况

四颗 CPRE6 单通道芯片组成的2*2 阵列CZT读出单元
探测单元位于顶部，读出芯片位于侧壁（距离最短），
峰保模拟信号通过BUFFER后接入C_HDDAQ系统母版.

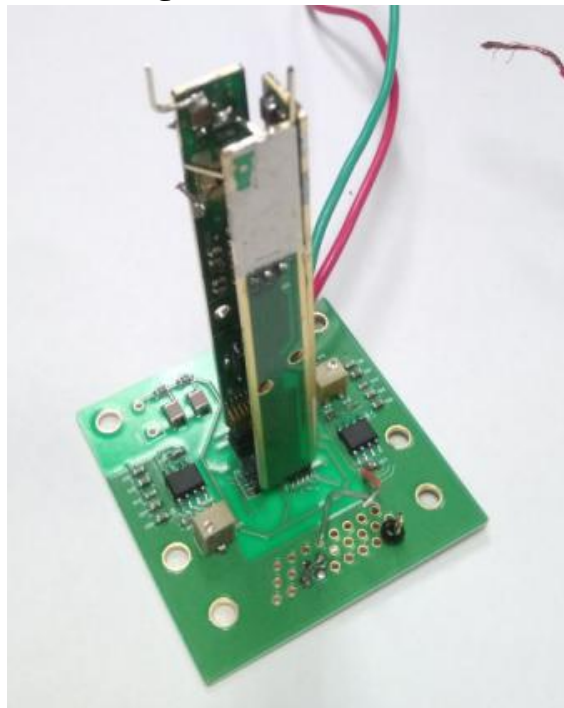


单通道读出板



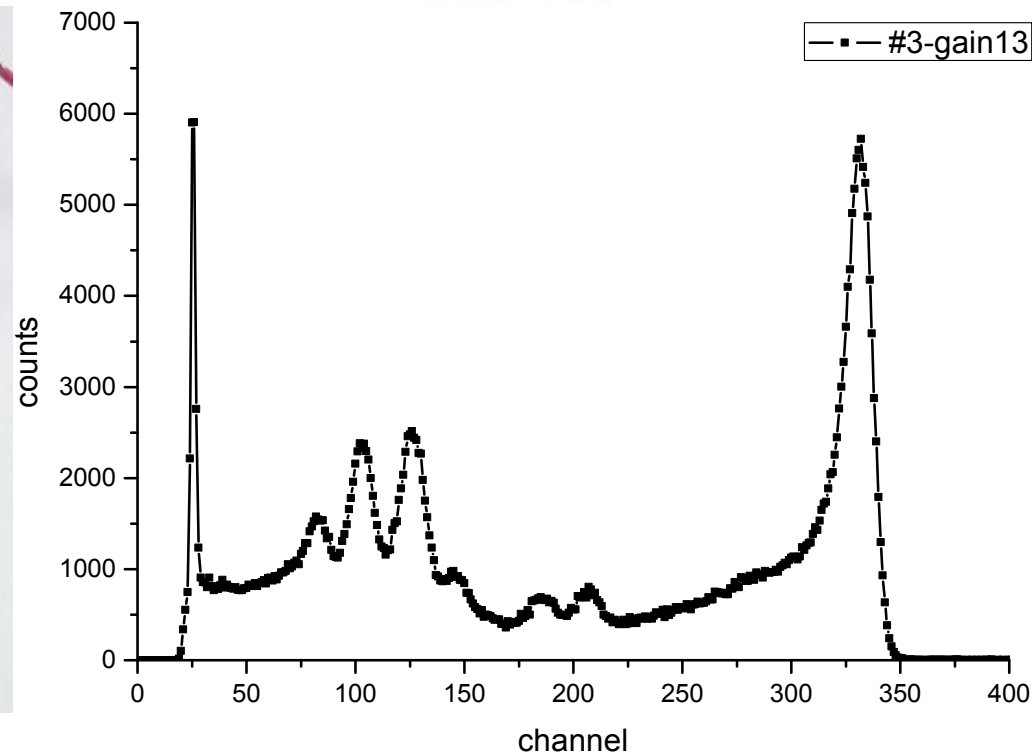
成形输出波形

采用迪泰克公司5*5*2mm单平面CZT探测器



单通道板组合成的4通道原型板

谢谢!



Am^{241} 能谱分辨率为4.63% @ 60keV
(FWHM 2.7keV, ENC=248e⁻)

系统架构简单、易于开发、性能优秀