第二届半导体辐射探测器研讨会暨国际高层论坛 Second Workshop of Semiconductor Radiation Detectors and International High Level Forum

Report of Contributions

https://indico.ihep.ac.cn/e/8542

Contribution ID: **0** Type: **not specified**

开关复位型前放芯片 CPRE_SW2 的噪声及抗辐射性能测试

本文介绍了一种匹配冷却型半导体探测器的开关复位型前放芯片 CPRE_SW2，探索其三种不同的复位工作模式，实现对探测器信号的预处理，具有高能量分辨率低噪声的优点。文中给出了芯片的电子学测试过程及与实际探测器联调结果，并针对单粒子锁定效应对芯片进行了辐照试验。

Summary

对芯片进行完整的噪声测试与抗辐照测试后我们发现芯片具有较低的噪声和较高的抗单粒子锁定（SEL）性能。

Primary authors: Mr WANG, Ke (Institute of high energy physics，CAS)；Ms LI XIAN, Xian (高能所)；Mr CAO, Xuelei (Institute of High Energy Physics, Chinese Academy of Science)；Ms BAO, Ziyu (Institute of High Energy Physics, Chinese Academy of Science)

Contribution ID: **1** Type: **not specified**

Novel guard ring system design and implementation for detector dicing edge protection and reduced dead area

A new guard system has been proposed based on the experience of the development of Si Mini-Pad detectors. The new GR system is a multi-guard-ring system with segmented n+ implants between them to prevent the punch-through of electric field through the GR ' s to reach the detector dicing edge. 2D processing and device simulations have shown that with this new GR system, one achieve 1) punch-through protection, 2) reduction of detector dead space, 3) it is detector manufacture/foundry independent regarding the SiO2 property, and 4) it can increase the detector radiation tolerance to a few times of Mrads. Simulations have shown that in the new GR system, the maximum electric field near the GR edges can be reduced by more than a factor of two, and the dead area can be reduced in the order. Further simulations will be performed to obtain optimum design in terms of n+ segmentation geometry, n+ dose, GR widths and numbers. The next engineering run of the Mini-pad detectors with the improved GR system is underway in the detector foundry, and test results will also presented.

Primary authors: KUANG, Fenglan (湘潭大学); Prof. LI, Zheng (Xiangtan University)

Presenter: Prof. LI, Zheng (Xiangtan University)

Contribution ID: **2** Type: **not specified**

Development of SPIROC2b-based multi-channel front-end electronics for SiPM array

As an emerging silicon detector, SiPM has the characteristics of high sensitivity, small size, low bias voltage and insensitivity to magnetic field. Widely used in medical imaging, particle detection, light detection and other fields. For PFA-supported calorimeter like ECAL in CEPC, SiPMs often form an array with scintillators to form a dense array of detectors. Therefore, it puts forward low power consumption, high integration, large dynamic range and time measurement capability for readout electronics. In this work, we design and implemented a front-end electronics whose electronics part is integrated with detector part on the same board and which has 144 channels are integrated in the 20cm x 20cm sensitive area. The results of electronic test indicate that the front-end electronics achieved dynamic range from 62fC –300pC for charge and time measurement resolution of 200ps. In addition, a cosmic ray detection experiment was done on this front-end electronics, which successfully separated MIPs from pedestal.

Summary

In this work, a SPIROC2b-based front-end electronics for 144 channels of SiPM readout is designed and implemented. Some electronics and cosmic ray tested have been done and show that the electronics works well.

Primary author: 赵, 申森 (University of Science and Technology of China)

Co-authors: 张, 云龙 (University of Science and Technology of China); 牛, 亚洲 (中国科学技术大学近代物理系); Dr 封, 常青 (University of Science and Technology of China); Prof. 刘, 建北 (University of Science and Technology of China); Prof. 刘, 树彬 (University of Science and Technology of China)

Contribution ID: **3** Type: **not specified**

针对 CEPC 硅像素探测器 JadePix 及 CPRE、VA 等芯片的高精度读出系统 C_HDDAQ 研制

设计了硅像素探测器 JadePix-1 的高精度读出系统 C_HDDAQ，适用于读出时钟频率中等、分辨要求高、读出通道多、总数据量大的半导体探测器读出应用，具有一定的通用性。采用“三段式”架构，读出子板对探测器模拟信号进行低噪声放大; 母板提供低噪声电源和多通道、高精度模数信号转换；商用开发板对系统进行控制和数据打包、处理，最终信号经 PCIe 总线传输到上位机。经测试，读出系统工作稳定，性能良好，系统噪声约 3.5 e-，满足 JadePix-1 读出需求，同时基于此系统对探测器芯片性能进行了一系列测试，得到芯片噪声水平、像素增益、电荷收集效率及功耗等参数，结果满足 CEPC CMOS 硅像素探测器项目指标。

Primary authors: Dr ZHU, Hongbo (IHEP); Mr WANG, Ke (Institute of high energy physics, CAS); SHI, Xin (IHEP); Prof. LIU, Zhen-an (IHEP); Ms WANGNA@IHEP.AC.CN, na (IHEP); 陶, 嘉 (高能所); Dr 张, 颖 (IHEP)

Contribution ID: **4** Type: **not specified**

单片有源像素芯片 ALPIDE 的原型读出电子学设计及测试进展

单片有源像素探测器（Monolithic Active Pixel Sensors，MAPS）作为一种新型的半导体探测器件，对于大型粒子物理实验的顶点探测（内层径迹探测）具有独特的优势，目前已经在国外的 STAR、ALICE 实验升级中获得应用，并将在下一代粒子物理实验（如 CEPC、STCF）中继续发挥不可替代的作用。

国外在多年就开始了 MAPS 的研发，目前发展得比较成熟、且性能指标领先的主要有法国斯特拉斯堡 IPHC 研究所的 MIMOSA 芯片、以及欧洲核子中心（CERN）的 ALPIDE 芯片等。国内的粒子物理界，包括高能物理研究所、华中师范大学、山东大学等单位近几年也启动了 MAPS 芯片的自主设计，已经取得了良好的进展。然而，未来要将硅像素探测器成功应用于国内的大型实验中，除了要开展芯片设计的技术攻关，提前在读出电子学方向开展预研也具有重要意义，需要探索的关键技术主要包括 MAPS 芯片与前端电子学板的集成工艺、海量像素通道所需要的高速数据传输和前端实时处理、以及后端数据获取的设计等。通过这些预研，不仅能够为将来国内的 MAPS 器件大规模工程应用积累经验，也可为当前国内的 MAPS 芯片设计团队的器件测试和实验应用提供有力支持。

本论文作者通过国家自然科学基金的支持、以及通过参与华中师范大学在国内牵头的“ALICE 实验硅像素探测器升级”重大国际合作项目，近两年来在中国科大开展了以 ALPIDE 为基础的 MAPS 芯片读出电子学研究，设计完成了一套原型读出电子学系统（主要包括 MAPS 芯片 Carrier 板、数据获取板、以及基于 Qt 的数据采集/实时图形显示软件），实现了对 pALPIDE3 及 ALPIDE 两个版本 MAPS 芯片的接口控制和数据读出，还采用 Fe-55 放射源、软 X 射线源等手段对 ALPIDE 芯片进行了测试，得到了该芯片的探测效率、时间分辨等一系列指标，并开展了 X 光成像应用的初步探索。

该课题的研究仍在进行当中，目前我们正在搭建一个由多层 MAPS 构成的原型径迹探测系统，并计划开展地面宇宙线测试和束流实验，同时还希望更进一步地探索将 MAPS 的应用拓展到小型空间粒子天文仪器（载荷）的径迹探测器中。

Primary author: Dr 封, 常青 (University of Science and Technology of China)

Co-authors: Mr LIU, Jun (Central China Normal University); 杨, 晨飞 (University of Science and Technology of China); Prof. 刘, 树彬 (University of Science and Technology of China)

Contribution ID: **5** Type: **not specified**

三维开阖式盒型电极探测器的设计以及性能研究

本文研究的三维开阖式盒型电极探测器，采用超纯高阻硅作为材料，其沟槽电极可以贯穿刻蚀至探测器的整个硅体，消除在传统的三维沟槽电极探测器中的低电场区域。通过比较仿真结果，可以得到最优化的设计。研究探测器的电学性能及其重要，尤其是决定探测器的应用环境以及在强辐照环境下的工作性能时，像大型粒子对撞机或超大型粒子对撞机中的应用。我们用 silvaco 中的 TCAD 来模拟探测器的电学性能，如电场强度，电势分布，I-V 特性，C-V 特性，电荷收集性能，全耗尽电压等。分析仿真结果后我们发现三维开阖式盒型电极探测器中的电场和电势分布十分均匀，探测器的电荷收集性能等符合设计要求，因而得出探测器能在强辐照环境下正常工作的结论。

Primary author: Ms LIU, Manwen (Ph.D)

Co-author: Prof. LI, Zheng (professor)

Contribution ID: **6** Type: **not specified**

新型低电容高阻硅像素探测器的三维仿真

摘要：本文的研究是通过减少探测器有效电极面积来减少探测器电容。我们设计了一种拥有新型电极（阴极）的像素探测器，它拥有的有效电极面积小于传统探测器的。我们模拟了该探测器电场分布、电势分布、电子浓度分布以及电容等探测器的电学特性。通过这些模拟，获得了探测器全耗尽电压（Vfd）。本文发现，在该探测器中，Vfd 值比传统电极形状的探测器要大，但电容比传统电极形状的探测器要小。

Primary authors: Mr GUO, qinwen (School of Materials Science and Engineering, Xiangtan University Xiangtan); Mr LI, zheng (School of Materials Science and Engineering, Xiangtan University Xiangtan)

Contribution ID: **7** Type: **not specified**

对不同辐射条件下圆柱形三维沟槽电极硅探测器电学性能的仿真模拟研究

我们主要研究了被不同剂量辐射过的圆柱形三维沟槽电极硅探测器电荷收集与粒子入射位置的关系，包括有无辐照条件对电荷收集的影响、不同质子辐照通量条件下的电荷收集。仿真结果表明：（1）对于没有受到辐射照射的探测器，电荷收集值不随最小电离粒子 (minimum ionizing particle，MIP) 入射位置而发生改变，即电荷收集值始终为一常数，不存在陷阱能级对漂移载流子的俘获现象；（2）对于受到辐射照射的探测器，电荷收集值与 MIP 入射位置有关；（3）随着辐照通量的增加，电荷收集值减少，这是因为由缺陷引起的电荷俘获率也随辐射剂量的增加而增加。

关键词：硅探测器辐照通量电荷收集电荷俘获

Primary author: KUANG, Fenglan (湘潭大学)

Co-authors: ZHAO, Jun (N); 刘, 曼文 (æ); Prof. 李, 正 (高能所)

Contribution ID: **8** Type: **not specified**

对三维沟槽电极硅探测器漏电流的仿真与模拟

我们主要研究了漏电流对三维沟槽电极硅探测器性能的影响。由扩散电流、产生电流和表面漏电流三部分电流构成的探测器漏电流在不同情况下所受各种电流影响不同。漏电流是影响探测器性能的一个重要因素，在探测器的制造过程中，或者受到辐照以后，会在探测器中形成一系列缺陷，特别是在探测器受到辐照以后，由于深能级缺陷引起的漏电流会显著增加，这是因为产生的缺陷能级在探测器中作为产生中心与复合中心，促进了载流子的跃迁。在本文仿真中可以看出，随着在负极（沟槽壁）上加的电压逐渐增大，漏电流会显著增大，直到漏电流达到饱和。在仿真中主要考虑的是产生电流的影响，其大小主要由耗尽区域的体积决定。

关键词：硅探测器辐照通量漏电流

Primary author: XIN, Xiaodong (湘潭大学)

Co-author: Prof. 李, 正 (高能所)

Contribution ID: **9** Type: **not specified**

互嵌式壳型电极探测器的三维电学性能仿真

本文提出了一种基于闭合式壳型电极探测器 (CSED, Closed Shell-Electrode Detector) 的互嵌式壳型电极探测器—(ISED，Interleaved Shell-Electrode Detector，中国专利 #zl201721077852.6)，通过减少死区来提高电荷收集效率。本文将对 ISED 的新设计理念进行详细的讨论。利用 SILVACO TCAD 工具对 ISED 的电学特性进行了三维模拟，包括电势分布和电场分布。在可形成有效阵列的“组合单元”中，ISED 由嵌套的壳型电极引入的死区是 CSED 中的一半。并且 ISED 单元中交错壳型电极引入的对电性能的干扰是最小的，并且低电场区保持在方形单元内的两个对角上。本文还对探测器的全耗尽电压、电容、击穿电压、I-V 和 C-V 特性进行了模拟，并给出了结果。

Summary

为了提高电荷收集效率和减少死区，本文提出了一种新型探测器——ISED。详细介绍了该器件的设计思想和具体参数。由结构引入的死区比例在三维沟槽电极硅探测器是 15%，在中 CSED 占 0.3%，而在 ISED 中仅占 0.15%。通过对 SILVACO TCAD 仿真结果的分析，得出饱和电容在 40 fF 左右时很低。探测器的全耗尽电压约为 1V，这使得在大约 214 伏特的击穿电压下使探测器工作成为可能。此外，由于探测器的击穿电压为 214 伏特，远大于几伏特的工作电压，因此探测器工作时几乎不可能被击穿。

Primary author: Ms YA, Zhang (XiangTan University)

Co-authors: Prof. ZHENG, Li (Xiangtan University); Mr CHUAN, Liao (Xiangtan University)

Contribution ID: **10** Type: **not specified**

三维沟槽 Si 探测器的可调中心采集电极

硅探测器广泛应用于高能和核物理实验，受到严重的辐射损伤，导致探测器性能下降。这些退化包括泄漏电流的显著增加、体电阻率、空间电荷浓度和自由载流子捕获。随着辐射剂量的不断增加，Si 探测器对这种超高辐射的耐受性越来越强。为了提高半导体探测器的辐射电阻，BNL 于 2005 年底提出了三维沟槽 Si 探测器结构。在对三维沟槽硅探测器的研究基础上，开发了可调的三维地沟硅检测仪的中央采集电极，以提高探测器的性能。新探测器单元的优点是可调，给出了两种调节方式。利用 3D TCAD 工具对探测器进行了仿真。研究了泄漏电流、自由载流子捕获和中心集电极变化的死区。

Primary author: Mr SHUNMAO, lu (湘潭大学)

Co-authors: Prof. ZHENG, Li (xiangtanuniversity); Mr CHUAN, Liao (xiangtan university)

Contribution ID: **11** Type: **not specified**

方形三维沟槽电极硅探测器相干性影响因素研究

为了研究方形三维沟槽电极硅探测器相邻单元之间相干性的影响因素问题，根据 Ramo 理论提出的电信号产生原理，本文以分析比重场为研究手段，利用仿真工具 Silvaco TCAD 仿真出方形三维沟槽电极硅探测器的结构，采取最小电离粒子（MIP）从探测器上部垂直入射的方式，通过改变高能粒子入射的位置和探测器的沟槽深度，来研究探测器相邻单元之间的相干性影响因素。

Primary author: Mr MA, Kuo (湘潭大学)

Co-authors: Mr LIAO, Chuan (湘潭大学); Mr LI, Zheng (湘潭大学)

Contribution ID: **12** Type: **not specified**

新型低电容硅像素探测器结构设计与模拟

传统的硅像素探测器阳极、阴极均被金属电极覆盖，较大的有效电极面积使得探测器的电容较大。而电容在探测器中是一个敏感因素，因为它直接影响到探测器工作的噪声与串扰。我们所设计的新型低电容硅像素探测器是在基于减少有效几何电极面积, 同时保持探测器有效体积不变的基础上提出。我们借助半导体器件仿真软件（Sentaurus TCAD）对探测器的电特性包括静电势、电场、电子浓度和电容进行了仿真。并与传统硅像素探测器对比，从而得到新型硅像素探测器比传统硅像素探测器电容小的优点。

Primary author: Mr 孙, 泽亮 (湘潭大学材料科学与工程学院)

Co-authors: Mr 龙, 强 (湘潭大学); Prof. 李, 正 (湘潭大学); Mr 郭, 秦文 (湘潭大学)

Contribution ID: **13** Type: **not specified**

变中央电极式三维沟槽电极硅探测器辐照损伤性能研究

本文以 TCAD-Silvaco 仿真为基础研究了不同结构变中央电极式三维沟槽电极硅探测器受辐照损伤的影响。其研究主要分为两部分：1、不同结构探测器漏电流受辐照损伤的影响；2、不同结构探测器全耗尽电压受辐照损伤的影响。最后通过研究给出了应用于高能物理实验的探测器要求。

Summary

在高能物理实验中，硅探测器的辐照损伤一直是研究的重点。但是由于实验环境与成本的限制，直接研究探测器的辐照损伤难度大。本文考虑辐照产生的位移损伤的宏观物理现象，运用 TCAD 器件仿真的方法，针对不同结构的变中央电极式三维沟槽电极硅探测器进行了辐照损伤研究。得到了不同结构探测器单元漏电流、全耗尽电压受辐照损伤影响的结果。最后给出了适用于高能物理实验的探测器单元结构。

Primary author: Mr LIAO, Chuan (Xiangtan University)

Co-author: Prof. LI, Zheng (Xiangtan University)

Presenters: Mr LIAO, Chuan (Xiangtan University); Prof. LI, Zheng (Xiangtan University)

Contribution ID: **14** Type: **not specified**

InP 基单片集成同一有源量子阱型探测器

为了实现片上微波信号的直接输出，我们提出了基于 InP/InGaAsP 材料体系探测器与激光器采用同一有源量子阱结构的集成方案。所制备探测器与 Fabry-Parot 激光器的集成器件共脊波导，采用湿法腐蚀加离子注入实现不同器件之间的电隔离，隔离电阻约为 60 kΩ。探测器在-3 V 反偏电压下, 暗电流低于 10 μA，C 波段的响应度大于 0.4 mA/mW, -3-dB 带宽大于 10 GHz，饱和输出电流大于 26 mA。

Primary author: Dr CHEN, Guangcan (Key Laboratory of Semiconductor Materials Science, Institute of Semiconductors, Chinese Academy of Sciences)

Co-authors: Prof. LU, Dan (Key Laboratory of Semiconductor Materials Science, Institute of Semiconductors, Chinese Academy of Sciences); Dr WANG, Huan (Key Laboratory of Semiconductor Materials Science, Institute of Semiconductors, Chinese Academy of Sciences); Prof. ZHAO, Lingjuan (Key Laboratory of Semiconductor Materials Science, Institute of Semiconductors, Chinese Academy of Sciences); Dr GUO, Lu (Key Laboratory of Semiconductor Materials Science, Institute of Semiconductors, Chinese Academy of Sciences); Dr ZHAO, Wu (Key Laboratory of Semiconductor Materials Science, Institute of Semiconductors, Chinese Academy of Sciences)

Presenter: Dr CHEN, Guangcan (Key Laboratory of Semiconductor Materials Science, Institute of Semiconductors, Chinese Academy of Sciences)

Contribution ID: **15** Type: **not specified**

新型低噪音 3D 像素探测仪的模拟与仿真

摘要：
信噪比是高性能探测器的重要参数，减少探测器噪声一直是科研人员研究探测器的主要目标。本文提出了一种新型的低电容硅像元探测器，其目的就是为了降低电子噪声，提高探测器性能。该探测器是一种新的电极几何结构，有效电极面积减小，结构新颖，同时保持敏感部分体积不变。本文利用三维软件 silvacoTCAD 对探测器的各种特性进行了详细的模拟，这些特性包括电场，电势，全耗尽电压和电容。通过这些仿真，模拟和计算，与传统探测器比较，得出了新的结论。

关键词：低噪声，像素探测仪，全耗尽电压

Primary author: Mr WANG, siyuan (湘潭大学)

Co-author: Prof. 李, 正 (高能所)

Contribution ID: **16** Type: **not specified**

New radiation hard 3D-Trench electrode detector using low resistivity N-type silicon bulk material

Space Charge Sign Inversion(SCSI) fluences (φ) of detectors using various low resistivity N-type Silicon bulk material have been calculated. For a given value of (N) in set of 5.00×1013, 1.00×1014, 5.00×1014, 1.00×1015 neq/cm2 (neq:1 MeV neutron equivalent), we used the the oretical calculated full depletion voltage for 3D-Trench electrode detector (V) to determination the corresponding electrode spacing (L). By setting V(≤200V) to get the corresponding electrode spacing. Following, the Silvaco TCAD is used to study various properties of the detector, using various L values. Simulated detector electrical properties include detector electric potential , electric field, electron concentration, full depletion voltage, leakage current, and capacitance.

Summary

As an example, for a 3D-Trench electrode silicon detector with an initial doping concentration of N=1*1014cm2, the calculated SCSI fluence is φ= 1.14*1015neq/cm2. If we chose an electrode spacing of L=50μm for this detector, then the detector will not not reach SCSI up to a fluence of 1.14*1015neq/cm2 and the detector full depletion voltage is 134 V according to our calculation. This detector will be therefore radiation hard up to 1.14*1015neq/cm2 under a working bias voltage of 134 V. Full 3D TCAD simulations have shown that, for the 3D-Trench electrode silicon detector with an initial doping concentration of N=1*1014cm2, and an electrode spacing of L=50μm, the detector is fully depleted under a bias of 134 V, in excellent agreement with our calculations. Similar works have been done for detectors with other initial doping concentrations.

Primary author: Ms LIU, Meiping (Xiangtan University)

Co-author: Prof. LI, Zheng (Xiangtan University)

Presenter: Ms LIU, Meiping (Xiangtan University)

Contribution ID: **17** Type: **not specified**

一种全集成通道级双输出线性稳压器设计

像素型传感器的读出通道数随像素面阵增加，当芯片面积较大时，片上电源线和地线上的寄生将不能忽视。这些寄生参数使得通道间串扰更为严重，甚至引入读出电路的反馈回路中，从而造成电路发生振荡，无法正常工作。为了解决该难题，本文提出了一种可全集成在一个通道内的双输出线性稳压器。这样每个通道之间的电源相互隔离，可以减少串扰，也避免走线寄生对读出电路造成影响。该稳压器可以分别输出模拟电路电源和数字电路电源，避免数字电路对模拟电路的干扰。为了减小芯片面积，稳压器的两路输出复用了部分电路。所提出的电路采用 0.25μm 商用标准 CMOS 工艺实现。芯片面积为 480$\mu m \times 153\mu m$。消耗的静态电流为 25μA。最大负载电流为 2mA。

Primary author: 王, 佳 (西北工业大学)

Co-authors: WEI, Xiaomin (N); Prof. 胡, 永才 (西北工业大学); Prof. 郑, 然 (西北工业大学)

Presenter: 王, 佳 (西北工业大学)

Contribution ID: **18** Type: **not specified**

辐照对 PMOS 剂量计的零温度系数点影响的研究

作为一种半导体器件，MOSFET 的阈值电压对环境温度有密切的依赖关系，同时，辐射感生氧化层正电荷和界面态的生产和退火过程也受到温度的强烈影响。在 PMOS 剂量计的应用的许多场合，如航天器内、外环境中，温度有较大的变化范围。因此，温度补偿技术对测量结果的影响是 PMOS 剂量计应用中面临的一个重要的关键技术难点。目前在国内外 PMOS 剂量计技术中利用“零温度系数点”，通过选择器件的工作电流，我们就可以在不增加系统复杂性的下克服由于温度效应带来的 PMOSFET 阈电压的变化。但这种方法也有其局限性，如器件的结构和累积辐照剂量等因素直接影响了零温度系数技术的温度校正效果。因此，研究零温度系数技术应用于 POMS 剂量计的性能，为最大限度的减少剂量监测就显得尤为重要。

本研究采用的零温度系数点的测试方法是在-25℃ ~ 55℃ 范围内选出-25℃、0℃、室温、+55℃ 这 4 个恒定温度点下进行测试。将 PMOS 管的漏极接-5V(该电压值以确保 PMOS 管工作在恒流区)，改变栅极电压值从 0.5V 到-12V，在各个温度点平衡后 30min 后，测出源极电流表的电流值。此次实验共分 4 个温度点，根据所得到的 4 条不同温度下 I-V 曲线簇的一个交叉区间，找出重合的部分，确定零温度系数点。

Primary author: Mrs 孙静, 孙 (中国科学院新疆理化技术研究所)

Presenter: Mrs 孙静, 孙 (中国科学院新疆理化技术研究所)

Contribution ID: **19** Type: **not specified**

Si-PIN 探测器用低噪声高计数率前端读出 ASIC 芯片的设计与性能评估

针对电子个人剂量计对计数型二进制输出前端读出 ASIC 的设计需求，介绍了一种面向 Si-PIN 探测器应用的低噪声、低功耗和高计数率前端读出专用集成电路（ASIC）的设计技术，同时给出了该 ASIC 的性能测试结果。该 ASIC 包括四个具有数字接口的模拟前端通道。每个通道主要包括电荷灵敏放大器、有源滤波成形器、输出缓冲器、甄别器和数模转换器。为方便 MCU 控制，该 ASIC 采用标准的 I2C 接口和寄存器进行数据配置。在超低功耗和高计数率条件下，对 ASIC 进行低噪声设计是极具挑战的, 本文对等效噪声电荷（ENC）的建模进行了讨论，给出了低噪声优化电路设计方法。采用 0.35μm CMOS 混合信号工艺设计了一款原理样片，该芯片尺寸为 2.4 mm×2.4 mm，测试结果如下：输入电荷为 0.2fC ~ 15fC，等效噪声电荷为 139 e-＋ 19 e-/pF，功耗约为 1.25mW/通道，最大计数率可达 1MCount/s。测试结果表明，设计的 ASIC 能够很好地满足电子个人剂量计的需求，并能应用于其他辐射探测器系统。

Summary

介绍：电子个人剂量计（EPD）是用于核电站、核医学和核材料搜索领域的辐射测量仪器。它探测 X 射线和 γ 射线的能量范围在 keV 到 MeV 之间。该仪器的工作原理是首先对核辐射产生的脉冲信号进行计数，然后利用计数剂量转换因子测量出等效剂量值。一般利用 Si-PIN 探测器探测低能量射线，如几个 keV 的 X 射线。由于 EPD 是一种由电池供电的便携式设备，小尺寸和低功耗是其发展的关键。为了实现低噪声、低功耗、小体积，需要前端读出专用集成电路（ASIC）读出来自 Si-PIN 探测器的微弱电流信号。在该应用中，为了检测出良好的 keV 射线能量谱分辨率，功耗小于 2 mW/通道（尽可能的小）的条件下，ASIC 的等效噪声电荷（ENC）需要小于 100 e-（rms）。同时，需要满足大约 106 的计数率，这对 ASIC 的设计是一个巨大的挑战。在本文中，我们提出了一种新的具有数字接口和二进制输出的四通道前端读出 ASIC 设计方法，适用于西门子 Si-PIN 探测器。探测器和仪器如图 1 所示。参考电压由数字-模拟转换器（DAC）控制，其输入数据由数字 I2C 接口配置。由于探测器电容为 20 pF，将对噪声进行分析和优化。ASIC 原型采用 TSMC 0.35μm 混合信号 CMOS 工艺实现，正在测试中。

前端 ASIC 结构及电路描述：提出的前端电路结构如图 2 所示。它由四个读出通道电路和外围模块组成。在单个读出通道中，集成了诸如电荷灵敏放大器（CSA）、有源滤波成形器、输出缓冲器、甄别器和 DAC 等典型模拟前端电路。提出了一种具有分支拓扑结构的 PMOS 输入型 CSA 作为前置放大器。CSA 的输入端与 Si-PIN 检测器的阳极交流耦合相连。有源滤波成形器由 CR-RC 滤波成形器实现，接着是 Sallen-Key（SK）低通滤波器。成形器的峰值时间为 250 纳秒。甄别器由具有迟滞功能的三级高分辨率比较器实现，迟滞电压约为 5 mV，比较器的阈值电压由基于 R-2R 拓扑结构的 6 位 DAC 配置。采用偏置电流为 20μA 的对称差分运算放大器来降低功耗。每个通道中的所有模拟电路都有两种偏置方式，即内部偏置电流和外部偏置电流，内部偏置电流由集成的带隙基准电路产生。整个 ASIC 的控制寄存器是 40 位。此外，为了减少焊盘数目，寄存器由 I2C 接口配置，在 ASIC 中集成了 I2C 从控制器。

噪声和 ENC 优化：超低功耗和高计数率下的低噪声设计对于所提出的 ASIC 来说是极具挑战的。在电路设计之前先进行了 ENC 建模，考虑了来自探测器、模拟前端和电源的噪声源，最后计算得出 ENC 方程。仿真结果如图 3 所示，给出了 ENC（Z 轴）与成形时间（X 轴）和探测器电容（Y 轴）的理论噪声水平。通过仿真结果可知，最低噪声条件为 250ns 的成形时间，输入晶体管的 W/L 比为 2000μm/0.4μm。CSA、CR-RC 成形器和 SK 滤波器的偏置电流分别为 200μA、50μA 和 20μA。

芯片性能测试与评估：在 0.35μm 3.3V CMOS 工艺中设计并实现了前端 ASIC（命名为 SENSROC 12）。在该芯片中，有四个读出通道、两个 dummy 通道、偏置电路、带隙基准电路和 I2C 接口电路。芯片尺寸为 2.4 毫米 ×2.4 毫米，芯片的显微照片如图 4 所示。测试的 PCB 系统如图 5 所示。ASIC 正在测试中。初步测试结果显示在图 6 和图 7 中。输入范围约为 0.2fC ~ 15fC，成形时间约为 250ns，ENC 为 139 e- + 19 e-/pF，计数率可达 1MHz，静态功耗约为 1.25 mW/通道。测试结果表明，所提出的 ASIC 能够很好地满足 EPD 和其他辐射探测器系统的要求。

Primary author: Ms 段, 懿玮 (西北工业大学)

Co-author: Prof. 高, 武 (西北工业大学)

Presenter: Ms 段, 懿玮 (西北工业大学)