

CMOS设计计划与进展

卢云鹏

2018-9-28

讨论内容

- 讨论要点：
 - 设计目标
 - 时间表
 - 前端电路优化设计
 - Rolling shutter架构优化设计
 - 零压缩模块优化设计
 - 外围电路模块优化设计
 - 初步设计方案

设计目标

- 优先级从高到低：
- 空间分辨率：
 - $< 3\mu\text{m}$
 - 像素尺寸暂定 $16\mu\text{m} * 20\mu\text{m}$
 - $\text{FPN} < 20\text{e}$
- 功耗：
 - $100\text{mW}/\text{cm}^2$ （科技部验收指标）
 - 可测量
- 读出速度：
 - $100\text{ns}/\text{row}$ （科技部验收指标）
 - 可测量
- TID辐照损伤

时间表

- ~~2018.10.31~~ 11.7:
 - 完成模块原理图设计
 - 完成像素Layout设计
- 2018.11.30:
 - 完成整体原理图设计
 - 完成模块Layout设计
- 2018.12.31:
 - 完成整体Layout设计
 - 继续进行模块优化设计

讨论记录:

- 张颖建议尽早完成像素的layout，以评估面积；因此修改了10.31相关的时间表

前端电路优化设计

- 优化目标：
 - FPN, 面积, TID
- 人员落实：
 - 任伟平?
 - 张颖?

Walter Snoeys, Comments on CEPC CDR 1st draft:

The density can be obtained with a smaller line width technology, although further development in TJ and SOI with modifications on the architecture may actually succeed integrating the pixel in a much smaller area even without a smaller line width. **The area savings may actually be in the front end, where the filtering capacitor is at present quite large**, and/or in the architecture.

讨论记录:

- 张颖和任伟平承担这部分工作
- 杨莘指出长的成形时间会增加pile up, 卢云鹏认为0.1%的occupancy发生pile up的概率很小。

Rolling shutter架构优化设计

- 优化目标：
 - 时序，功耗，面积
- 人员落实：
 - 周扬？

讨论记录:

- 周扬承担这部分工作

零压缩模块优化设计

- 优化目标：
 - 时序，功耗
- 人员落实：
 - 肖乐？
 - 周扬？

讨论记录:

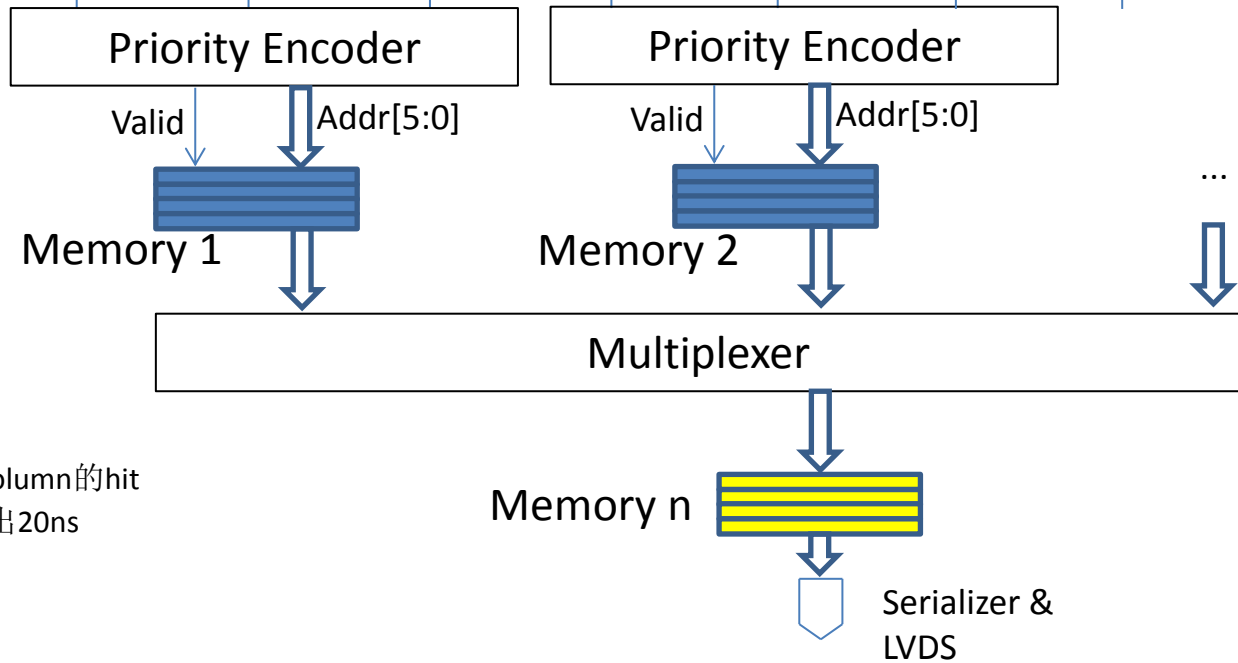
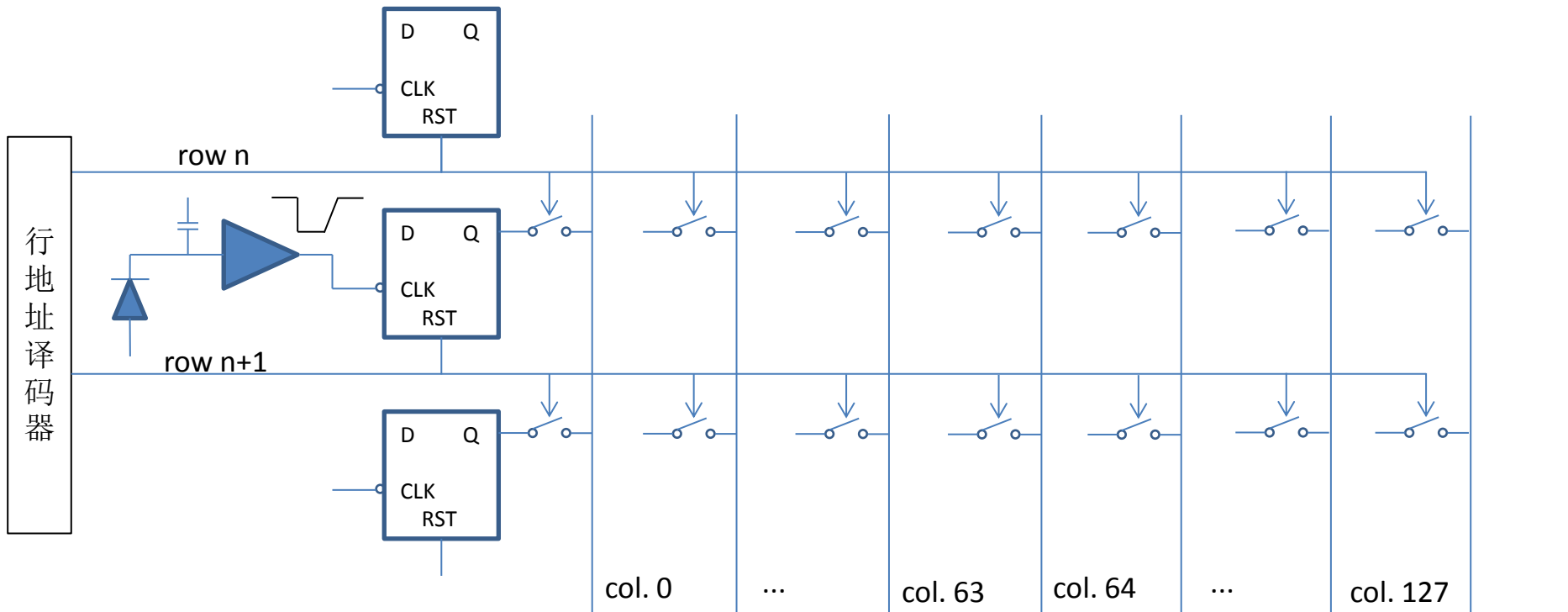
- 孙向明尚未确认肖乐是否承担这部分工作
- 周扬可以参与这部分工作，但没有数字流程的相关经验

外围电路模块优化设计

- Customized PAD, LVDS, DAC, Band gap
- 优化目标：
 - 电性能, TID辐照损伤
- 人员落实：
 - ?

讨论记录:

- 杨苹负责承担这部分工作



初步设计方案

- D触发器
- 行地址译码
- Priority Encoder
 - 零压缩
 - 在一个行扫描时间内处理64 column的hit
 - 例如行扫描100ns, 每个hit读出20ns
- Multiplexer由FPGA控制
 - 灵活选择读出区域, 方便测试

讨论记录:

- 杨苹提出像素内的enable和pulse flag两个锁存器很有用，MIC4的测试中得到验证
- 周扬提出优先级编码器前面需要增加一级输入寄存器
- 张颖提出行扫描控制用行地址解码器会不会有问题？卢云鹏指出在SOI设计里面是常规用法