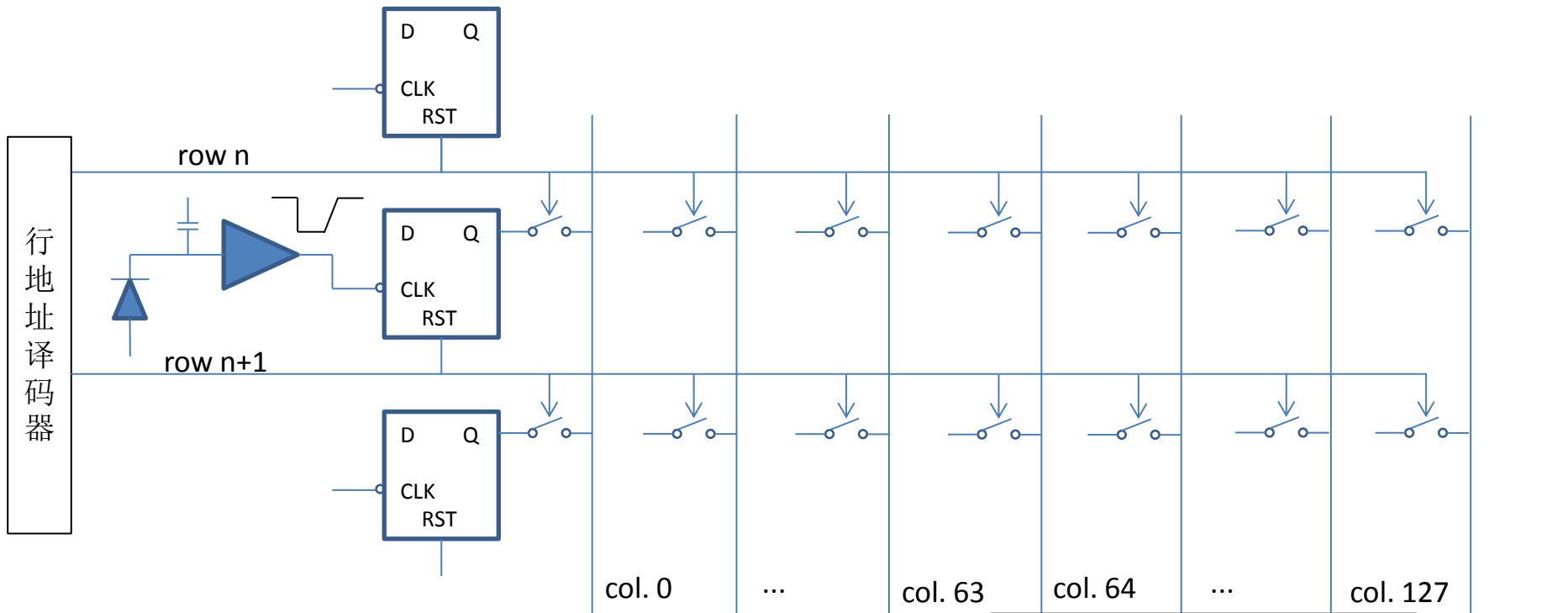


零压缩和数据读出方法

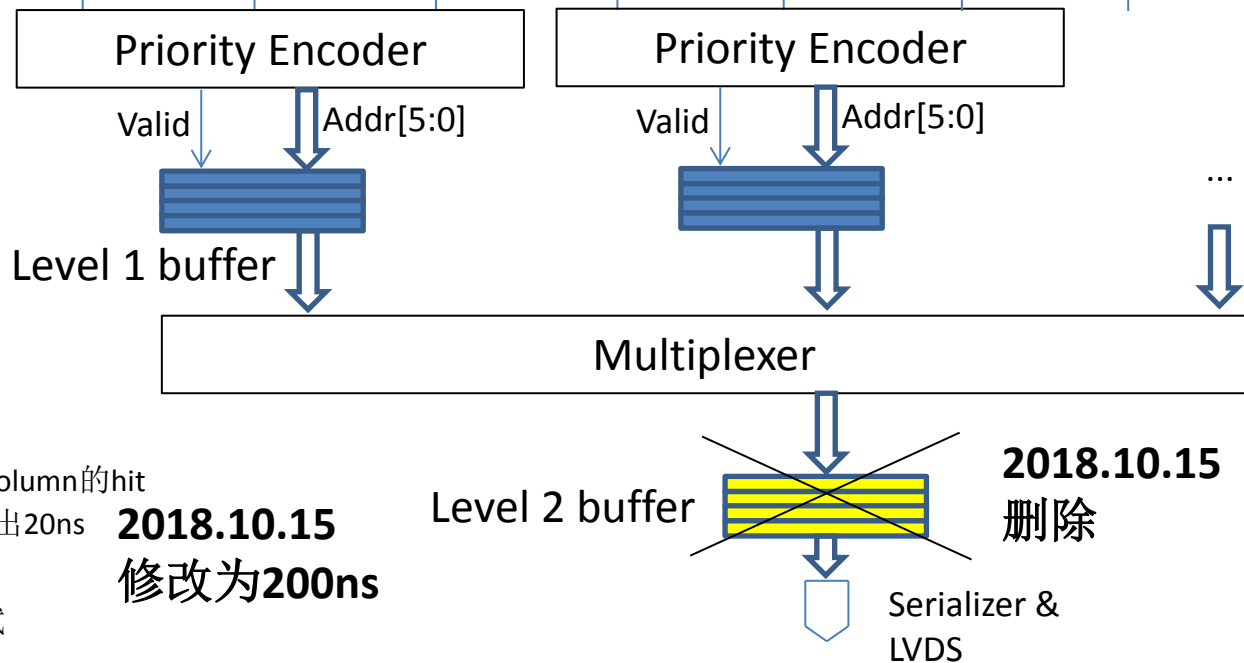
卢云鹏

2018-10-17



初步设计方案

- D触发器
- 行地址译码
- Priority Encoder
 - 零压缩
 - 在一个行扫描时间内处理64 column的hit
 - 例如行扫描100ns, 每个hit读出20ns
- Multiplexer由FPGA控制
 - 灵活选择读出区域, 方便测试

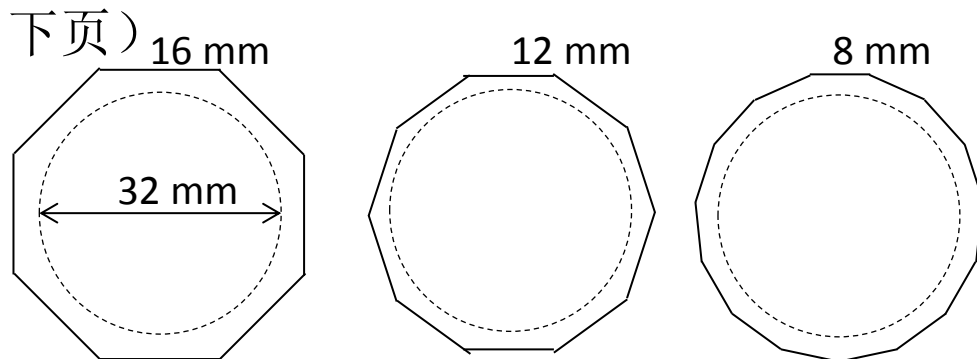
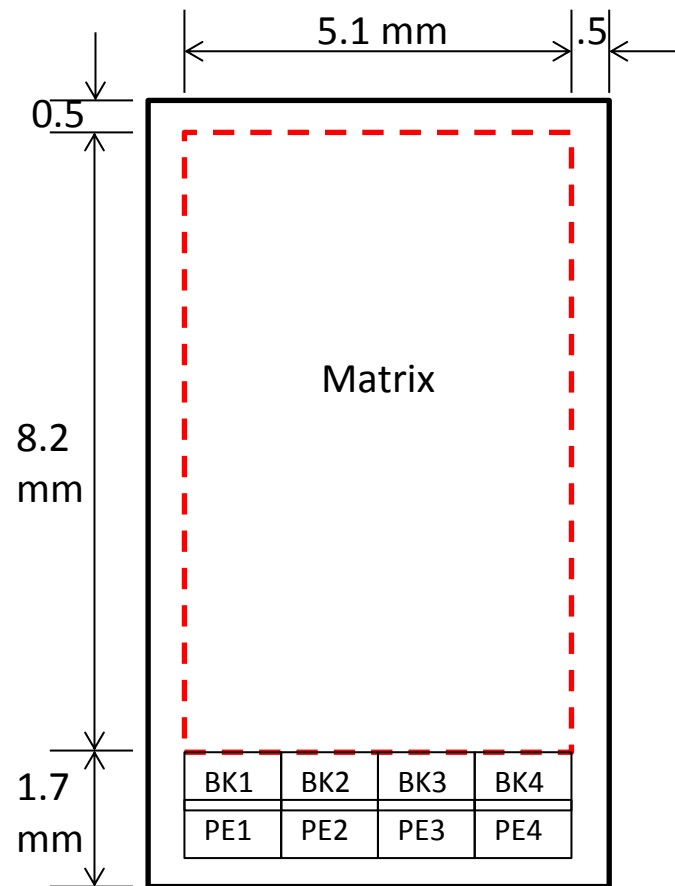


2018.10.15
修改为200ns

2018.10.15
删除

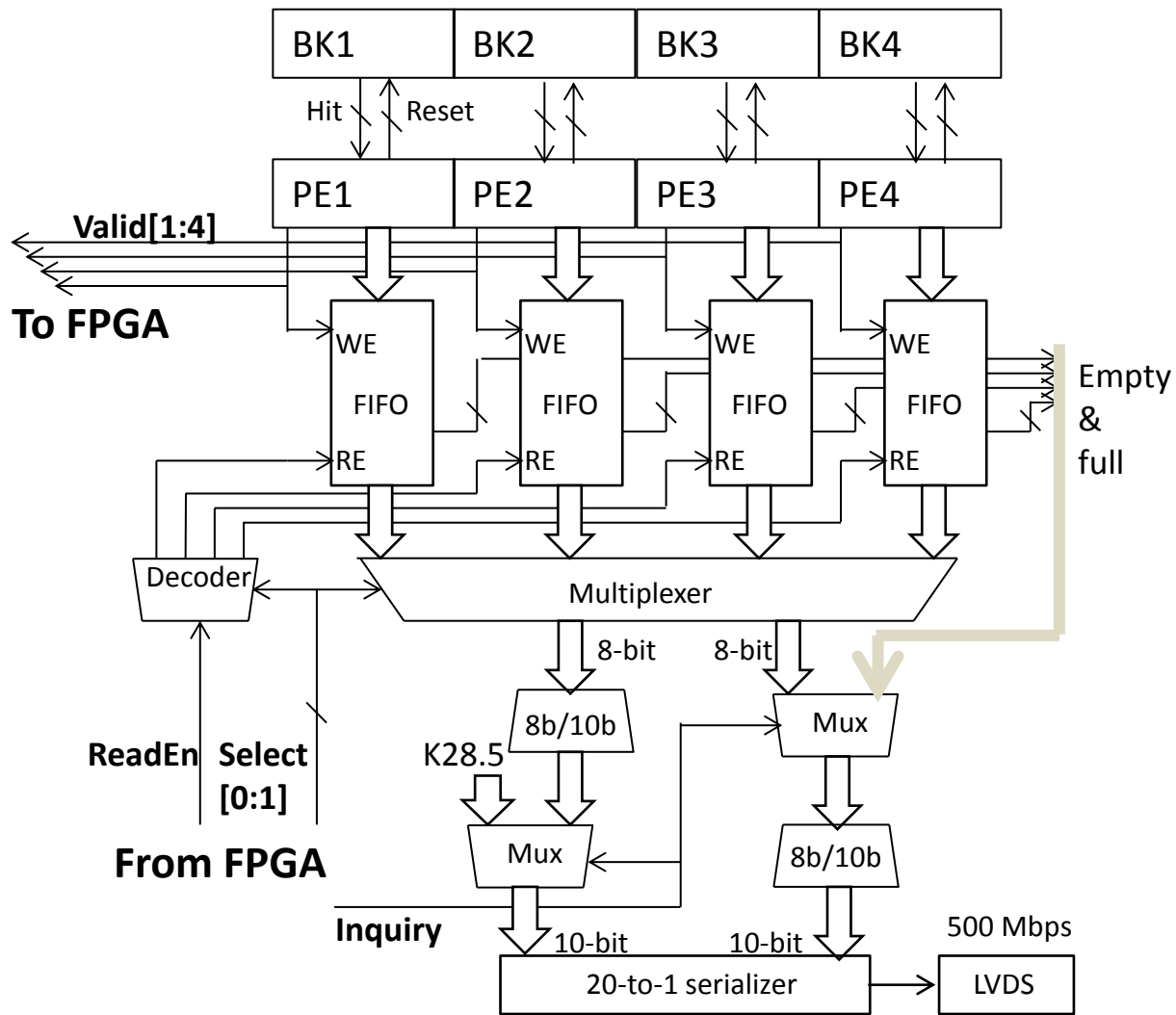
基于Priority Encoder的零压缩实现方法

- 阵列规模的估计
 - 芯片面积 $6.1 \times 10.4 \text{ mm}^2$;
 - 像素尺寸 $16(\text{高}) \times 20(\text{宽}) \text{ um}^2$;
 - 512行, 256列
- Pixel hit probability
 - 1% per 100 us @ H (240 GeV)
 - ~~3.12% per 100 us @ W (160 GeV)~~
 - ~~2.88% per 100 us @ Z (90 GeV)~~
- 每64列的输出存入64-bit的寄存器Bank
 - Bank中的平均击中数: $64 \times 1\% = 0.64$;
 - 与之对应的Priority Encoder (PE) 处理能力:
 - 1) 最大10 readout per 200ns (行扫描时间);
 - 2) 超过10个的hit丢失, 局部的Occupancy > 15.6%;
- PE输出地址到Level 1数据缓存 (下页)
 - 行地址 (9-bit) + 列地址 (6-bit)



数据读出实现方法

- 每个Bank配备独立的Level 1缓存
 - 50 MHz同步FIFO（先入先出）
 - 字宽15位，深度27字
- 取消了Level 2缓存
 - 4个bank的总击中数仅为2.56 per 200ns
 - 以25 MHz的频率从4个Level 1缓存轮流读出即可
- Multiplexer的控制
 - PE的Valid信号输出到FPGA
 - 由FPGA产生Multiplexer的控制开关Select[0:1]
 - 方便测试，工程批设计再移到芯片内部实现
- 8b/10b编码和并串转换
 - 15位数据经过8b/10b编码变为20位，通过20-to-1的并串转换送到LVDS transmitter
 - 当外部输入inquiry信号时，停止发送数据，转而发送K28.5和8bit FIFO状态信息
- LVDS transmitter
 - $20 \text{ bit} * 25 \text{ MHz} = 500 \text{ Mbps}$



优点

- 省面积
- 省功耗
- 可扩展性好
- 可测试性强

讨论记录

- 前端电路：
 - 张颖：低电流20nA的设计下周可以开始，应该比较快
 - 杨苹：TID的改善通过环形栅，MIC4的前端设计需要进一步改进，负责跟任伟平沟通；
- 触发器：
 - 周扬：库里的D触发器16um*7um；
 - 杨苹：MIC4里面3个触发器总共10um*12um；
 - 张颖：PDK里面新的数字库，比较小
- 像素Layout面积评估
 - 杨苹：用MIC4的模块来组合尝试
- 零压缩和数据读出
 - 肖乐：跟斯堡方案进行比较；需要确认FPGA是否能够实现500MHz的解码和串并转换，可以用close-loop测试；
 - 张颖：电子学组用的300MHz，会进一步确认；
- DAC
 - 杨苹：负偏压影响NMOS的阈值电流，需要调整DAC的动态范围

讨论记录

- 修改工艺：
 - 张颖：使用修改工艺的话，不影响阵列部分；背面加偏压
 - 欧阳群：抗辐照能力提高，有可能会有禁运的问题