

2018年CMOS流片计划讨论

卢云鹏

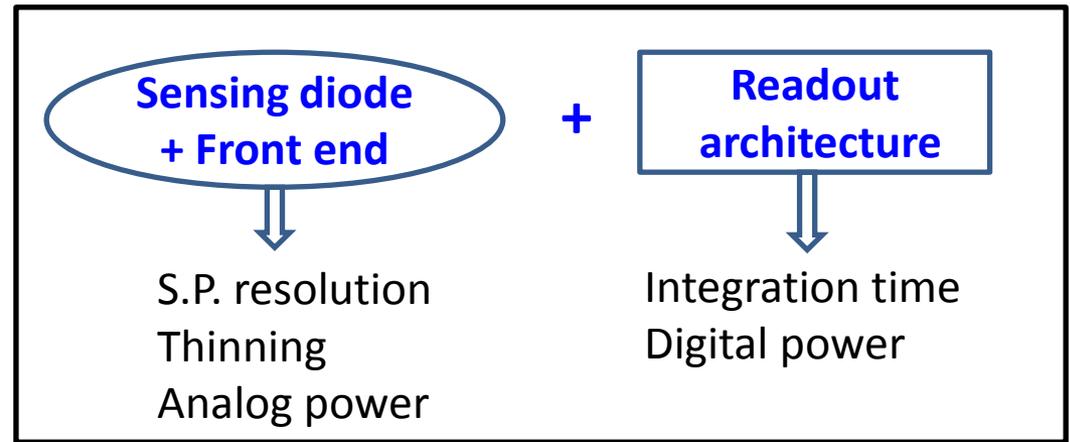
2018-7-2

讨论内容

- 技术路线回顾
- 讨论要点：
 - 流片面积
 - 2017流片的设计资源复用
 - 2017流片的设计改进
 - MOST2协同设计的可能性
 - 对比Rolling Shutter和Token Ring
 - Design for test
 - 测试系统的整合

R&D roadmap

Christine HU-GUO, Yunpeng LU



First stage

- **Sensing diode + Front end**, enable the study of
 - S.P. resolution, $\sim 3\mu\text{m}$
 - Thinning, $\sim 50\mu\text{m}$
 - Analog power, $< 20\text{mW}/\text{cm}^2$
- **Readout architecture**, dominates
 - Integration time, $< 20\text{ us}$ (for instance, 1 us)
 - Digital power, $< 40\text{mW}/\text{cm}^2$
- New process of small feature size / 3D integration / cooling

Second stage

- Converged to one optimized design

Applicable to SOI and CPS!

Spatial resolution

- Binary readout的spatial resolution:

$$\frac{0.5pitch}{\sqrt{12}} < S.P.resolution < \frac{pitch}{\sqrt{12}}$$

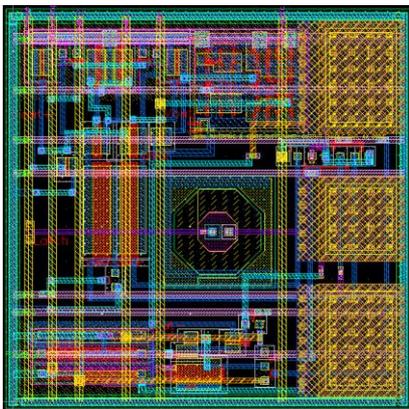
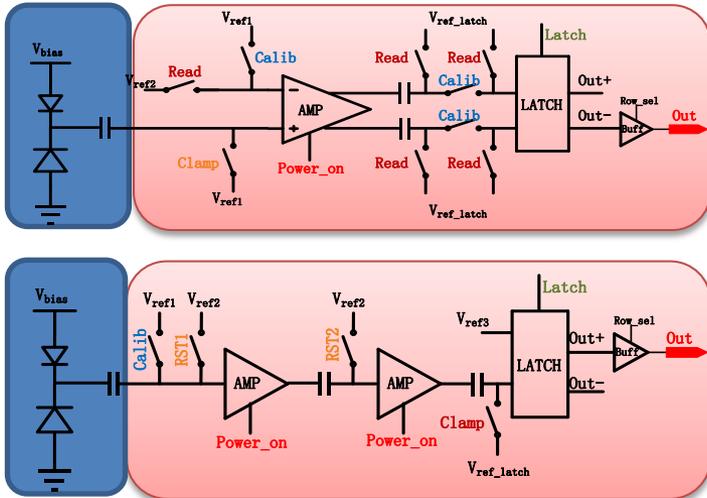
- 以S.P. resolution = $2.8\mu m$ 为出发点:

$$9.7\mu m < pitch < 19.4\mu m$$

- 同时兼顾fast readout, low power, radiation hardness.
 - 这与我们之前的策略有什么不同?

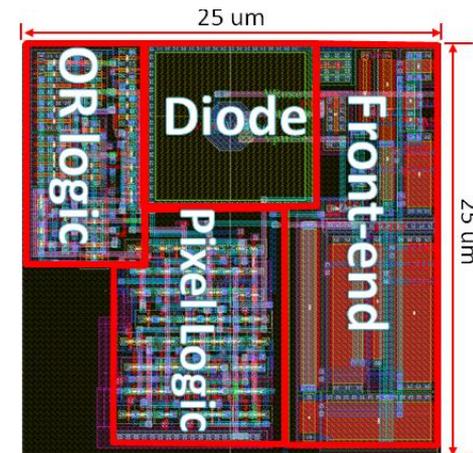
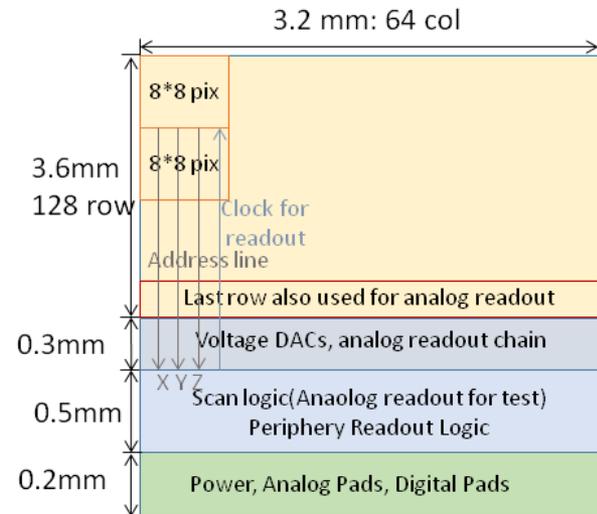
Designs submitted in 2017

- Rolling shutter



$22 \times 22 \mu\text{m}^2/\text{pixel}$

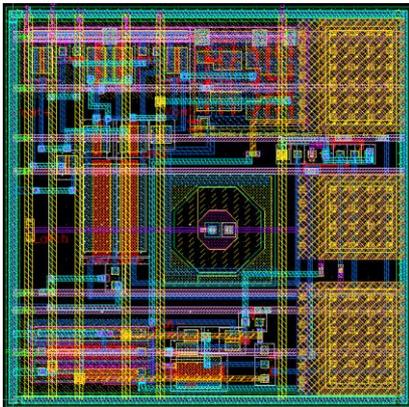
- Fast-OR + AERD



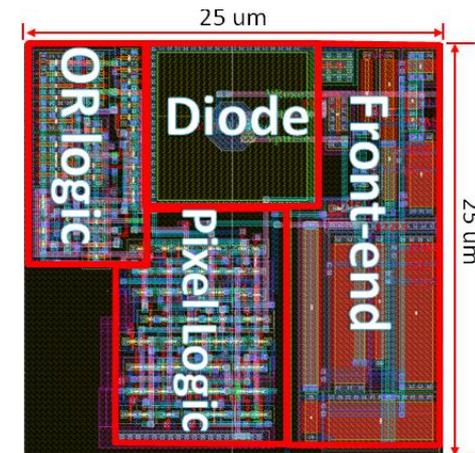
$25 \times 25 \mu\text{m}^2/\text{pixel}$

Designs submitted in 2017

- Rolling shutter
 - 怎样进一步缩小尺寸？
 - 怎样与data-driven readout兼容？
- Fast-OR + AERD
 - 怎样进一步缩小尺寸？
 - 怎样解决大阵列的读出速度问题？



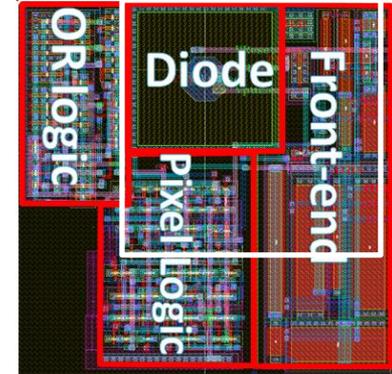
$22 \times 22 \mu\text{m}^2/\text{pixel}$



$25 \times 25 \mu\text{m}^2/\text{pixel}$

Proposal for next submission

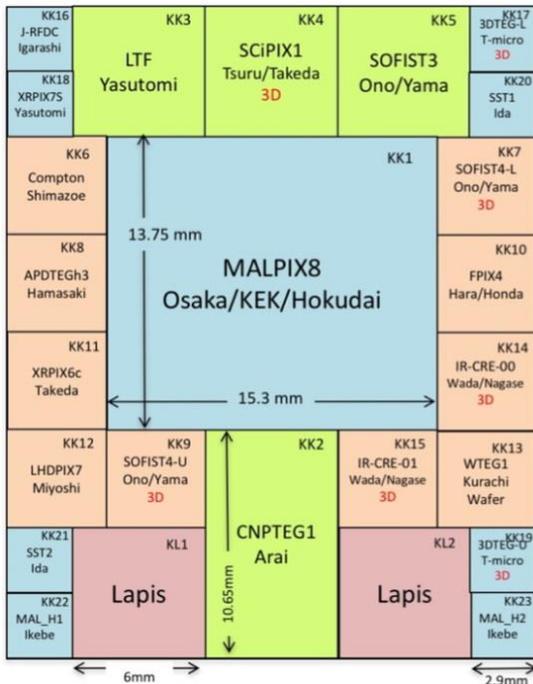
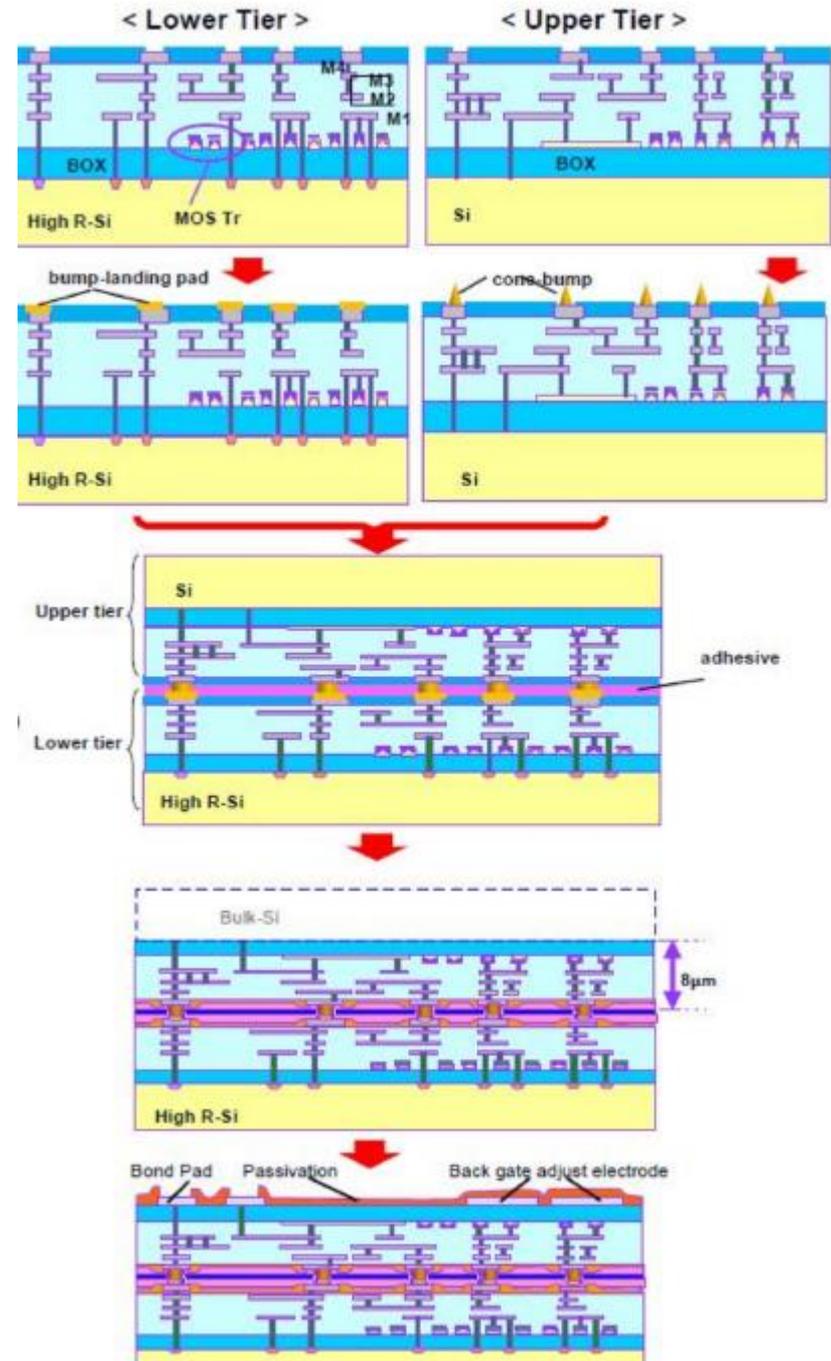
- Plan A: Alpide front-end + Token-ring
 - CSA design by Ying Zhang
 - MIC4的Diode+FE+OR logic是个很好的估计
 - Readout time limited by the token-ring delay



- Plan B: Alpide front-end + Rolling-shutter
 - Simplified readout sequence
 - In parallel with 3D integration study that will hopefully enable data-driven readout on the second tier for digital parts.

3D integration

- Lower Tier (Sensor + Analog)
 - CPS or SOI
- Upper Tier (Digital)
 - SOI
- MPW available through SOIPIX



FY17-1 MX2166 SOI MPW Floor Plan 2017.6 Submission

Dicing Plan, チップ位置は変わる可能性があります。

There are 0.2mm scribe lines between chips.
2017.6.22 v.6b Y.Arai

流片面积

- 根据IPHC访问期间的讨论，6mm*31mm可用于小面积芯片
 - 如果6mm<高度<8mm，需要尽早跟IPHC商量
 - 按照50mm²约定，高=6mm，宽=8mm？
- 讨论记录：
 - 跟IPHC郭超英老师实时沟通，初步确定为高6mm，宽度10.4mm

2017的流片资源复用

- 前端设计：ALPIDE, CSA, Differential/single-ended amplifier
- 读出设计：Rolling Shutter, AERD
- 外围设计：Customized PAD, LVDS, DAC, Band gap
- 零压缩
- 讨论记录：
 - 见下一页“2017流片的设计改进”讨论记录

2017流片的设计改进

- 基于MIC4和JadePix2的测试结果
- JadePix1中Sensor设计部分的经验
- [讨论记录:](#)
 - 杨苹的观点是MIC4中的模拟前端设计测试结果比较理想，与仿真比较一致； $FPN=31e^-$ 可在MOS管尺寸方面进一步优化；抗辐照能力可从阈值电流支路入手进行增强设计；为负偏压而修改过的PAD功能正常，性能极限待验证；FastOR读出结构不适合大面积芯片，负载大，降低读出速度；外围电路的功耗需要优化，数字编码的功耗可通过增加SRAM缓存降低，编码方法，LVDS设计，电压DAC和Bandgap需进一步优化。
 - 张颖在MIC4中设计的CSA模拟前端噪声 $20e^-$ 左右，符合预期； $FPN120e^-$ ，主要原因是 C_f 小，受寄生电容影响大；存在串扰问题，对模拟波形有影响，尤其是下降时间比设计值大一个量级的情况下。与ALPIDE前端比较，虽然具有功耗小的优点，但是噪声和FPN大。
 - 周扬在JadePix2的像素设计中的MIM电容可以跟sensing diode重叠放置，从而进一步减小面积；正偏压与负偏压方式不矛盾；ALPIDE前端+RollingShutter的方式可以比JadePix2达到更高的读出速度，提高5-10倍；RollingShutter控制逻辑的灵活性要尽量保留到FPGA中实现，有利于测试。

MOST2协同设计的可能性

- 模拟前端，读出方案
- 偏压方式
- 讨论记录:
 - 张颖介绍了MOST2的设计方案进展情况，采用ALPIDE阵列，增加外围缓存和触发功能，以降低读出带宽。主要针对空间分辨率和抗辐照指标，明年5月份流片。
 - 张颖将负责模拟前端设计。
 - 张亮说明山东大学在MOST2中的主要任务是测试；就设计而言，他对模拟部分感兴趣。

Rolling shutter和Token ring的对比

- 速度，功耗，面积等
- [讨论记录：](#)
 - 杨苹负责Token ring的评估
 - 张颖负责Rolling shutter的评估

Design for Test

- 模拟读出像素是否必须?
- 能不能不用ADC读出，只用示波器采集波形?
 - 对测试系统的要求有很大影响
- 每个part需要能够单独验证，避免存在show blocker.
 - 例如零压缩可以作为功能验证模块，但也应该可以bypass
- 讨论记录:
 - MIC4的测试系统没有采用ADC读出，而是用示波器采集模拟输出波形
 - 周扬也认为ADC读出不是必须的

测试系统的整合

- 目前的测试系统包括：华师，SEABAS，王科
 - 互相不能兼容
 - 同系列芯片不能兼容
- SOI另外一套测试系统基于KC705，与王科的系统平台一样
- 讨论记录：
 - 杨苹介绍了华师MIC4 测试系统的开发情况，FPGA固件目前是张冬亮老师临危受命，后续开发工作需要有人接替；
 - 欧阳群老师提议可以跟山大和科大探讨合作开发测试系统；