

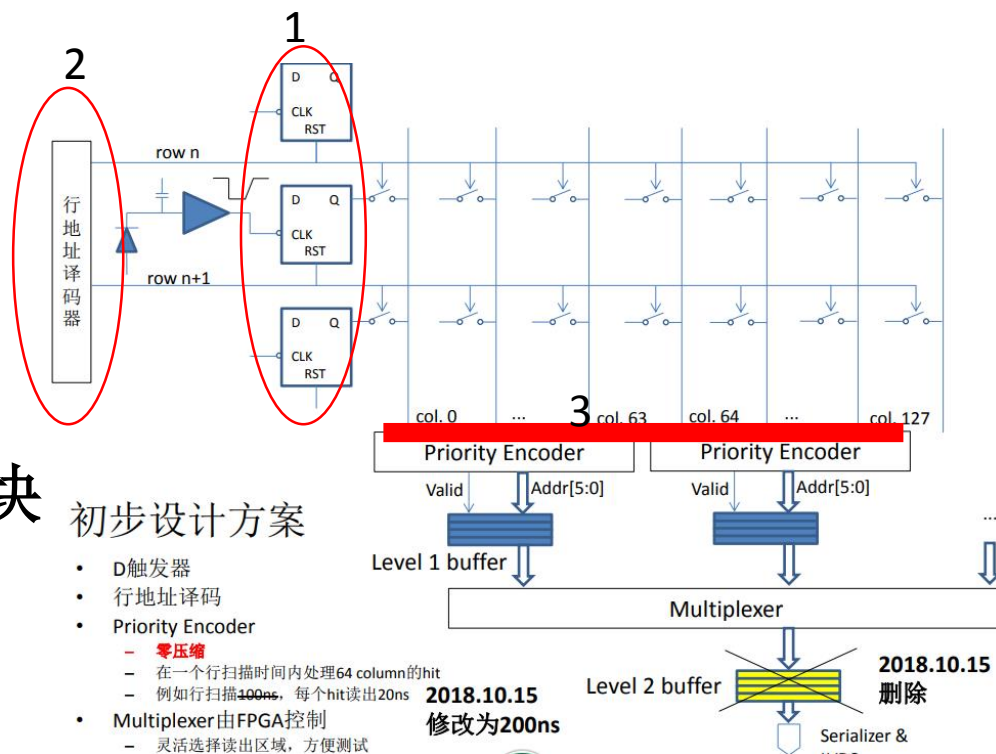
像素面阵读出时序模块设计说明和功能仿真结果

2018/11/22 ZHOU Yang

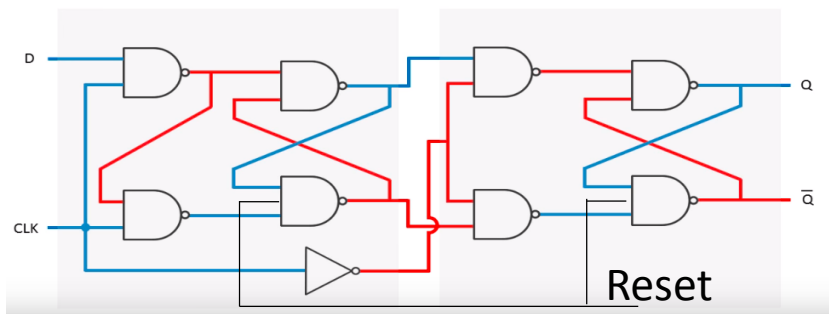
1. 像素内DFF设计

2. 行地址译码模块

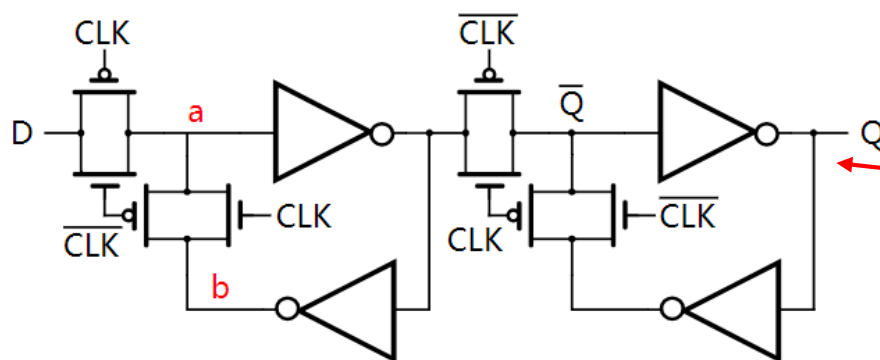
3. 面阵底部一级缓存模块



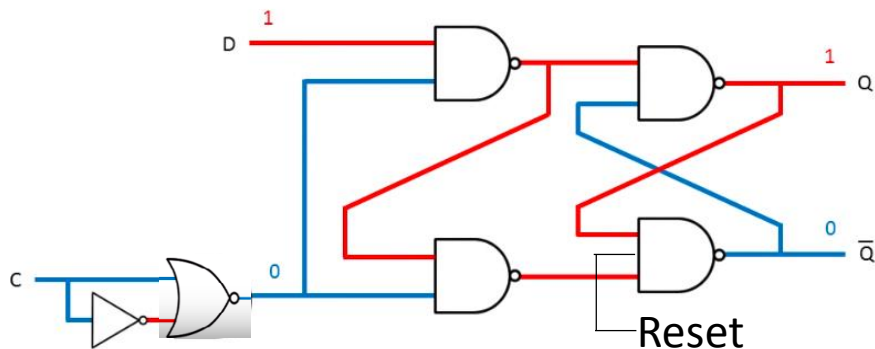
像素内DFF设计:



1. Master-Slave D Flip Flop1



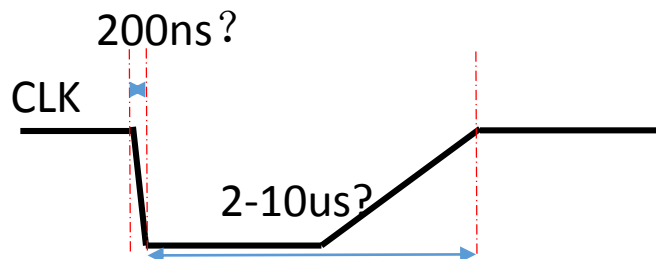
2. Master-Slave D Flip Flop2



3. Clocked D Latch

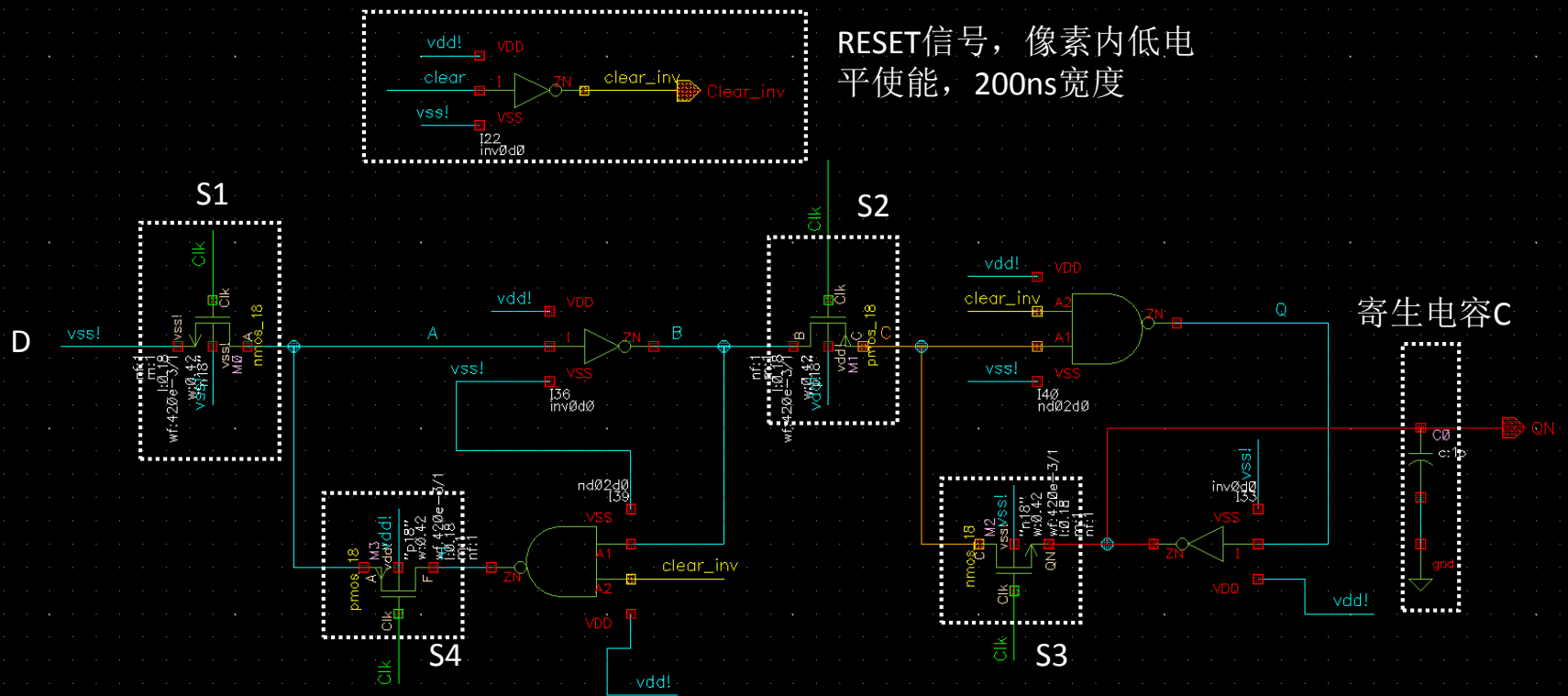
需求:

- 时钟沿触发（电平触发类Latch不适用）；
- 低频（一些高频类dynamic latch不适用）；
- 异步Reset；



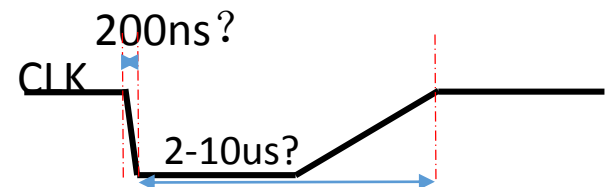
开关均改为单个MOS管，引入异步RESET

	晶体管数量
1	38
2	16 -》 16 (modified)
3	24



设计要点:

- CLK下降沿（S1断开），故S1/S3用NMOS管, S2/S4用PMOS
- 因PMOS传高电平，NMOS传输低电平，D端接地，用QN端输出
- Clear信号低电平有效，与下一行像素的SEL信号为反向关系，反相器可移到像素外



像素内DFF功能仿真示意图:

Transient

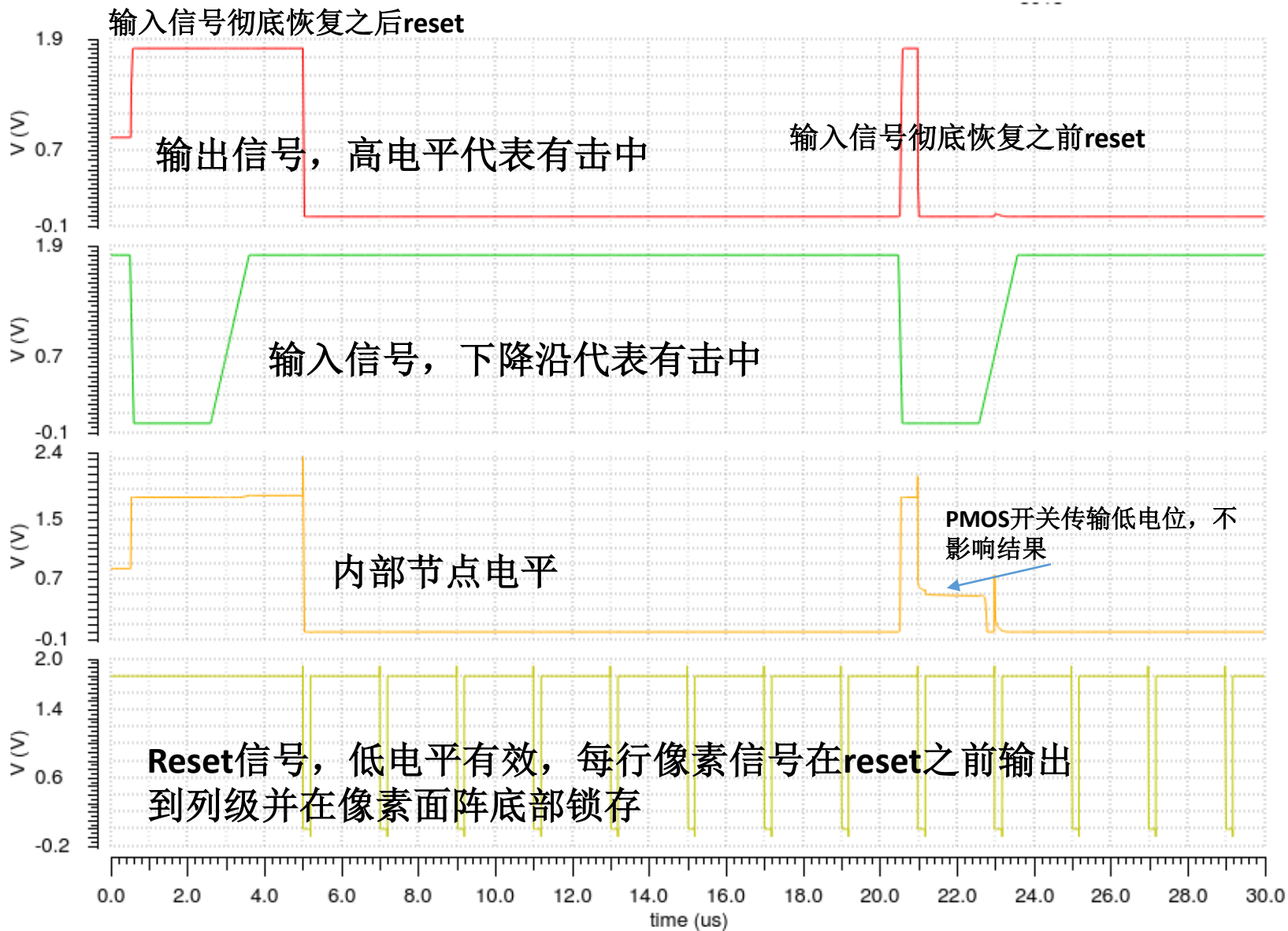
Wed Nov 21 04:44:54

1

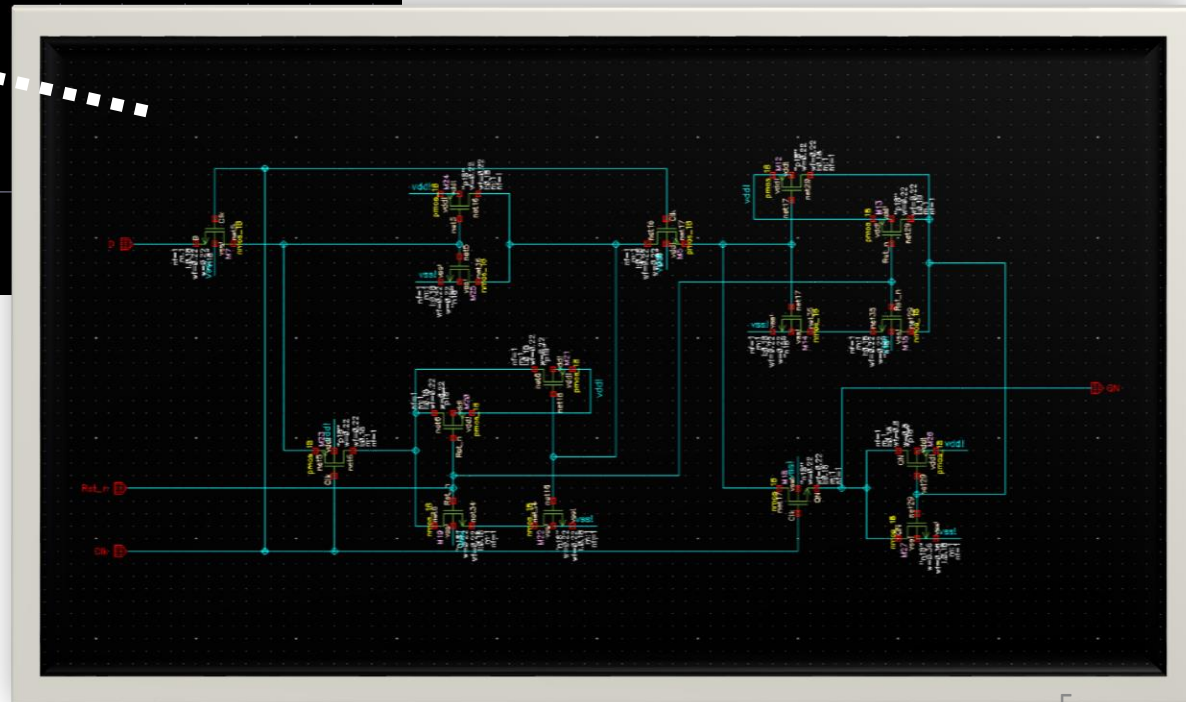
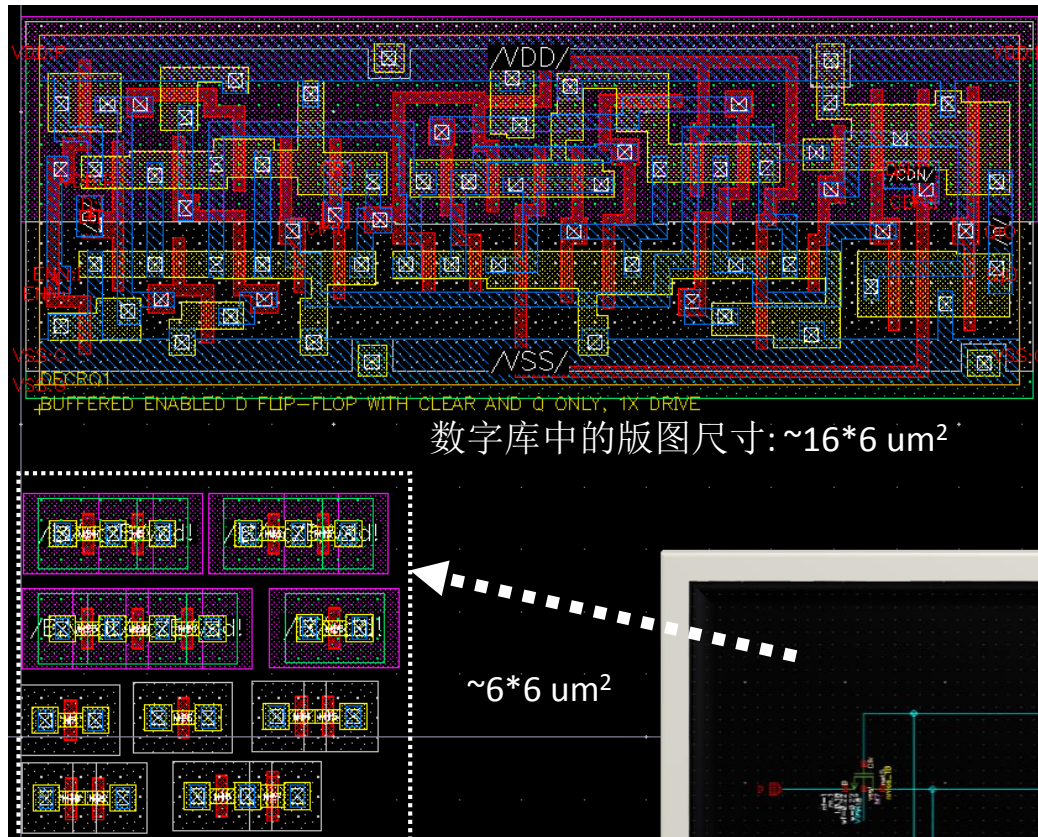
Name Vis

/QN

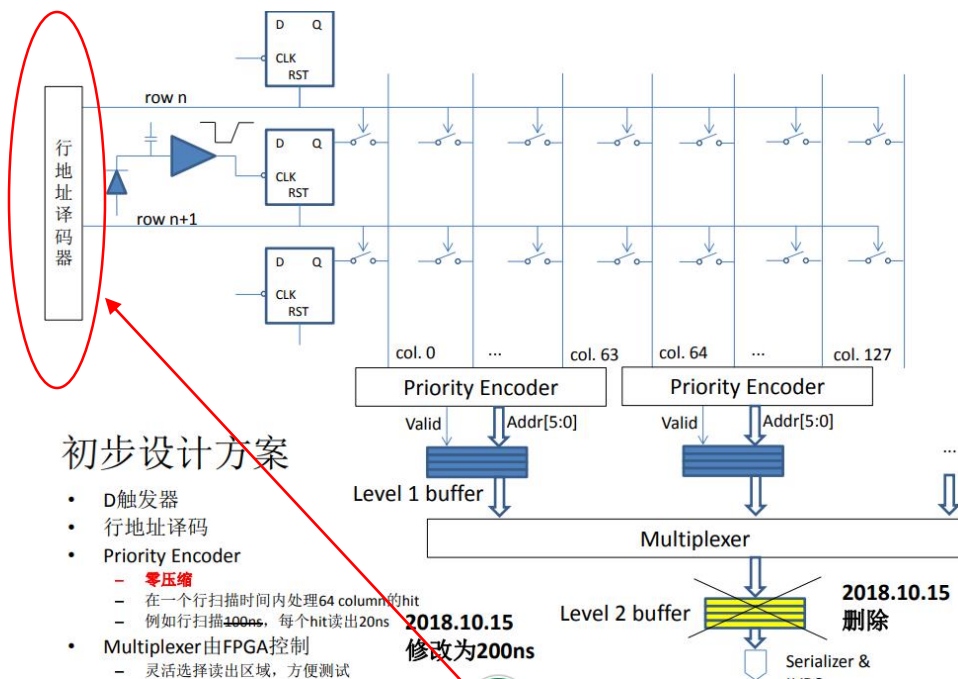
Vis



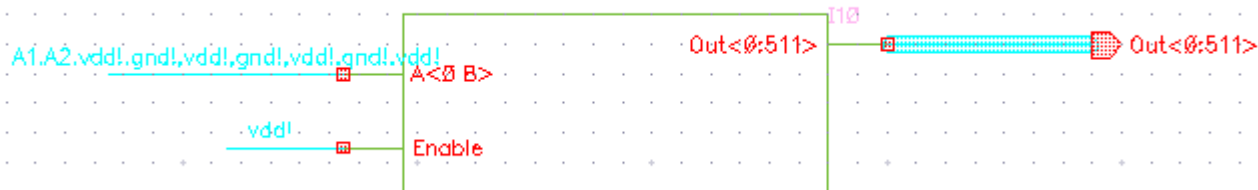
像素内DFF版图尺寸：未完成



行地址译码模块示意图:



模块位置: 像素面阵左侧, 提供512行地址编码



图中的二进制编码输入为: 101 010 1A₁A₂

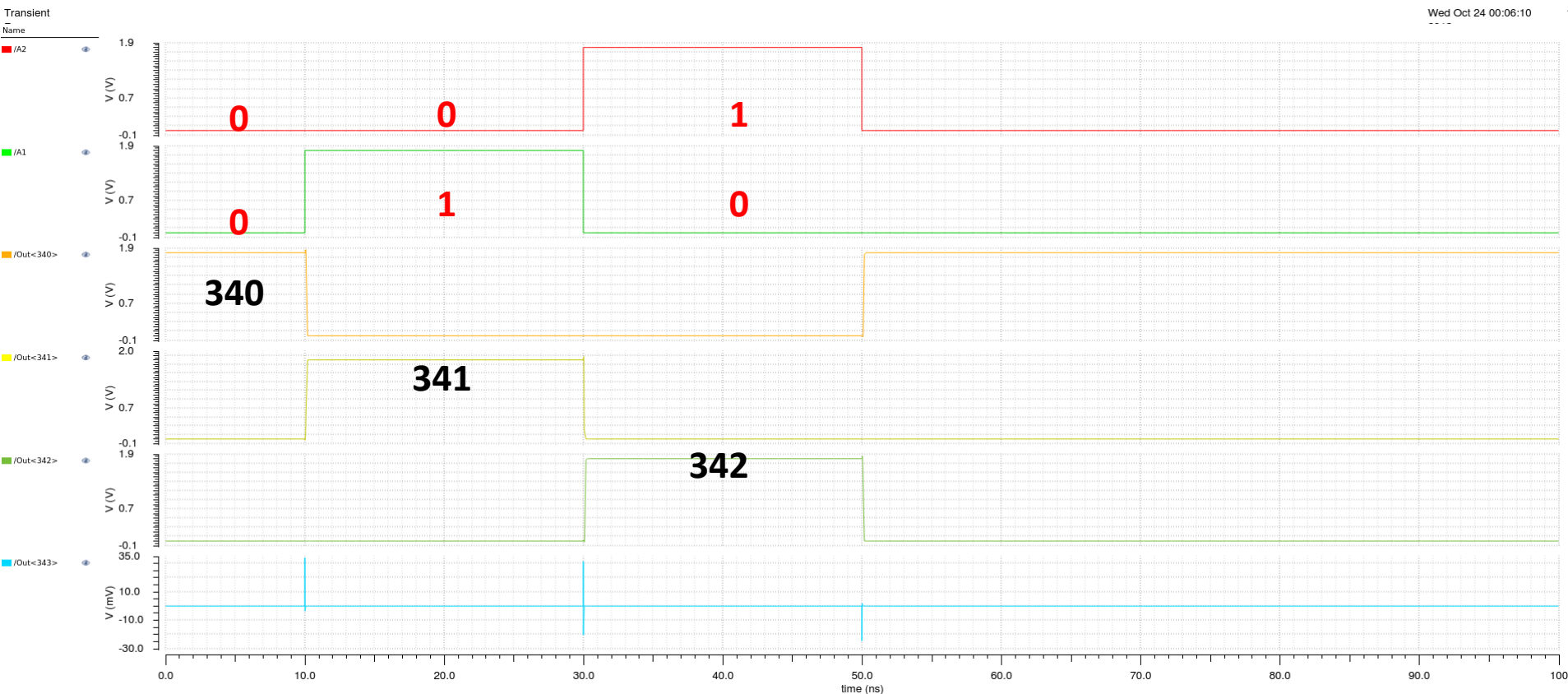
需求:

- 可由外部FPGA信号控制任意选通某行以及Rolling-shutter的传输方式;
- 极大的增加了可测试性, 付出的代价是需要更多的PAD

模块端口说明:

- A<0:8>: 9bit二进制输入信号, 对应10进制下的0-511行地址信息;
- Enable: 模块使能信号, 高电平使能;
- Out<0:511>: 0-511行的选通信号; 模块Enable使能之后, 同一时间只有一行选通, 高电平有效; 该信号同时用于像素内触发器的RST信号以及数字输出buffer的使能信号

行地址译码器仿真示意图：功能验证



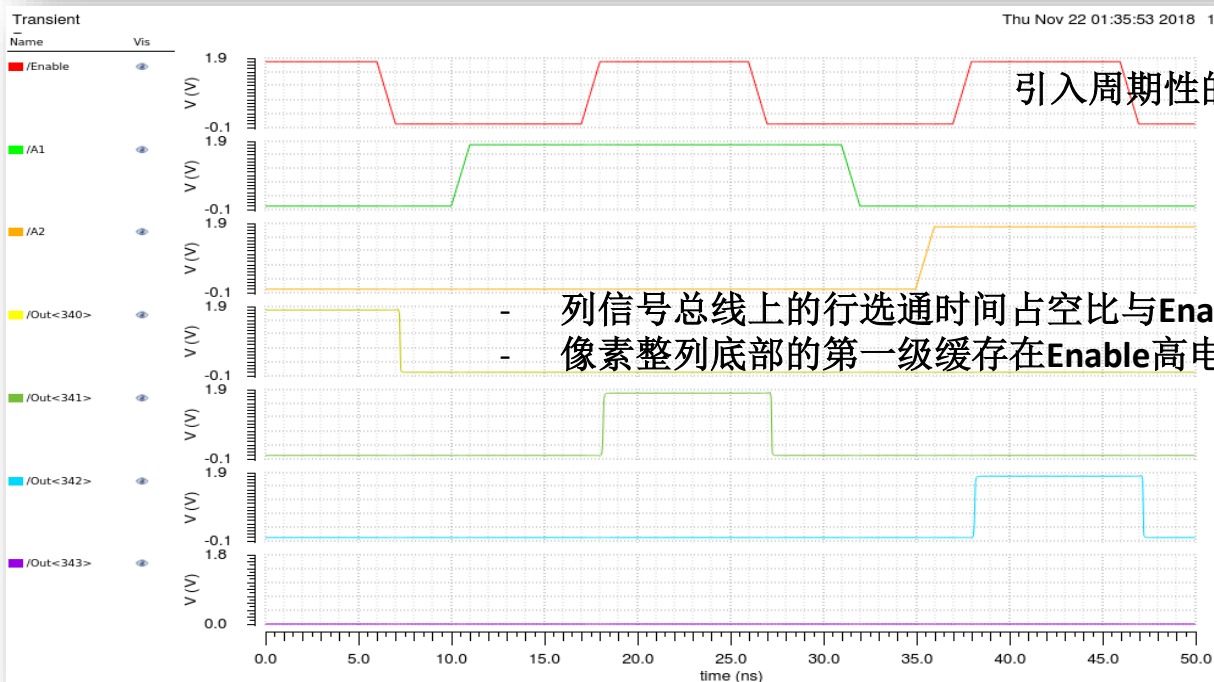
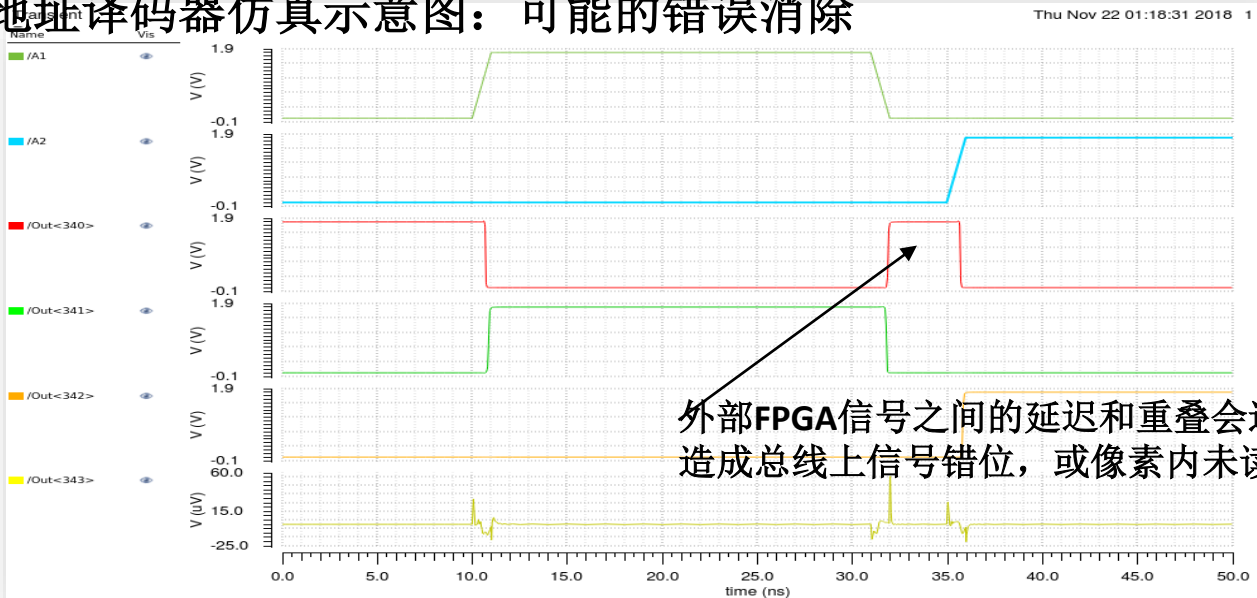
上一页图中的二进制编码输入为：**101 010 1A₂A₁**

二进制**101 010 100** 对应十进制**340**

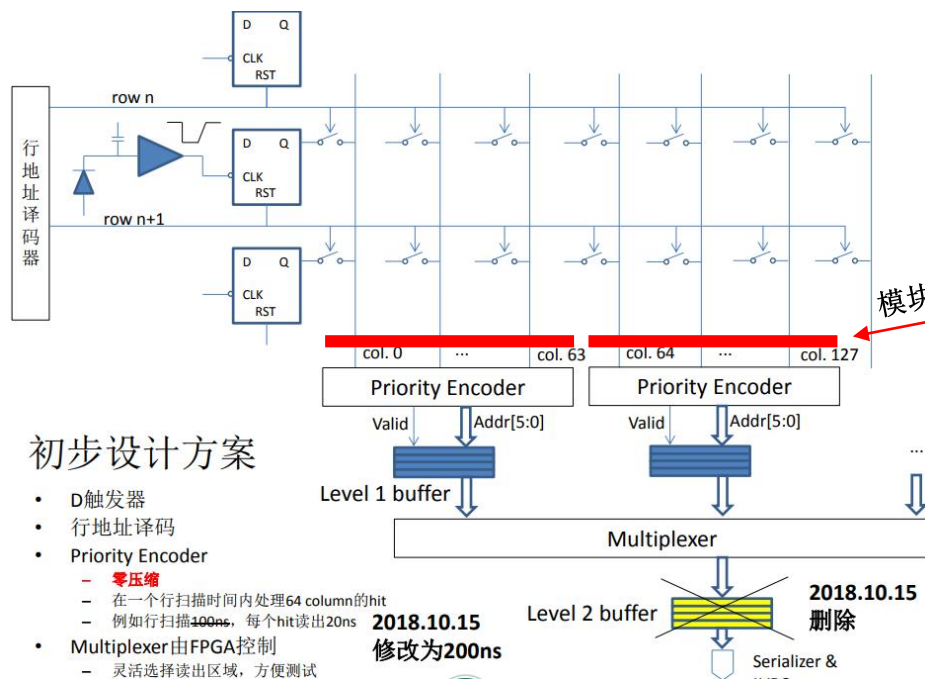
101 010 101 对应十进制**341**

101 010 111 对应十进制**342**

行地址译码器仿真示意图：可能的错误消除



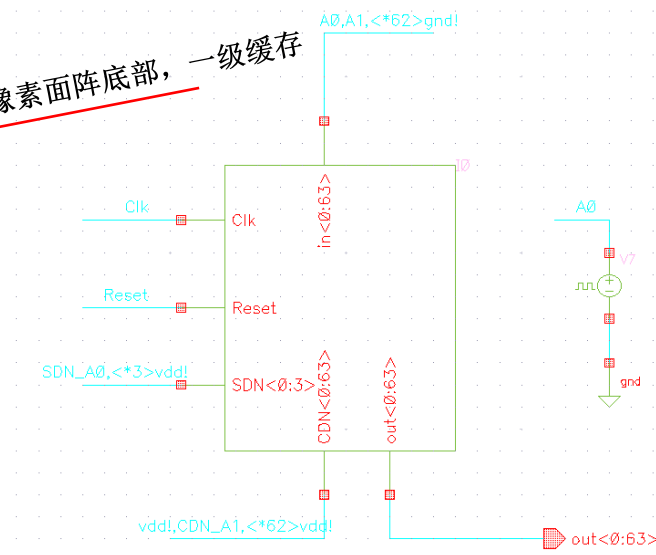
面阵底部一级缓存模块示意图:



需求:

- 将像素信息在面阵底部锁存, 并适配后续的优先级编码电路;
- 引入单独的输入端口, 用于模拟像素信号输入, 使后续的数字清零电路具有独立的可测试性;

模块位置: 像素面阵底部, 一级缓存



缓存模块输入输出端口示意图

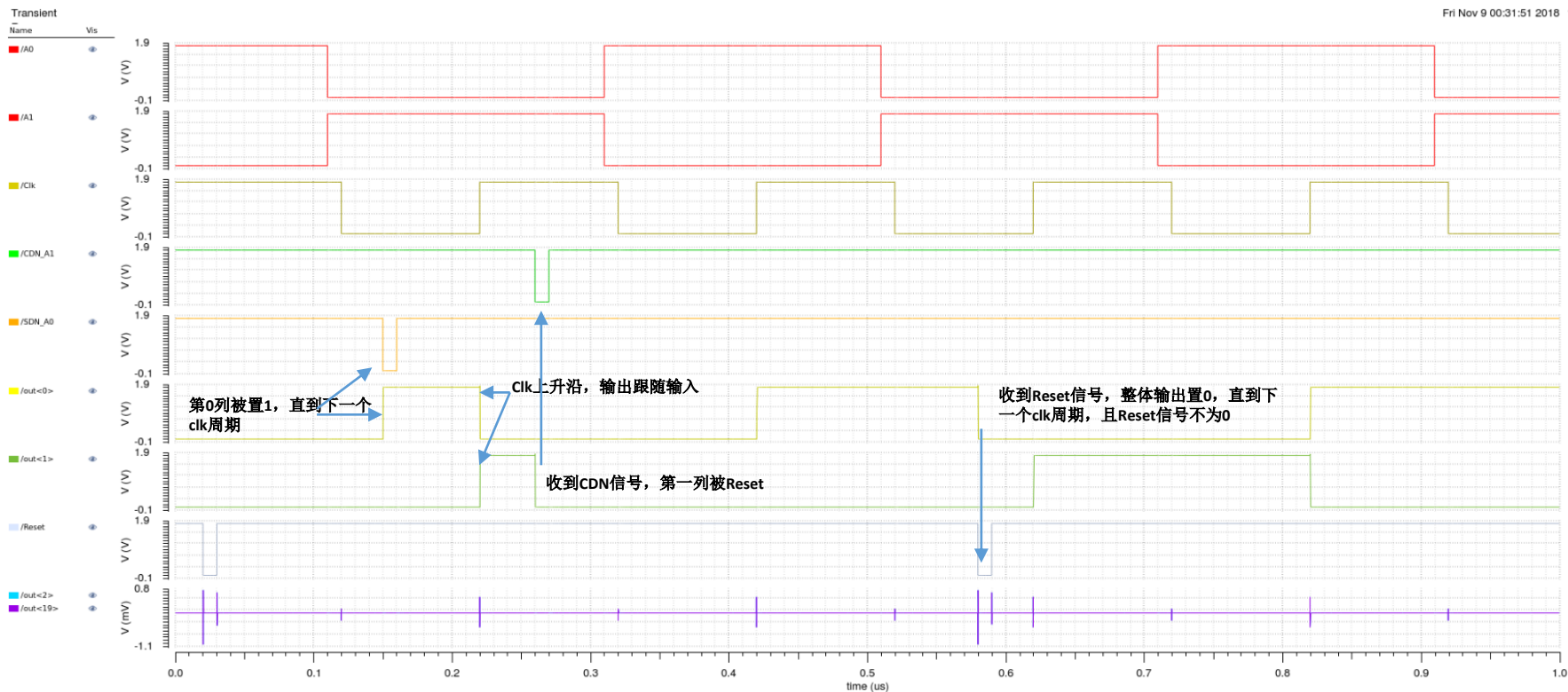
缓存模块输入输出端口说明:

- in<0:63>:对应0-63列像素的输出端;
- out<0:63>: 对应该模块的64位输出端口, 是下一级Priority Encoder的输入;
- Clk: 数据锁存的时钟, 上升沿触发, 与像素面阵读出时钟同步, 需保证一定延迟;
- Reset: 模块的Reset信号, 低电平有效, 将整个模块输出重置为0;
- SDN<0:3>: 输出置1信号, 4bit循环配置, 用于为数字清零电路提供模拟数据输入, 由外部FPGA提供可编程信号; 低电平, 且CDN为高电平时有效;
- CDN<0:63>:输出清0信号, 由后续Priority Encoder模块输入, 低电平有效;

其中, 需要片外输入的信号: Clk, SDN<0: 3>, Reset

另外: 使能信号L or H有效, 可根据其他模块配合工作需要修改

面阵底部一级缓存模块仿真示意图:



缓存模块功能仿真示意图:

- A0, A1为两列像素数据输出, 200 ns每行的读出速度;
- Clk为缓存模块锁存时钟, 与像素读出时钟同步且并有一定延迟;
- CND_A1模拟A1列的优先级编码模块返回Reset信号
- SDN_A0模拟A0外部输入列置1信号
- Reset模拟外部输入整个模块重置信号
- out<0:1>,对应A<0:1>列的模块输出
- out<2>和out<19>为随机选取的输出列, 本仿真中一直为0;
- 其他端口偏执情况为0或1, 见上一页模块示意图;