

粒子物理前沿卓越创新中心 第五届青年骨干评审

卢云鹏

高能所/实验物理中心

2018-11-23



报告内容

- 研究经历
- 已取得的主要成就
- 当前承担的任务
- 年度工作总结
- 后续工作展望



研究经历

2018

CEPC顶点探测器
同步辐射用像素探测器
SOI像素探测器技术

2011

ATLAS像素前端ASIC

2010

BESIII端盖TOF升级前端电子学
空间实验“POLAR”前端电子学
散裂中子源谱仪前端电子学

2008

BESIII触发电子学

2004



已取得的主要成就→ SOI像素探测器的研究

- 2011年加入SOIPIX合作组
- 独立设计了5款芯片，合作设计了2款芯片
 - CEPC顶点探测器应用
 - X射线成像应用
- 发表研究文章8篇，会议报告~25次

高能所研制的SOI芯片



- First results of a Double-SOI pixel chip for X-ray imaging , NIMA 831
首次解决了SOI的串扰问题，RIKEN的T. Hatsui评价：是SOI探测器工艺的里程碑！
- A prototype SOI pixel sensor for the CEPC vertex, Front-End Electronics 2018
ASIC和像素探测器的核心会议，邀请报告，有很好的国际显示度

■ 获得项目资助

- 自然科学基金面上2项（合计189万）
- 核探测与核电子学国家重点实验室择优支持4次（合计50万）



已取得的主要成就→ SOI像素探测器的研究

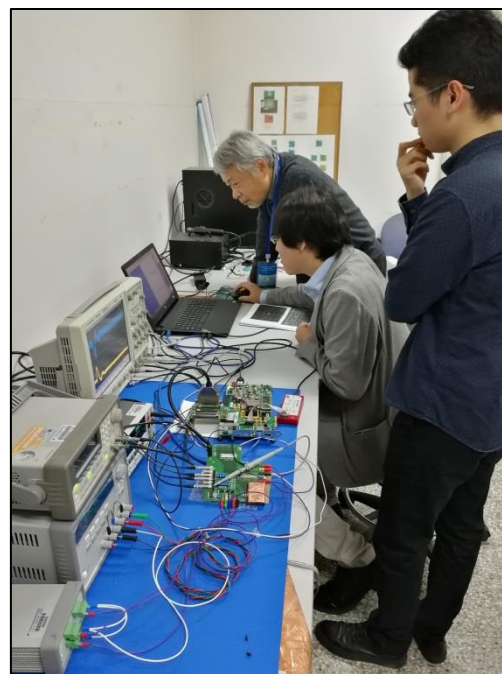
■ 牢固的国际合作纽带

- 大面积计数型SOI像素芯片的合作研究
- 工艺，设计和测试资源共享
- 与KEK的工作沟通顺畅直接（并促使厂家改进工艺）
- 对于CEPC的应用是一个稳固的基础

SOI合作@中日高能物理会谈



KEK的Y. Arai在高能所讨论工作



当前承担的主要任务

■ 组织协调CEPC顶点探测器Pixel Sensor的研究

- 深入理解关键指标，力争突破现有的最高水平
- 组织Pixel Sensor的设计和测试工作，通过R&D缩小差距
- 参与国内外Pixel Sensor新工艺的开发

顶点探测器的关键指标对比

	CEPC要求	State-of-art (ALICE/ITS upgrade)
S.P. Resolution	2.8 μm	5 μm
Power Consumption	< 50 mW/cm ²	35 mV/cm ²
Time Stamp	1 ~ 20 μs	3 μs
Radiation Tolerance	3.4 MRad/year 6.2 $\times 10^{12}$ n _{eq} /cm ² ·year	2.7 Mrad 1.7 $\times 10^{13}$ n _{eq} /cm ² ·year

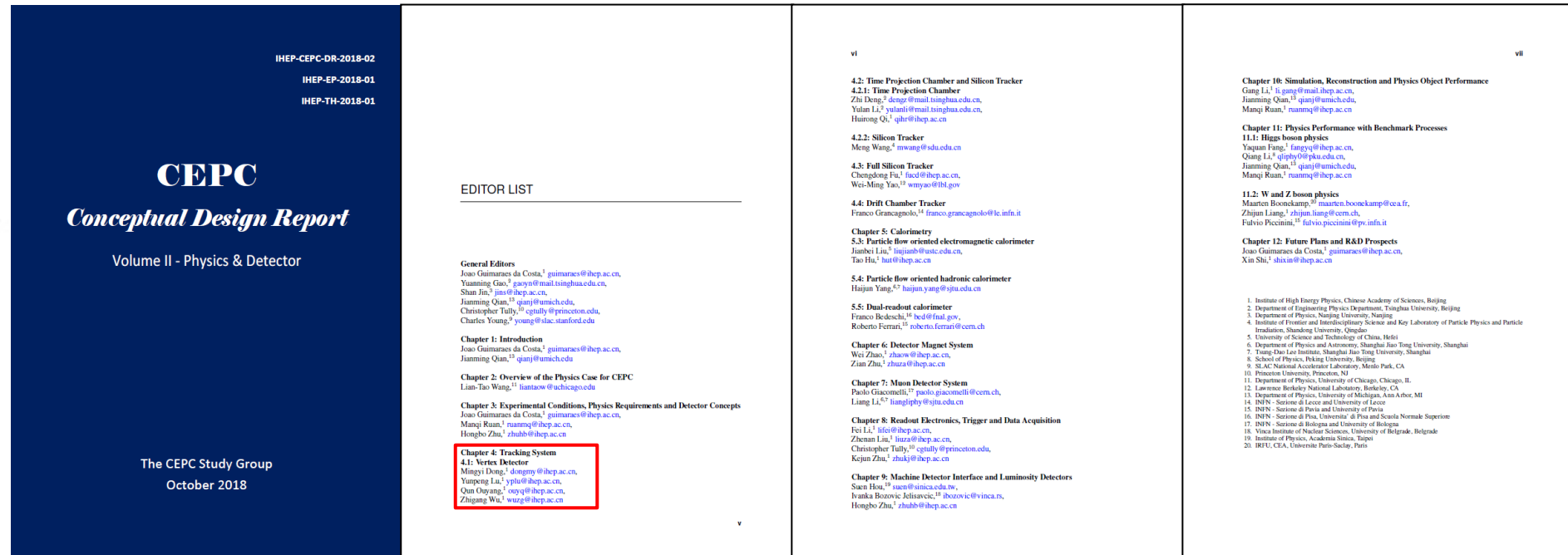


年度工作总结

■ 参与CEPC探测器概念设计和CDR撰写

- 11月14日正式发布
- 第一个重要里程碑，1143人署名，221个单位，24个国家
- 在CDR研究中发挥了重要作用：负责Vertex Detector的sensor options和critical R&D两部分

CEPC概念设计报告



年度工作总结

- 逐条回应评审委员会的意见，部分有代表性的如下：
 - Daniela Bortoletto (OXFORD): The statements on the HV-CMOS architecture seems very negative. Furthermore, some HR-CMOS options with HV add on might be interesting. I would soften this part or remove it and discuss only DEPFET, HR-CMOS and SOI. (对HV-CMOS技术的观点过于消极，建议态度缓和一些或者干脆不提。)
 - Sebastian Grinstein (IFAE): Contrary to what it says, ALPIDE reached the power dissipation of $40\text{mW}/\text{cm}^2$, but the radiation hardness is in fact may be on the edge. (ALPIDE确实达到了 $40\text{mW}/\text{cm}^2$ 的低功耗，但是抗辐照性能实际上并不充分。)
 - Walter Snoeys (CERN): Instead of having significantly different specifications for the first two layers, I think it would be perfectly reasonable at this stage to assume the same specifications for all layers, you could even take a position resolution of $2.8\ \mu\text{m}$ and a readout time of $1\ \mu\text{s}$ for all layers. Clearly we have not yet met all specifications in the recent developments, but we are not that far: ... (建议所有像素层都采用相同指标， $2.8\ \mu\text{m}$ 位置分辨和 $1\ \mu\text{s}$ 读出时间并非遥不可及...)
- 有效提高了CDR相关章节的写作质量



年度工作总结

■ 科技部重点研发计划 “高能环形正负电子对撞机相关的物理和关键技术预研究”

- 顶点探测器CMOS Pixel Sensor相关的经费 ~500万

■ CMOS Pixel Sensor设计召集人

- Sensing diode和模拟前端：张颖（高能所）、任伟平（华师）
- 像素内数字逻辑：杨苹（华师）、周扬
- Rolling shutter控制：周扬（高能所）
- 数据缓存：肖乐（华师）、王东（华师）
- LVDS：杨苹、施展（大连民族大学）
- DAC：杨苹、张亮（山东大学）
- 芯片整体集成：卢云鹏（高能所）

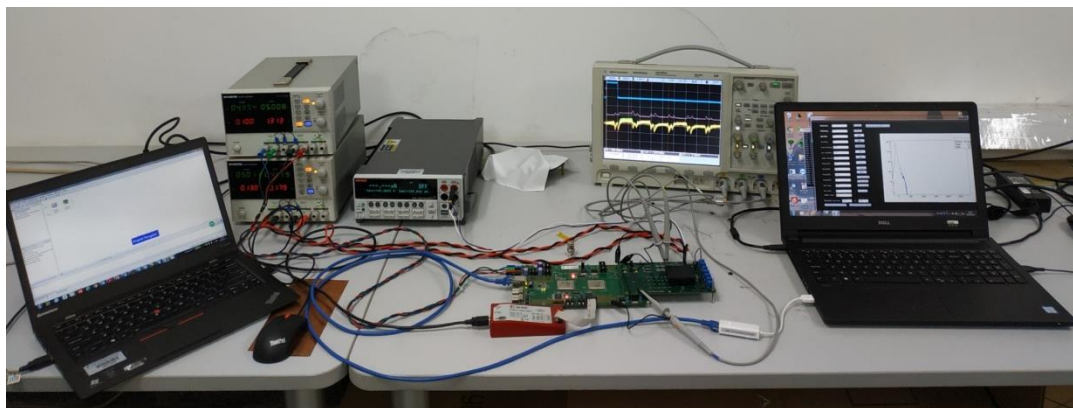
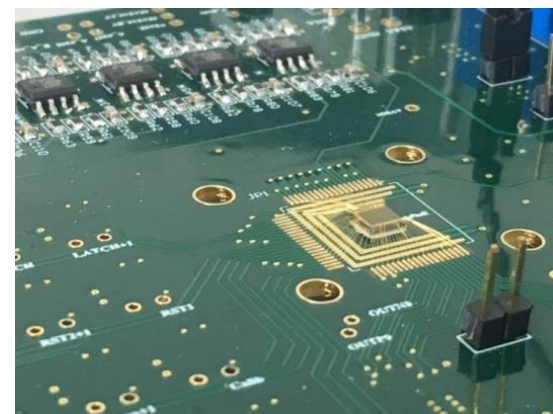
■ 提出了脉冲甄别前端+Rolling shutter的方案，大幅度改善位置分辨

- 缩小像素尺寸到 $16\ \mu\text{m} \times 20\ \mu\text{m}$
- 读出速度 $100\ \mu\text{s}/\text{frame}$
- 功耗 $< 50\ \text{mW}/\text{cm}^2$
- 首个满足Higgs运行指标的Pixel方案
(Occupancy $< 1\%$ @ Higgs (240))

	Higgs	W	Z
Center-of-mass energy (GeV)	240	160	91
Bunch numbers (Bunch spacing)	242 (680 ns)	1524 (210 ns)	12000 (25ns)
Hit density (hits/cm ² ·BX)	2.4	2.3	0.25
Occupancy (%)	0.8	2.5	2.3

年度工作总结

- 组织人员完成了JadePix2芯片的实验室测试
 - 科技部中期考核任务：完成第一次流片+初步测试报告
 - 探测器组内人员：周扬，鞠旭东，吴志岗，董静，施坦
 - 建立了包括DAQ的测试系统
 - 完成了芯片调试，电性能测试和 ^{55}Fe 源标定
- 确保了国际评审顺利进行
 - 国际评审是中期考核的重要环节



JadePix2基本参数：

- $22\mu\text{m} \times 22\mu\text{m}$ pixel pitch
- $3 \times 3.3 \text{ mm}^2$;
- 96×112 pixels with 8 sub-matrix
- Processing speed: $11.2 \mu\text{s}/\text{frame}$
- Output data speed: 160 MHz;
- Power: $3.7 \mu\text{A}/\text{pixel}$;

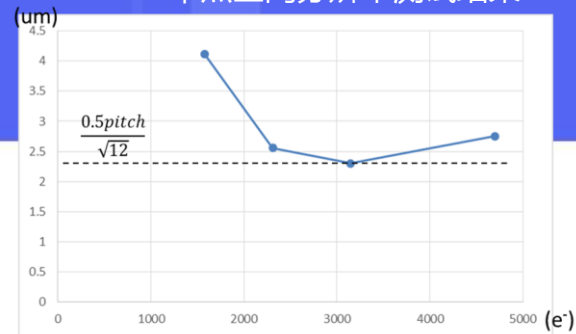
年度工作总结

SOI Pixel Sensor设计

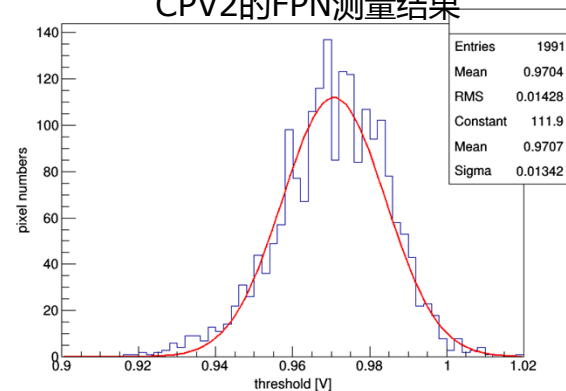
- 前一版本CPV2验证了16 μm 像素可以达到好于3 μm 的单点空间分辨率
- 但是FPN=114 e^- ，需要大幅度降低
- 完成了低功耗脉冲甄别前端设计，FPN < 10 e^-
- 指导学生开展CPV3的设计工作
- 提交流片：2019年1月

CPV系列是CEPC预研位置分辨最好的低功耗设计

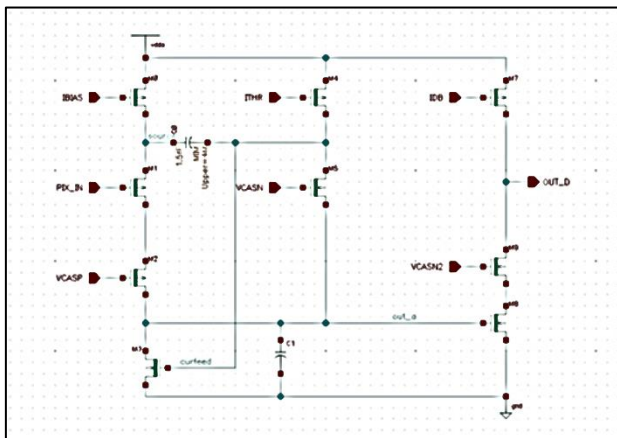
CPV2单点空间分辨率测试结果



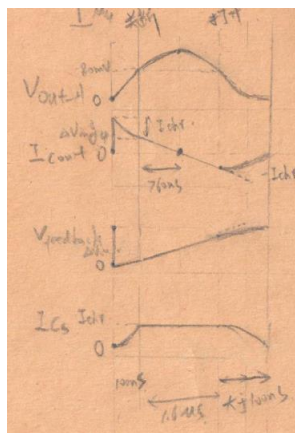
CPV2的FPN测量结果



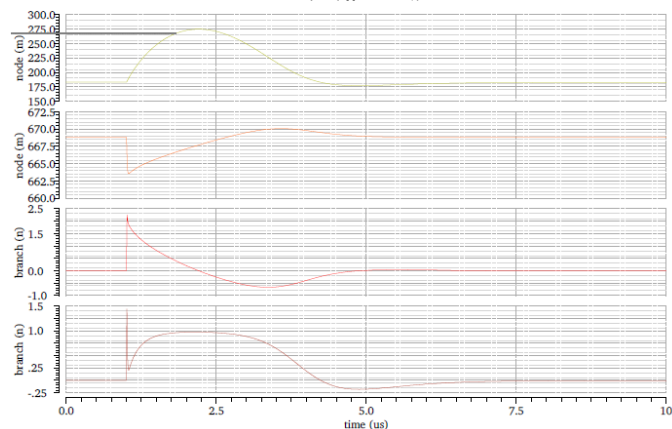
低功耗脉冲甄别前端电路结构图



解析绘制波形



仿真输出波形



年度工作总结

通讯作者2篇：

- Zhigang Wu, Yunpeng Lu*, et al., A prototype SOI pixel sensor for CEPC vertex, NIMA, in press
- Longlong Song, Yunpeng Lu*, et al., Performance evaluation of an SOI pixel sensor with in-pixel binary counters, Radiation Detection Technology and Methods (2018) 2:12

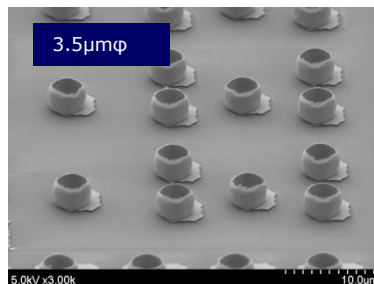
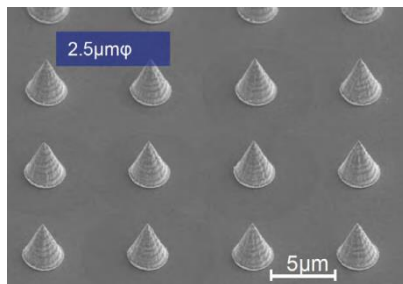
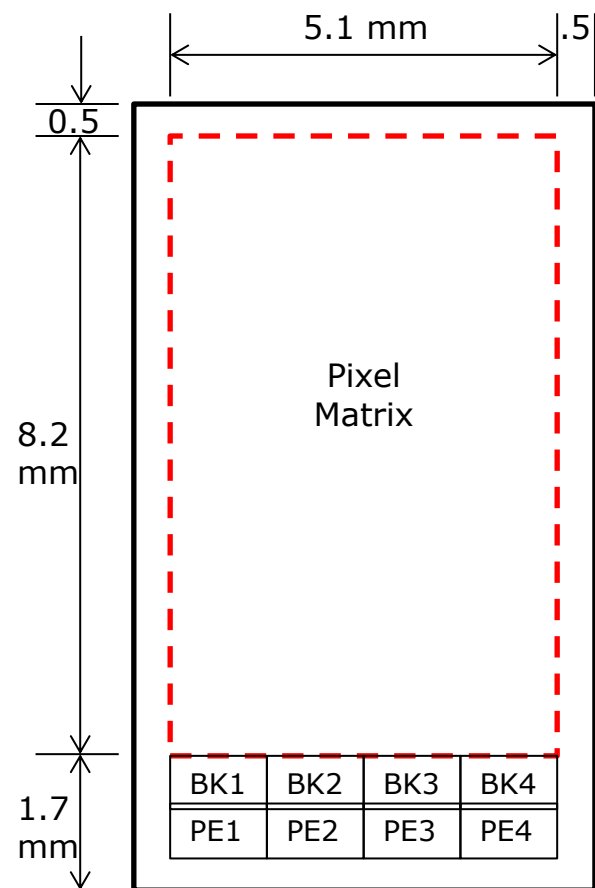
会议报告4次：

- Pixel design and prototype characterization in China, The 2018 international workshop on High Energy Circular Electron Positron Collider, Beijing, Nov 11-14, 2018
- Development of the Silicon Tracker for CEPC, ICHEP 2018 , Detector: R&D for Present and Future Facilities parallel session, Seoul, July 4-11, 2018
- A prototype SOI pixel sensor for the CEPC vertex, Front-End Electronics 2018, 20-25 May, Sherbrooke, Canada (邀请报告)
- 用于低能X射线成像的高分辨计数型SOI芯片的研究，核探测与核电子学国家重点实验室学术年会，2018.4.26-27，北京



后续工作展望

- Vertex指标进一步优化设计→Pixel Sensor设计路线图
 - TDR阶段
- 完成CMOS Pixel Sensor设计
 - 提交流片：2019年3月
 - 掩模面积：5.6 mm × 10.4 mm
- 统一考虑CMOS和SOI Pixel Sensor的测试
 - 尤其是束流测试
- 国内0.13 μm CMOS Pixel Sensor工艺的性能评估
 - 在有限资源条件下，推动国内工艺发展
 - 应对国际合作环境越来越严峻的现实，挑战性更加提高
- Micro-bump 3D集成 (SOI工艺)
 - 新技术将带来新的解决方案



谢谢各位老师！
敬请提问

