

高能所 CEPC 创新项目子课题

顶点探测器 — CMOS像素探测器研究

朱宏博、欧阳群

预期指标

- 高能物理研究所创新基金、核探测与核电子学国家重点实验室支持，首次开展CMOS硅像素探测器关键技术预研
- 熟悉主流工艺，掌握像素单元优化设计及性能研究方法

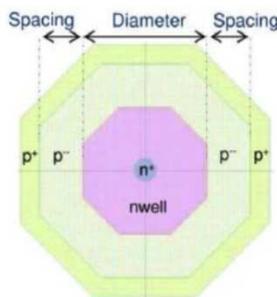
	预研指标	CEPC最终指标
位置分辨率（微米）	10	3
探测效率	99%	优于99%
读出时间（微秒）	100	≤20
探测器功耗（mW/cm ² ）	150	≤50
抗辐照（年均值）	未要求	1 MRad 及 $2 \times 10^{12} n_{eq}/cm^2$ (H mode)

课题总体进展、完成情况

- Pixel sensor设计
 - 1、高阻晶圆 (wafer) + TowerJazz CIS 0.18 μm process
 - TCAD仿真优化设计像素灵敏区
 - 优化电荷收集幅度、时间和效率、以及抗辐照特性
 - 优化像素内电子学 (内置甄别器、基于电流型比较器的数字存储) 及异步读出 (data driven + AERD) 架构等，降低功耗，提高读出速度。 (科技部重点专项 MOST1)
 - 2、流片
 - 2015.11 JadePix1
 - 2017.05 JadePix2 (科技部重点专项 MOST1)
 - 3、NIMA文章、国际会议 (ICHEP2018、PIXEL2018等) 报告
- 性能研究
 - 1、漏电流、耗尽电压、衬底及像素间电容等
 - 2、放射源测试响应曲线
 - 3、束流试验
 - 空间分辨率
 - 探测效率
 - 4、辐照特性 ~ 额外

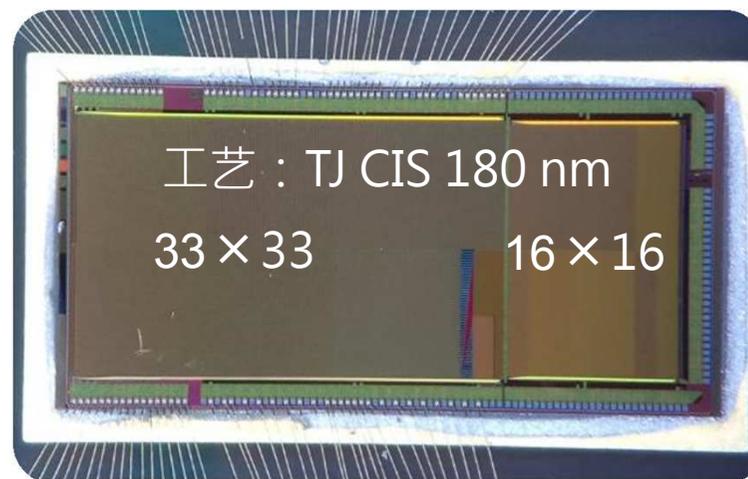
JadePix 1 设计

- 优化电极设计 (像素尺寸 $33\times 33\ \mu\text{m}^2$ 及 $16\times 16\ \mu\text{m}^2$)
 - 减小面积可以降低电容 (C) , 降低噪声 , 提高信噪比 (S/N) ; 提高 Q/C (S/N) 以降低模拟电路功耗
 - 增大面积可以提高电荷收集效率 , 提高抗辐照性能
 - AC耦合高正向偏压 , 提高信号幅度
- 参考ALICE ITS 升级研究结果 , 可优化参数包括 :
 - 收集极 (二极管) 面积、外围保护环 (P阱) 间距等
- 经典2T/3T结构 , Rolling Shutter (卷帘窗) 读出方式

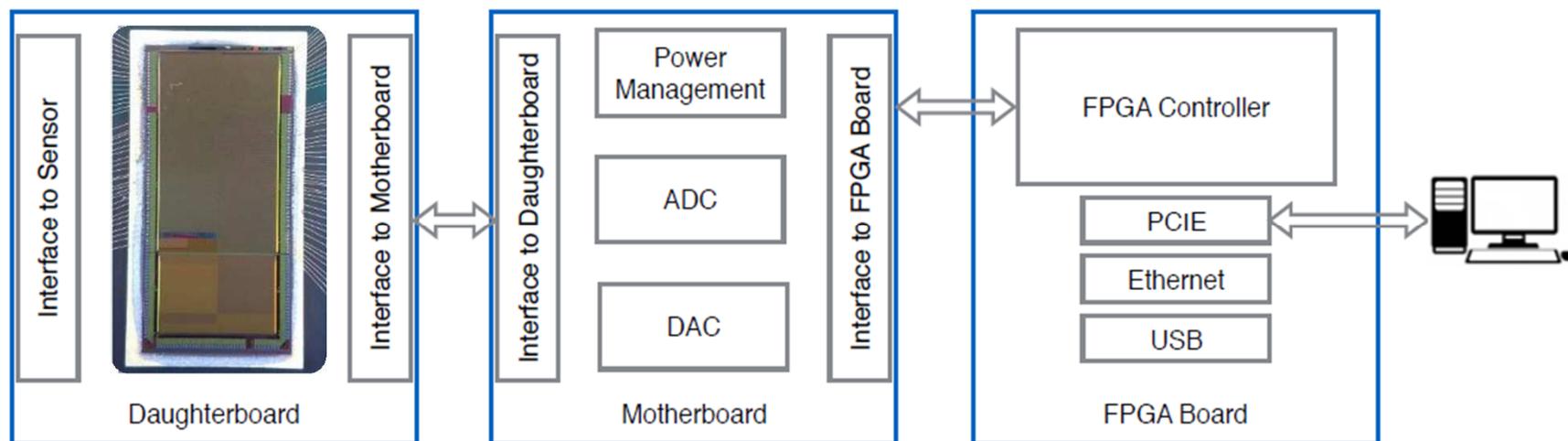


芯片设计 :

张颖、周扬、卢云鹏等



测试系统



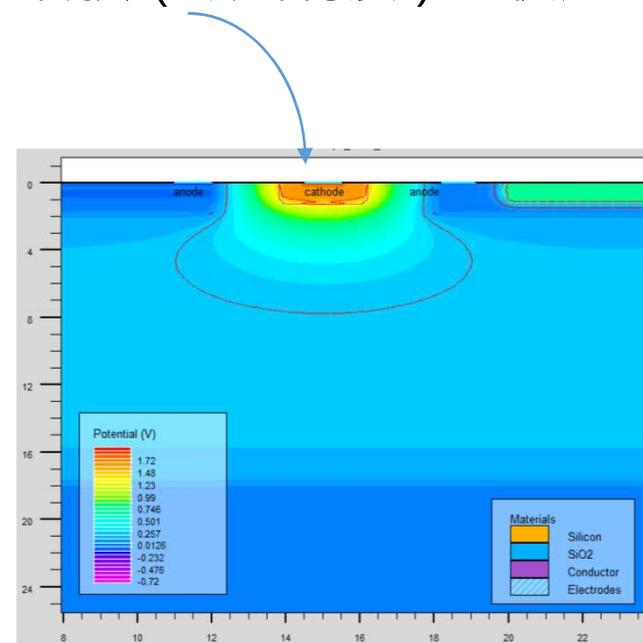
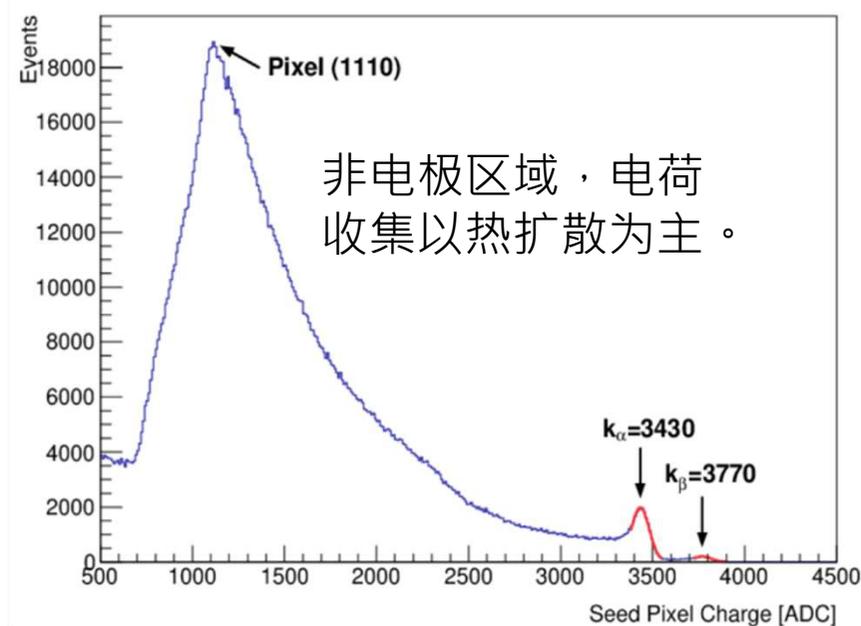
王科、王娜、陶嘉、刘振安等

史欣、Ryuta、刘义、陈列建等

- 芯片输出的模拟信号经过运放（子板/打线板-子板）、ADC数字化（母板），然后在FPGA内打包数据通过PCIE端口传给PC机。数据获取（DAQ）软件支持多线程，在线数据筛选，实时显示芯片响应（事例/计数）。

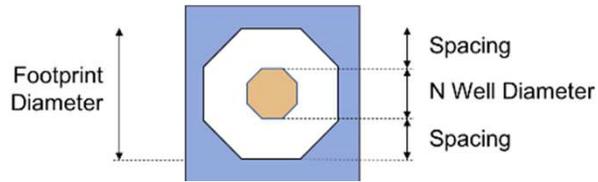
^{55}Fe 标定增益

- 实验室内采用 ^{55}Fe 放射源标定像素增益
 - 假设条件：X-光击中电极后能量完全转换（致密物质）、快速收集（周围高电场）完全吸收



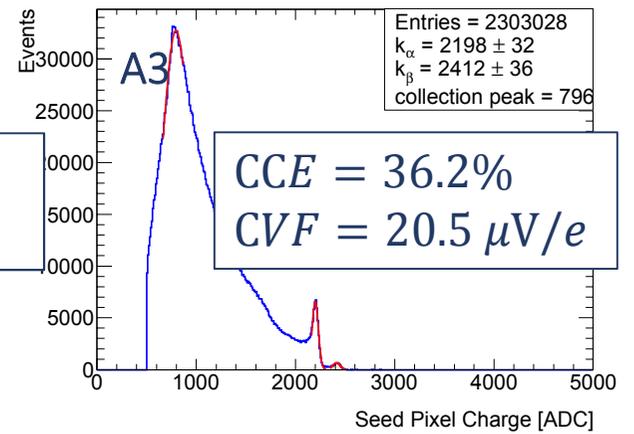
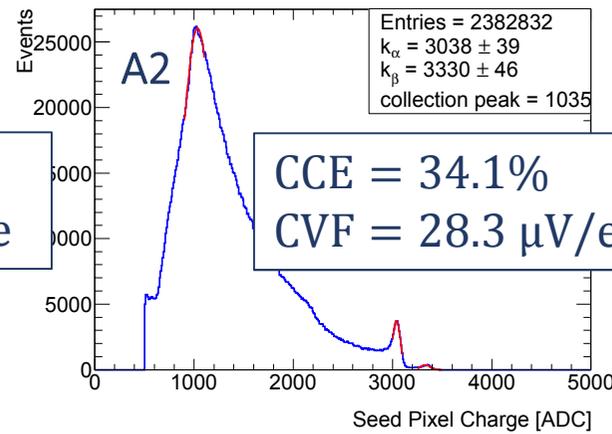
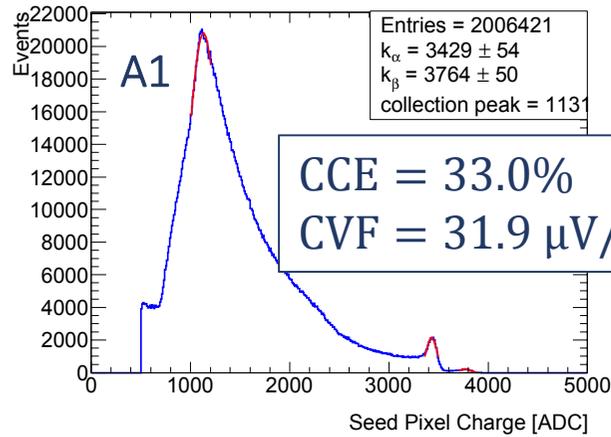
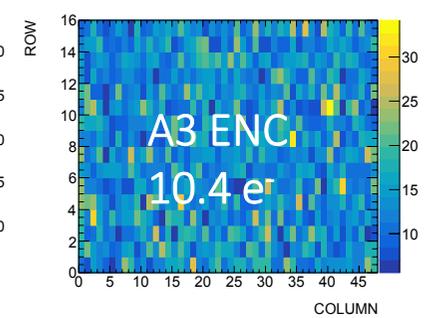
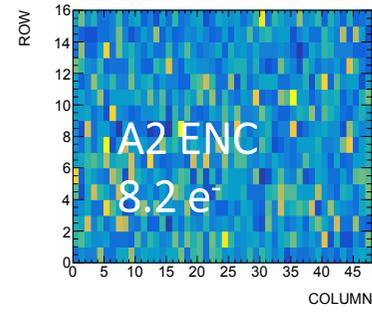
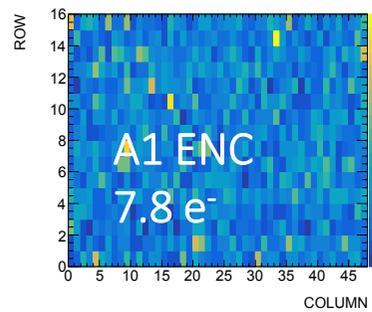
- $k_\alpha k_\beta$ 峰清晰可见，可以标定像素增益。

电荷收集

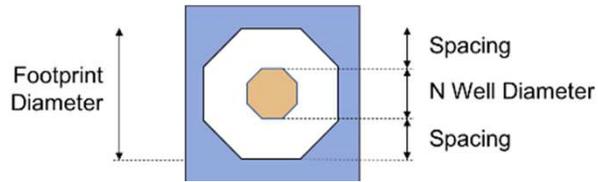


- 电极几何对电荷收集的影响：电极面积

Sector	Diode surface	Footprint
A1	4 μm^2	30 μm^2
A2	8 μm^2	30 μm^2
A3	15 μm^2	30 μm^2

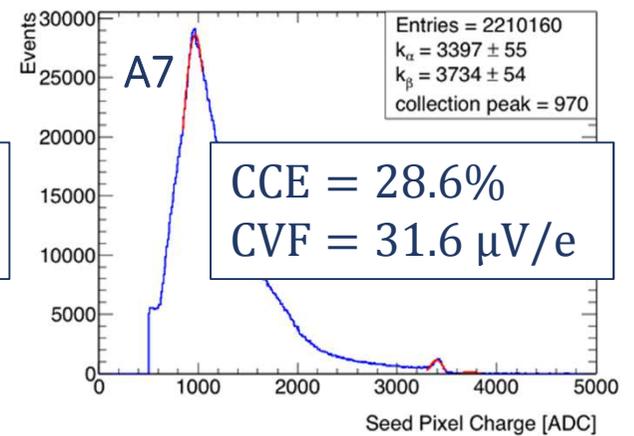
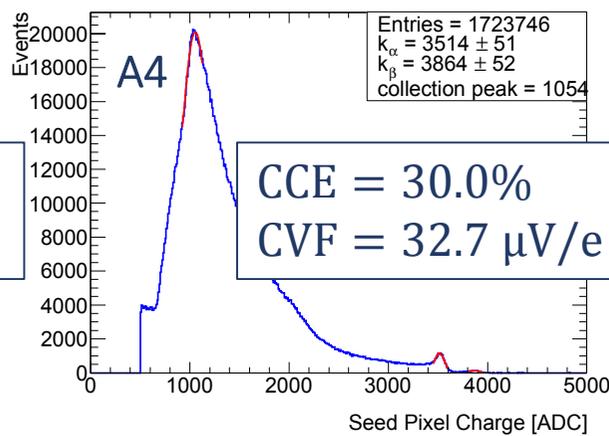
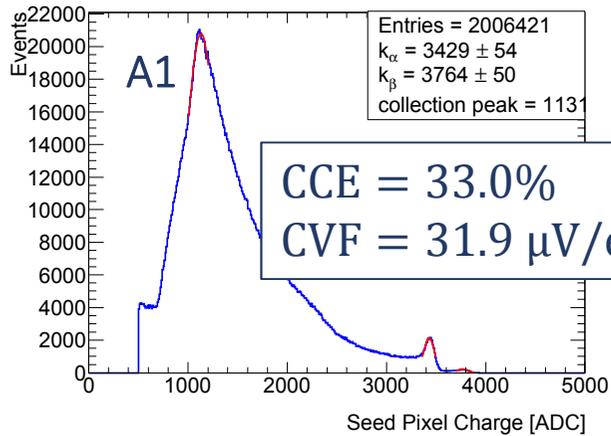
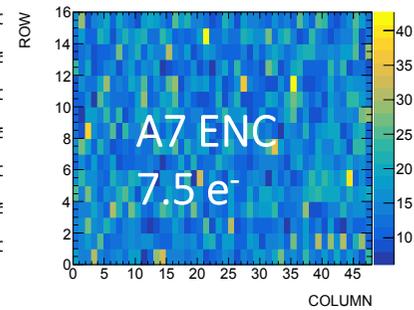
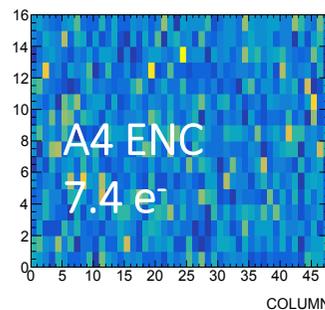
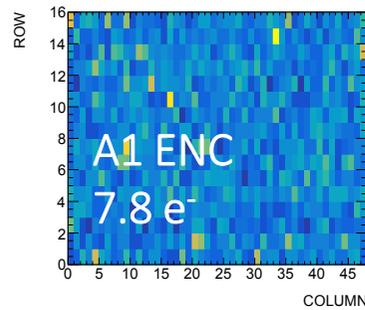


电荷收集



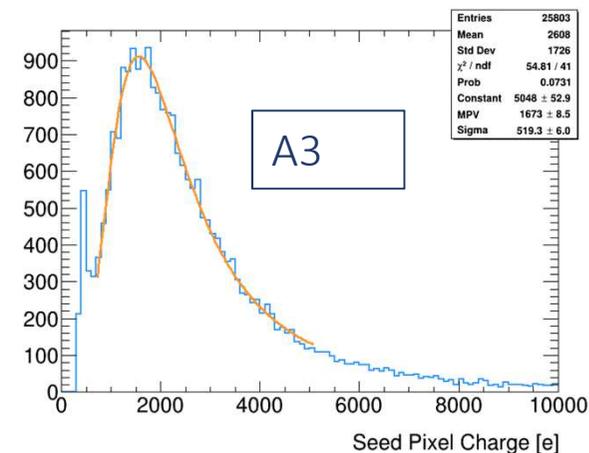
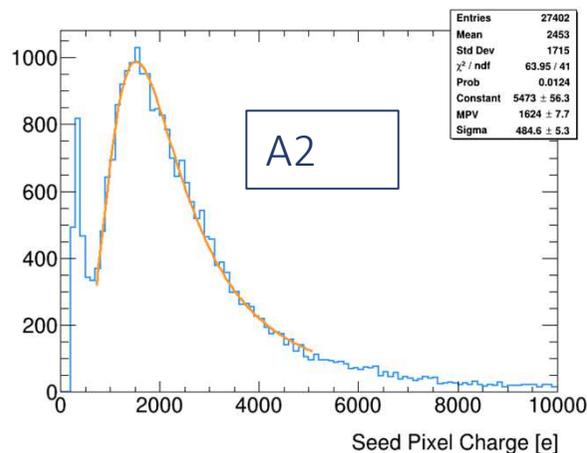
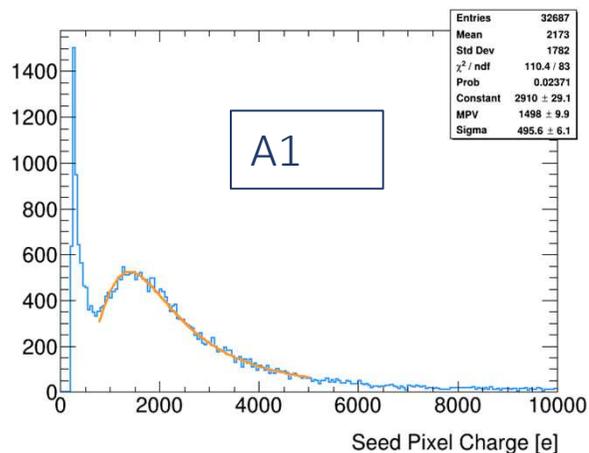
- 电极几何对电荷收集的影响：间距

Sector	Diode surface	Footprint
A1	4 μm^2	30 μm^2
A4	4 μm^2	20 μm^2
A7	4 μm^2	15 μm^2



Sr-90测试

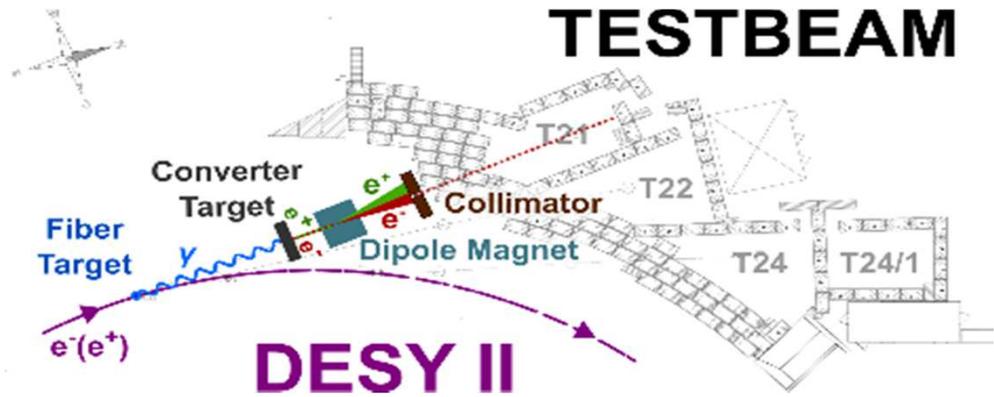
- 电极几何对电荷收集的影响



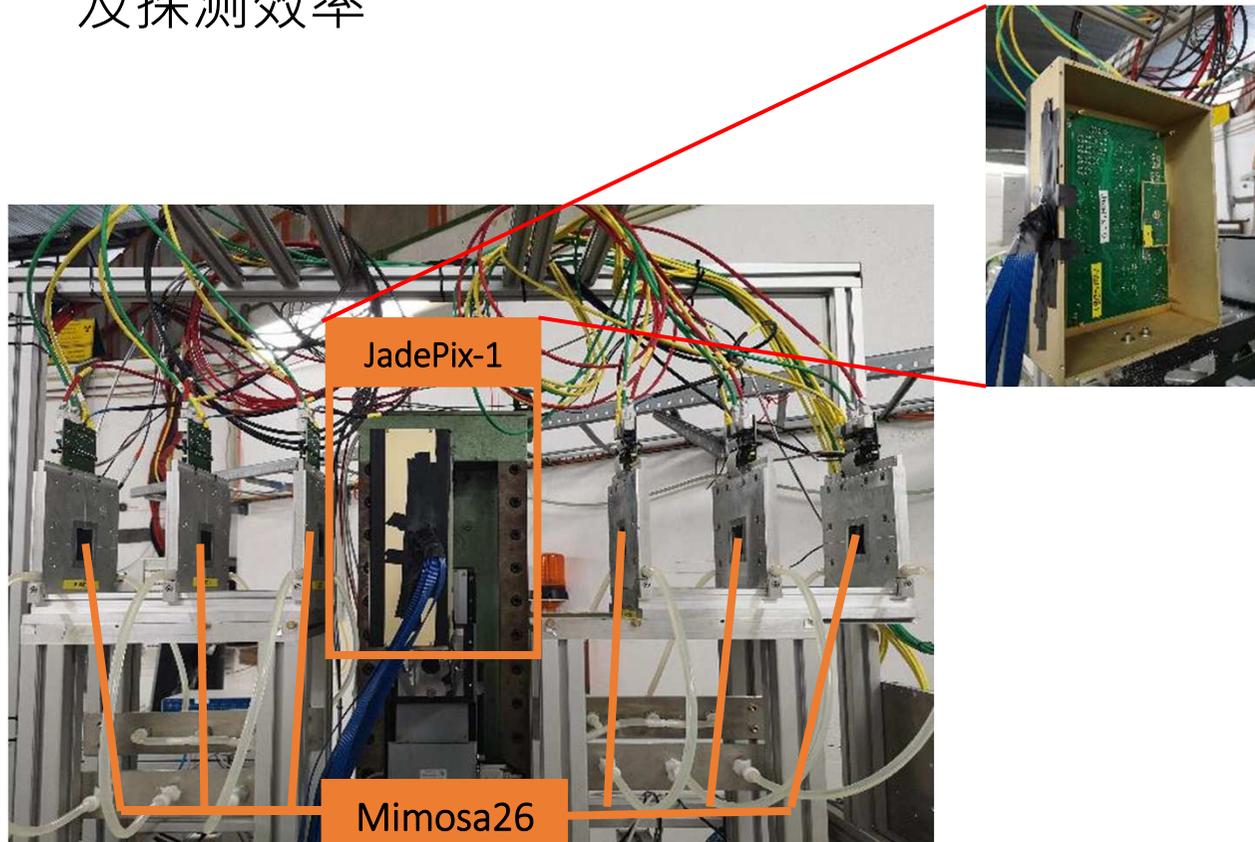
Sector	Seed Charge [e ⁻]	Cluster Charge [e ⁻]	CCE	S/N
A1	1498	3893	38.48%	237
A2	1624	3973	40.87%	229
A3	1673	3784	44.22%	180
A4	1391	3822	36.39%	234
A7	1361	3985	34.15%	220

电极优化指标:
Q/C~S/N, 提高Q/C,
降低模拟功耗

束流测试

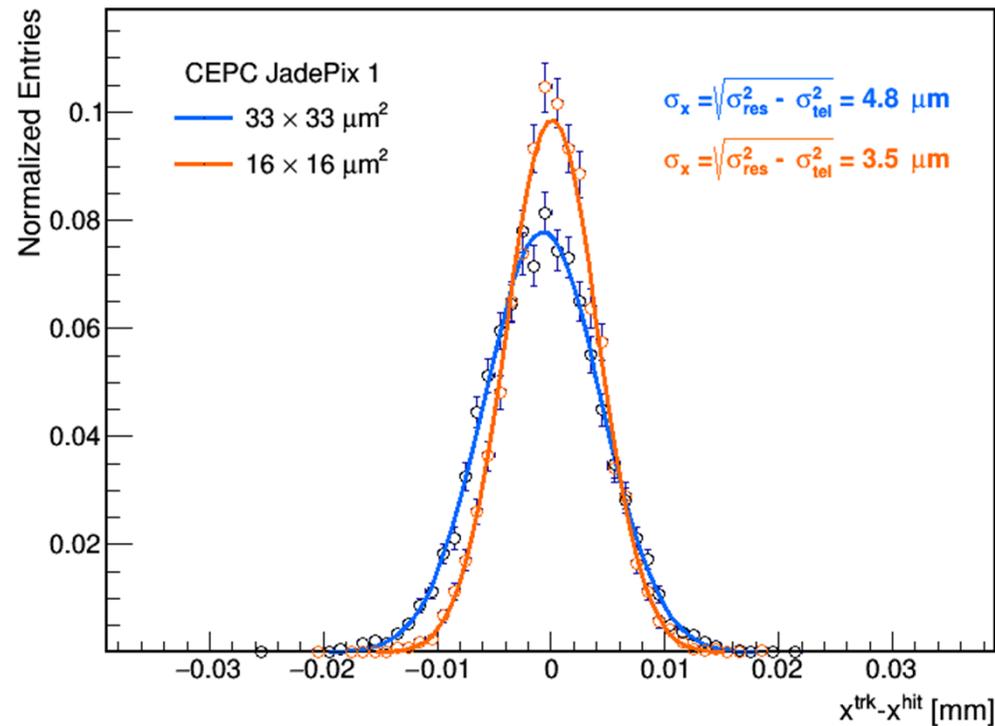


- 利用DESY电子束及EUDET束流望远镜标定JadePix 1位置分辨率及探测效率



位置分辨率

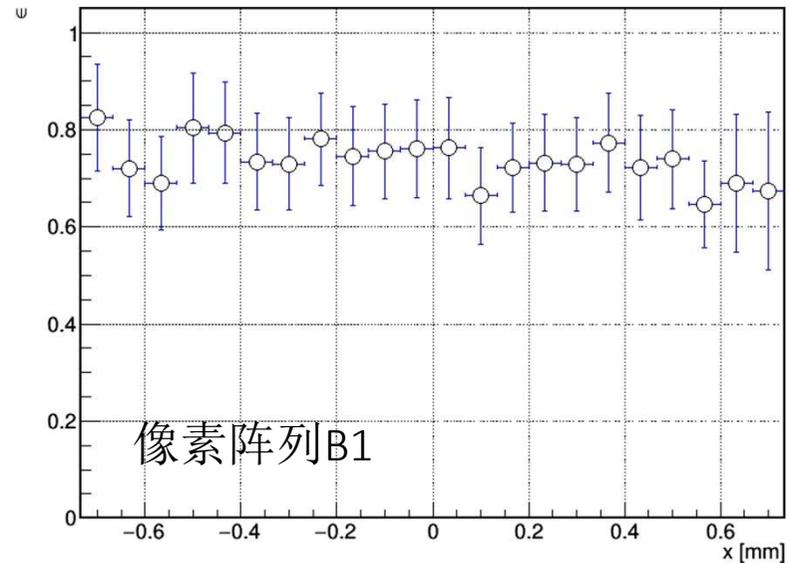
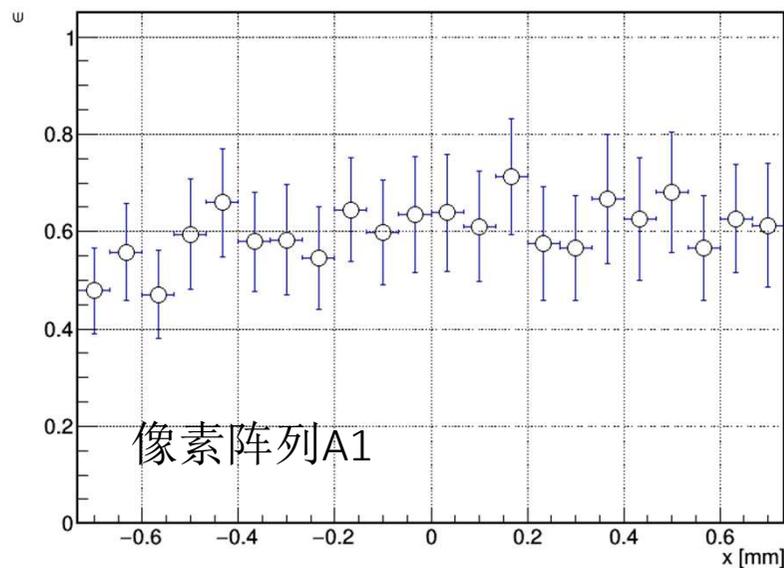
- 像素尺寸 33×33 及 16×16 的位置分辨率分别为4.8微米和3.5微米。通过改进探测器准直及簇团重建算法可以进一步提高。小像素分辨率接近束流望远镜分辨率，测量精度将不足。未来标定更高精度探测器，CERN 束流更为合适。



探测效率

- 因为与触发逻辑器时间同步等问题，数据获取系统采数效率有明显损失，不能准确估计探测效率。未来测试应使用带有FE-I4的束流望远镜，消除时间匹配问题。

未修正的探测效率



- 像素阵列B单个触发采集时间更长，效率损失相对减小

测试结果总结

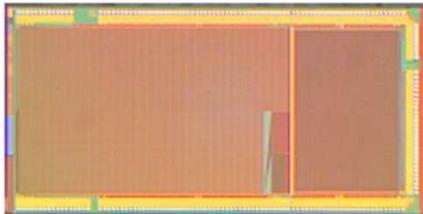
- 测试结果与项目预期指标比照

	预研指标	测试结果 (A/B)
位置分辨率 (微米)	10	4.8/3.5
探测效率	99%	60%/75% (未修正)
读出时间 (微秒)	100	24/48
探测器功耗 (mW/cm ²)	150	51 (主要为模拟功耗)
抗辐照 (年均值)	未要求	

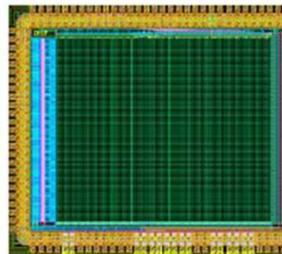
Backup

Developed CMOS Pixel Sensor prototypes

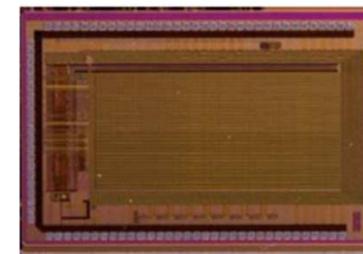
Prototype	Pixel size (μm^2)	Collection diode bias (V)	In-pixel circuit	Matrix size	R/O architecture	Status
JadePix1	33×33 16×16	< 1.8	SF/amplifier	96×160 192×128	Rolling shutter	In measurement
JadePix2	22×22	< 10 V	amp., discriminator	128×64	Rolling shutter	In measurement
MIC4	25×25	reverse bias	amp., discriminator	112×96	Asynchronous	In measurement



JadePix1 (IHEP)
 $3.9 \times 7.9 \text{ mm}^2$



JadePix2 (IHEP)
 $3 \times 3.3 \text{ mm}^2$



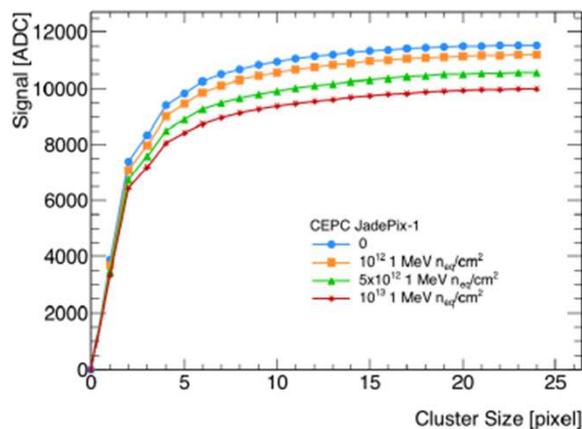
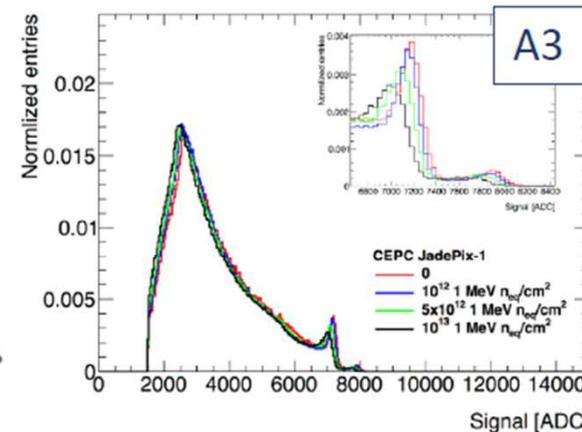
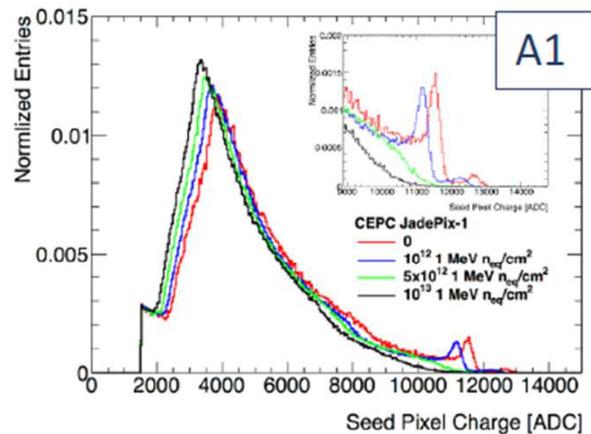
MIC4 (CCNU & IHEP)
 $3.2 \times 3.7 \text{ mm}^2$

All prototypes in TowerJazz 180 nm process

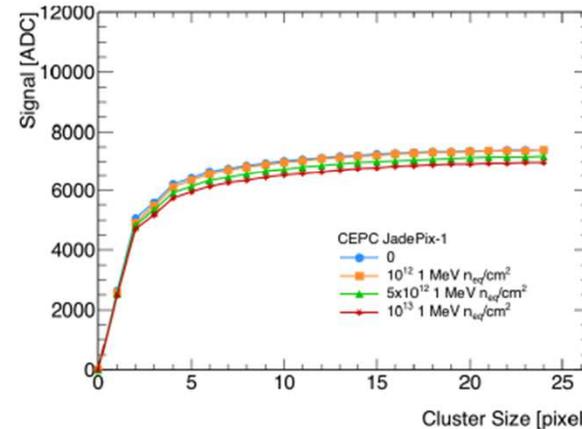
Performance After Irradiation



- Samples sent to a pulsed neutron reactors and irradiated to fluences of 10^{12} , 5×10^{12} , and 10^{13} $1 \text{ MeV } n_{\text{eq}}/\text{cm}^2$
- Larger diode (A3 > A1) more radiation hard as expected



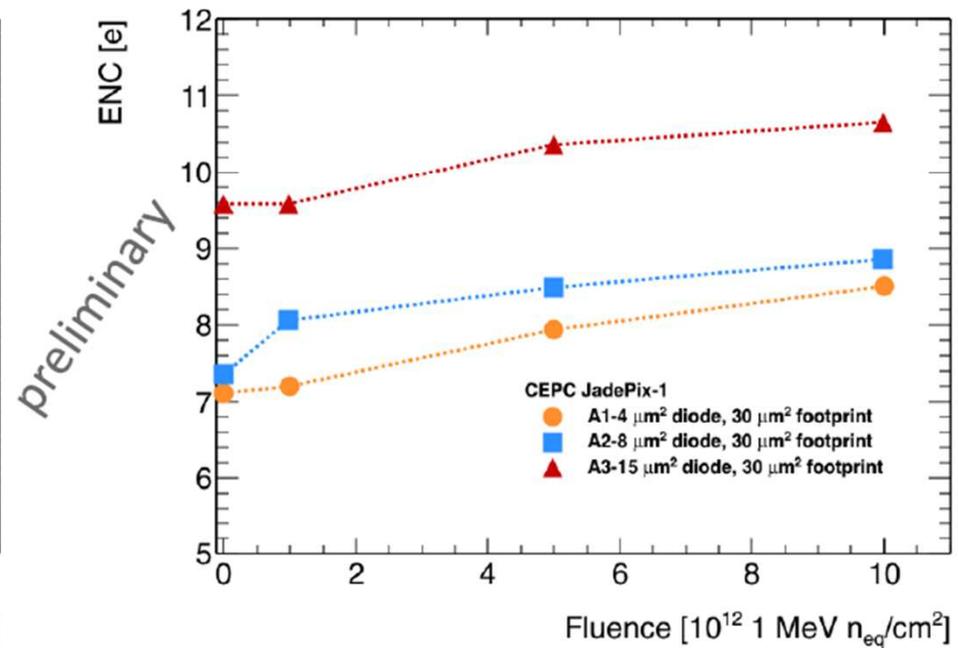
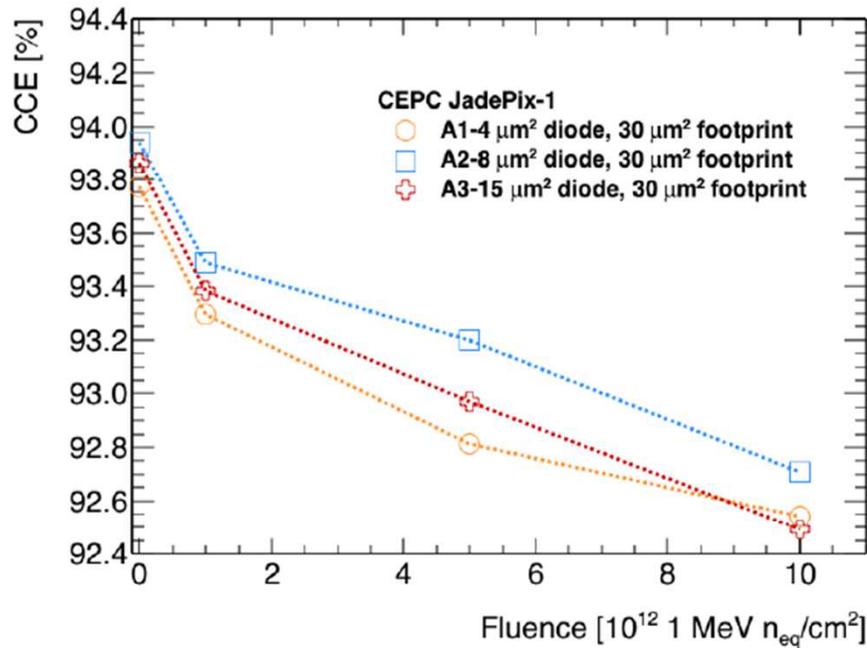
preliminary



Performance After Irradiation



- Charge collection efficiency decreases but noise increases as the neutron fluence goes higher



顶点探测器性能要求及挑战

- 重味夸克高效率标记，要求CEPC探测器的Impact parameter分辨率优于

$$\sigma_{IP} = 5 \oplus 10 / p \cdot \sin^{3/2} \theta \text{ } \mu\text{m}$$

- 对顶点探测器指标提出严峻挑战
 - 空间分辨率优于 $\sigma_{SP} \sim 3 \mu\text{m}$ \rightarrow 小像素尺寸, $\sim 15 \mu\text{m}$
 - 单层总物质量 $\leq 0.15\% X_0$
 - \rightarrow 等效硅厚度 $\leq 150 \mu\text{m}$, 包括sensor、cables、支撑结构
 - Senor功耗 $< 50 \text{ mW/cm}^2$, 风冷技术限制
 - 抗辐照能力: $\sim 100 \text{ kRad/年}$ (总剂量), $10^{11} n_{eq}/(\text{cm}^2 \text{ year})$ (非电离能损)
 - 低探测器占有率 $< 1\%$ \rightarrow 快读出时间, $20 \mu\text{s}$ 或更快

与ILC探测器的区别: 不能采用Power-pulsing工作模式, 低功耗是最主要的设计难点。

预期指标及年度计划

- 拟研制的CMOS硅像素探测器主要指标:

	项目指标	CEPC最终指标
空间分辨率 (μm)	10	3
探测效率	99%	99%
读出时间 (μs)	100	20
探测器功耗 (mW/cm^2)	150	50
抗辐照能力	暂不考虑	$\sim 100 \text{ kRad/年}$ 、 $10^{11} \text{ n}_{\text{eq}}/\text{cm}^2$

- 年度计划:

- ① **2014-2015**: 选定CMOS工艺, 传感器TCAD器件仿真; 提出低功耗读出电子学构架方案及初步设计; 组织技术评估。
- ② **2015-2016**: 提交首次MPW流片; 数据读出方案及设计; 实验室基本性能测试; 完成高精度束流望远镜。
- ③ **2016-2017**: 根据首次流片测试结果调整、改进灵敏区设计, 基本实现主要设计指标。再次流片并取得束流测试结果。