中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences

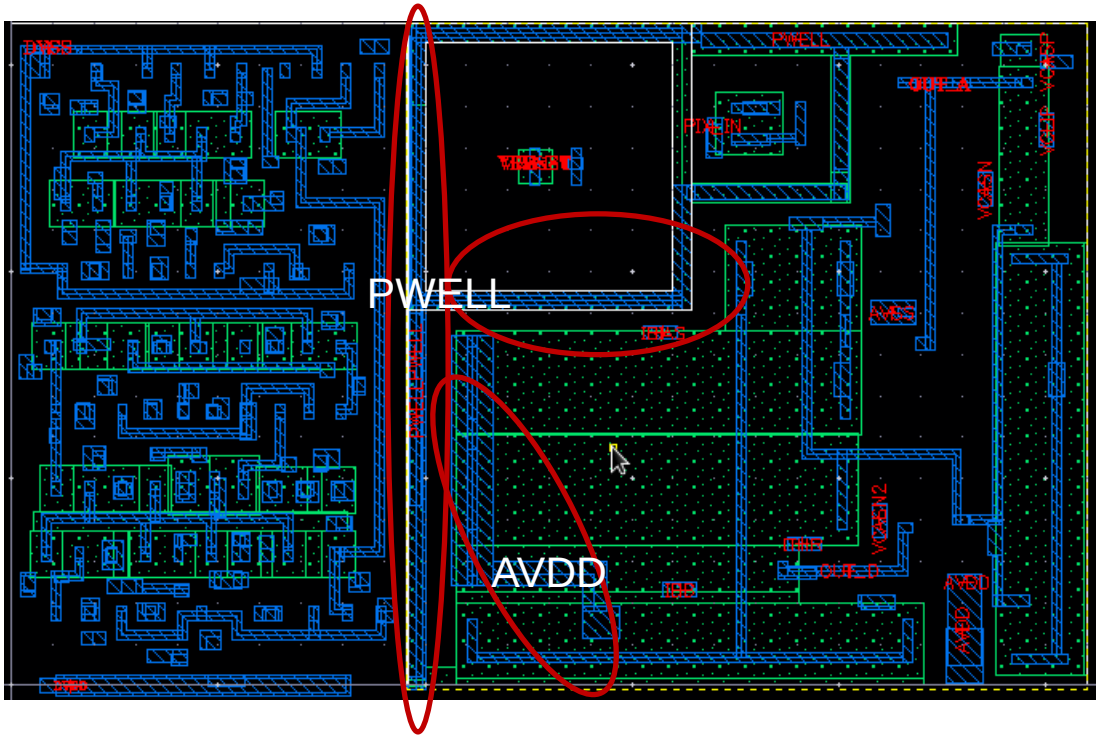
Pixel Matrix Status

Ying ZHANG

2019-7-12

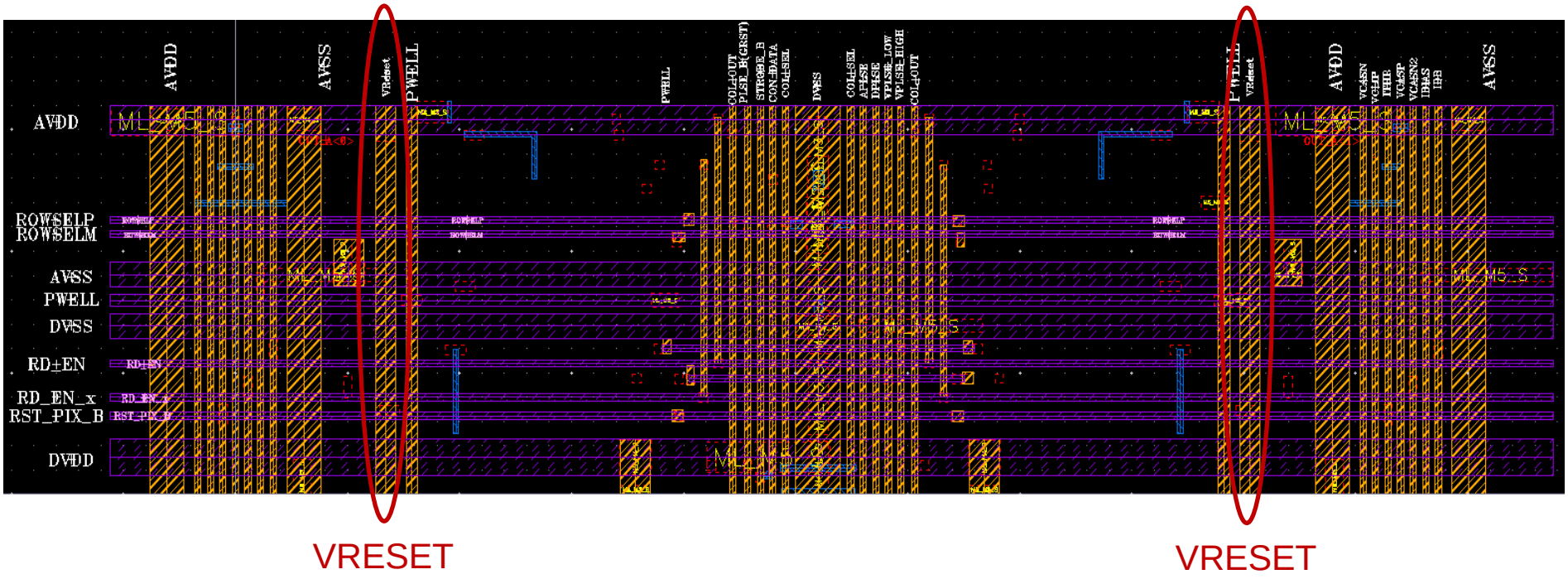
Pixel 版图修改

- **Pixel_S0的DFF输入端D改接DVDD**
- **Pixel_S0/S1/S2/S3:**
  - 增加M1走线宽度 ➔ 增大M1密度，减小PWELL和AVDD电阻，



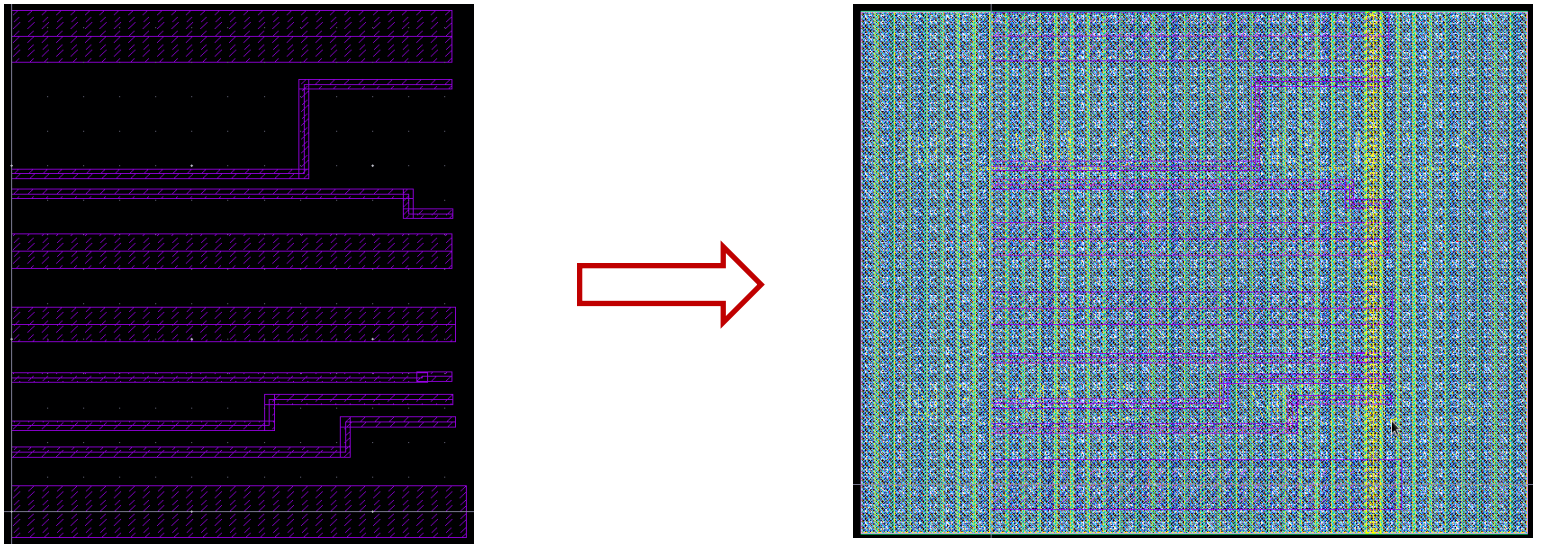
Pixel1x2 版图修改

- **Pixel1x2_S0/S1/S2/S3**
  - 增加VRESET（M4）走线宽度(0.9 um) ➔ 减小电阻，保证较小的IR Drop和均匀的sensor偏置电压
    - VRESET和VPWELL相当，偏置电压会影响sensor电容，如果各像素偏置电压不一致可能会导致sensor电容不同，引起阈值不一致性增加
  - 调整相邻连线，保证满足设计规则



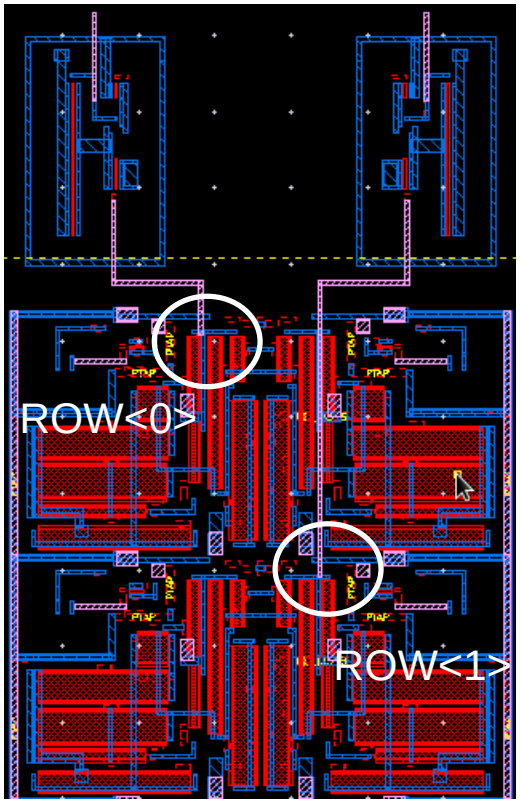
Sector 版图修改

- **相邻Sector之间连线**
  - 增加PWELL Tap，
    - 增加阵列内衬底接触，利于衬底电压均匀分布，可消除P.7.HR错误
  - 增加M2、M3走线，连接至PWELL
    - 增大M2、M3金属密度
- **Sector版图只调用Pixel1x2_S0/S1/S2/S3同一cell的同一版本版图（layout）**
  - 之前调用了layout、layout_L、Layout_R会导致DRC及LVS错误提示无法正确定位



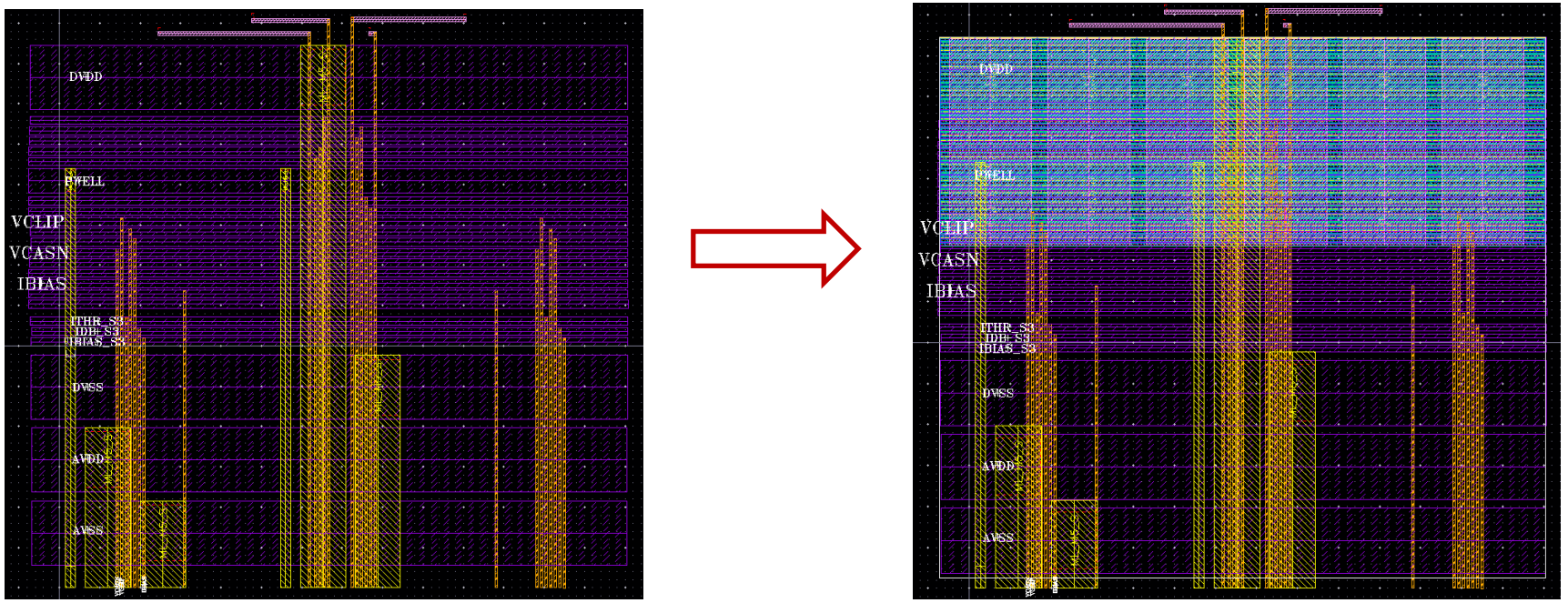
Pixel Matrix

- 每个Sector的16个模拟信号（OUT_A）输出，8个接第一行，8个接第二行



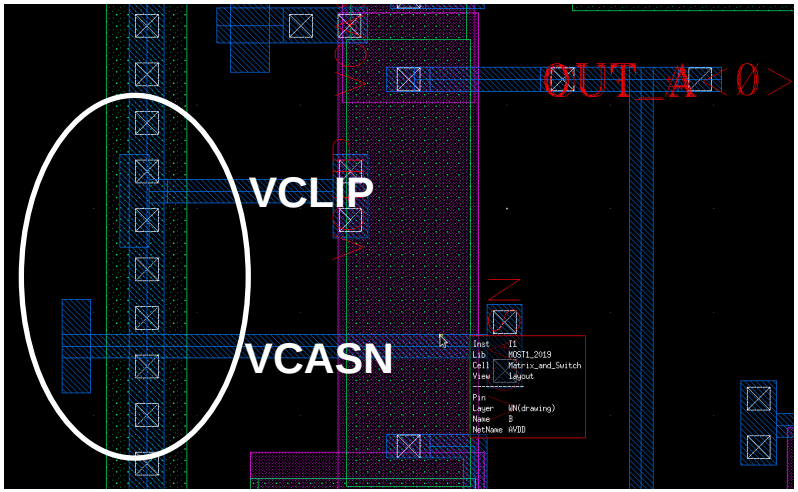
Pixel Matrix

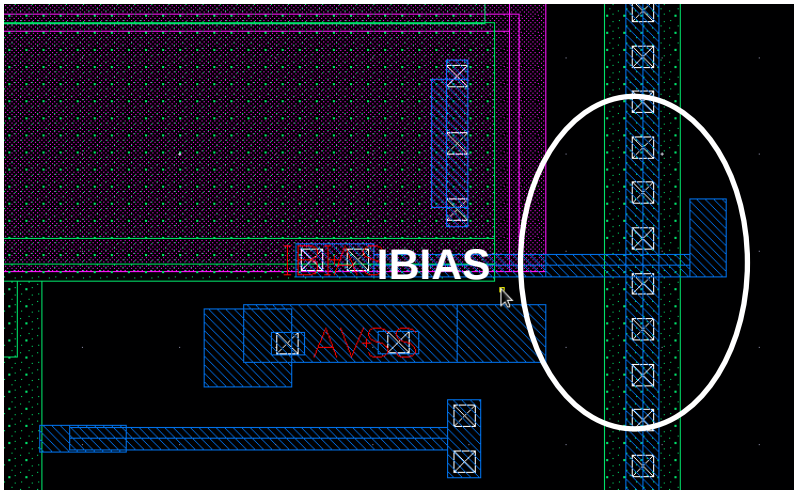
- **每个Sector的顶部的偏置线及电源线修改**
  - VPLSE_LOW、 VPLSE_HIGH增加至1.7 um，因为线上有电流，其他模拟偏置线及数字控制信号线宽度减小至0.9 um
    - CON_DATA、DPLSE、APLSE、STROBE_B、PLSE_B是否需要更窄连线，降低负载？
  - 相邻偏置线M5间距原为0.28 um，修改为0.38 um
  - 偏置线/数字控制信号线与电源/地线间距改为1 um
  - 增加PWELL Tap以及M2、M3 ➔ 增加衬底接触，增大M2/M3密度



Pixel Matrix

- **GuardRing外扩**
  - 原GuardRing与最左侧和最右侧像素单元有信号(M1)短路

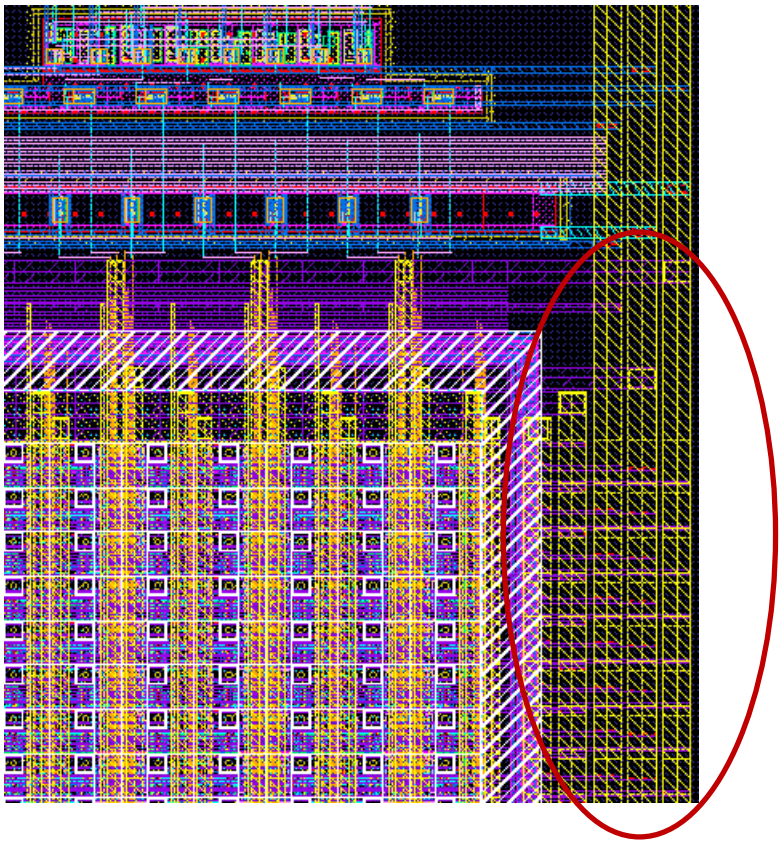




- **在原GuardRing内增加PWELL RING，消除P.7.HR错误**

待完成工作

- 将完成上述修改后的Matrix_SF_GuardRing添加至上一层单元（InterConn_Matrix_and_Switch）,做相应修改，通过DRC及LVS
- 在Matrix右侧填充MOS电容阵列
  - 增加电源线滤波电容，增加M1-M4密度



MOS填充电容示例