

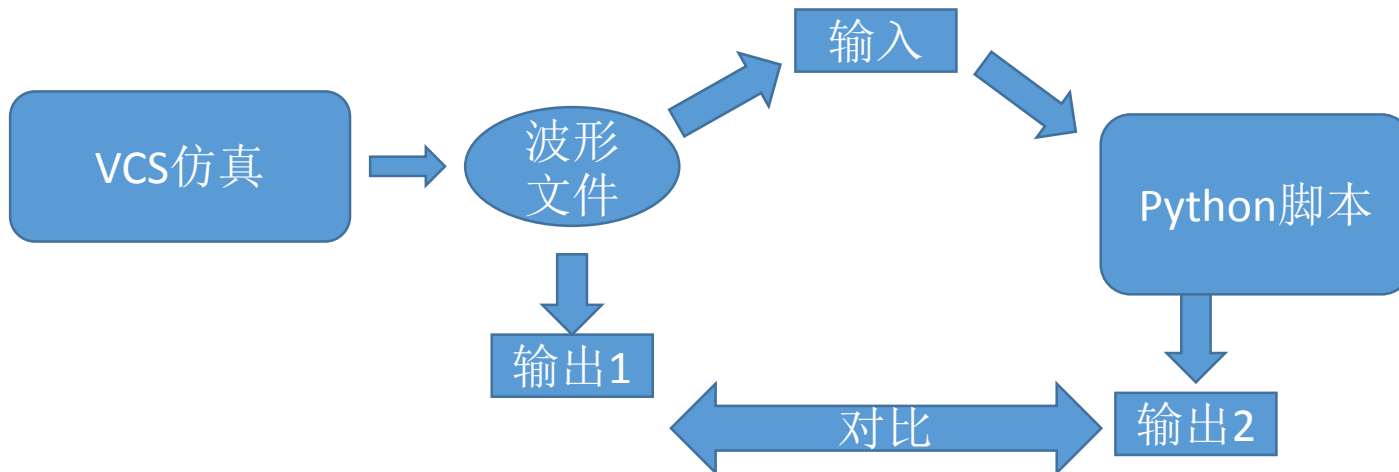
数字外围读出逻辑功能验证

吴志岗

2019.7.11

验证方法

- IO端口与功能定义: RowAddr, Din, RT, BitStream, DataOut
- 使用计算机语言实现输入输出的转换关系
 - 数据编码
 - 8b/10b
- Verilog与Python输出做对比




随机输入激励

```
always @(clk) begin
    if(lock)begin
        addr=addr+1;
        tag={$random(seed)}%16;
        if(tag==4'b0)hit={$random(seed)}%(49'b1<<48);
        else hit=48'b0;|
    end
end

always @(rst) begin
    if(rst[0]==1) #3 hit[2:0]=3'b0;
    else if(rst[1]==1) #3 hit[5:3]=3'b0;
    else if(rst[2]==1) #3 hit[8:6]=3'b0;
    else if(rst[3]==1) #3 hit[11:9]=3'b0;
    else if(rst[4]==1) #3 hit[14:12]=3'b0;
    else if(rst[5]==1) #3 hit[17:15]=3'b0;
    else if(rst[6]==1) #3 hit[20:18]=3'b0;
    else if(rst[7]==1) #3 hit[23:21]=3'b0;
    else if(rst[8]==1) #3 hit[26:24]=3'b0;
    else if(rst[9]==1) #3 hit[29:27]=3'b0;
    else if(rst[10]==1) #3 hit[32:30]=3'b0;
    else if(rst[11]==1) #3 hit[35:33]=3'b0;
    else if(rst[12]==1) #3 hit[38:36]=3'b0;
    else if(rst[13]==1) #3 hit[41:39]=3'b0;
    else if(rst[14]==1) #3 hit[44:42]=3'b0;
    else if(rst[15]==1) #3 hit[47:45]=3'b0;
    else ;
end
```

模拟稀疏击中，保证
FIFO不会被写满



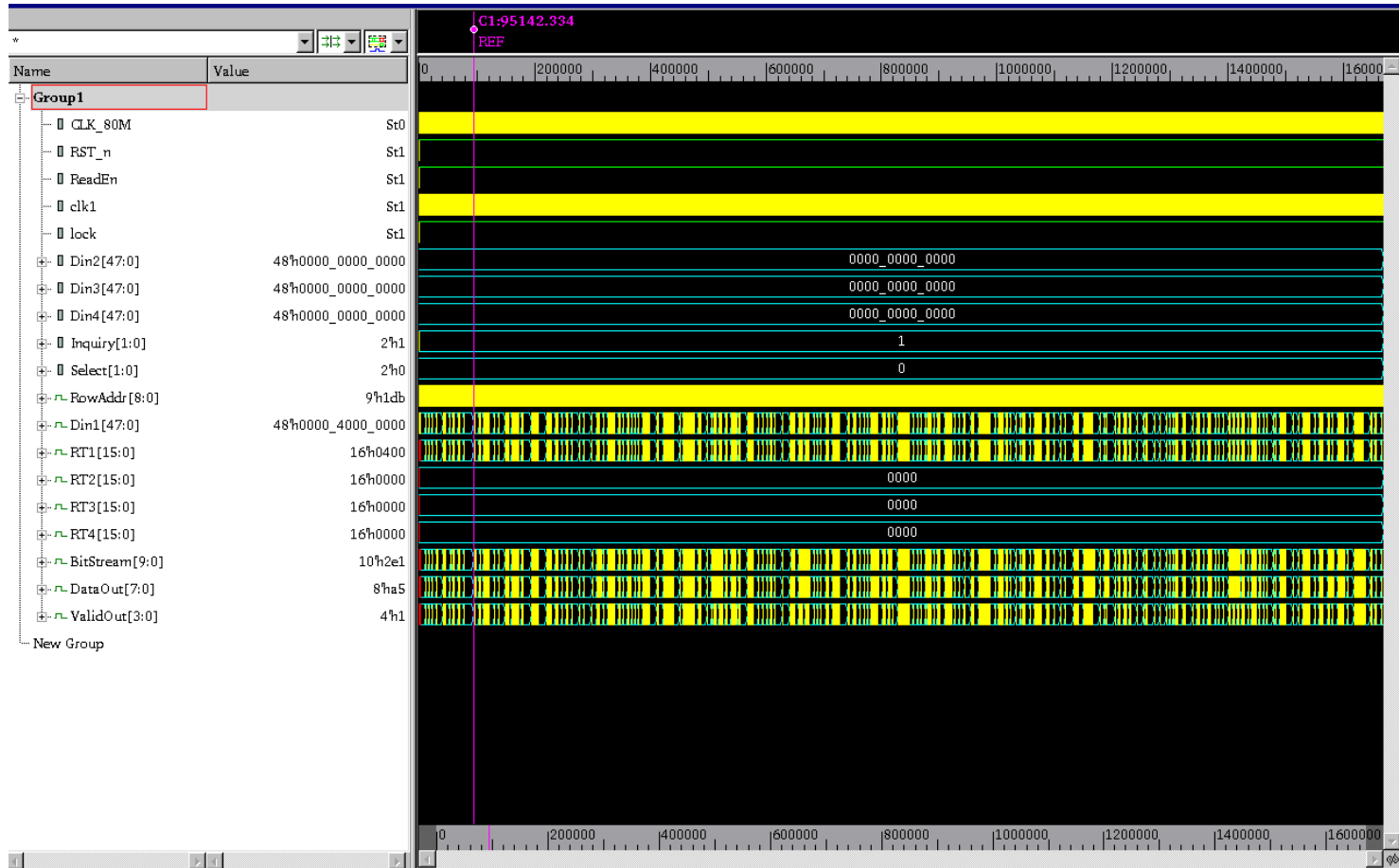
检查方式

- DataOut: 将输入转换后和DataOut分别压入两个列表，比较列表是否相等
- RT: 判断RST信号是否满足要求
- BitStream: 判断是否满足8b/10b规则

发现的问题

- 每行最后一个击中的低8位有误
- FIFO写满两轮后，数据读出有误
- FIFO写完若干轮后会读出若干个FIFO容量的错误数据

前两个问题发现时，华师那边已经发现了。
现在所有问题都已解决。



目前已验证了单个bank的输出正确性，包括RT1，BitStream，DataOut。后续考虑进行更复杂场景的验证，并进行数模混合的验证。