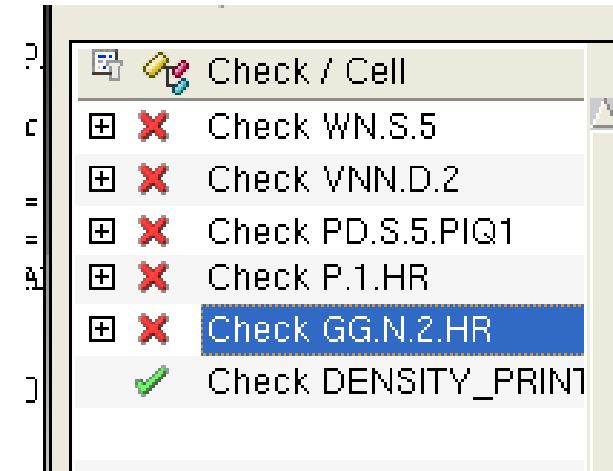


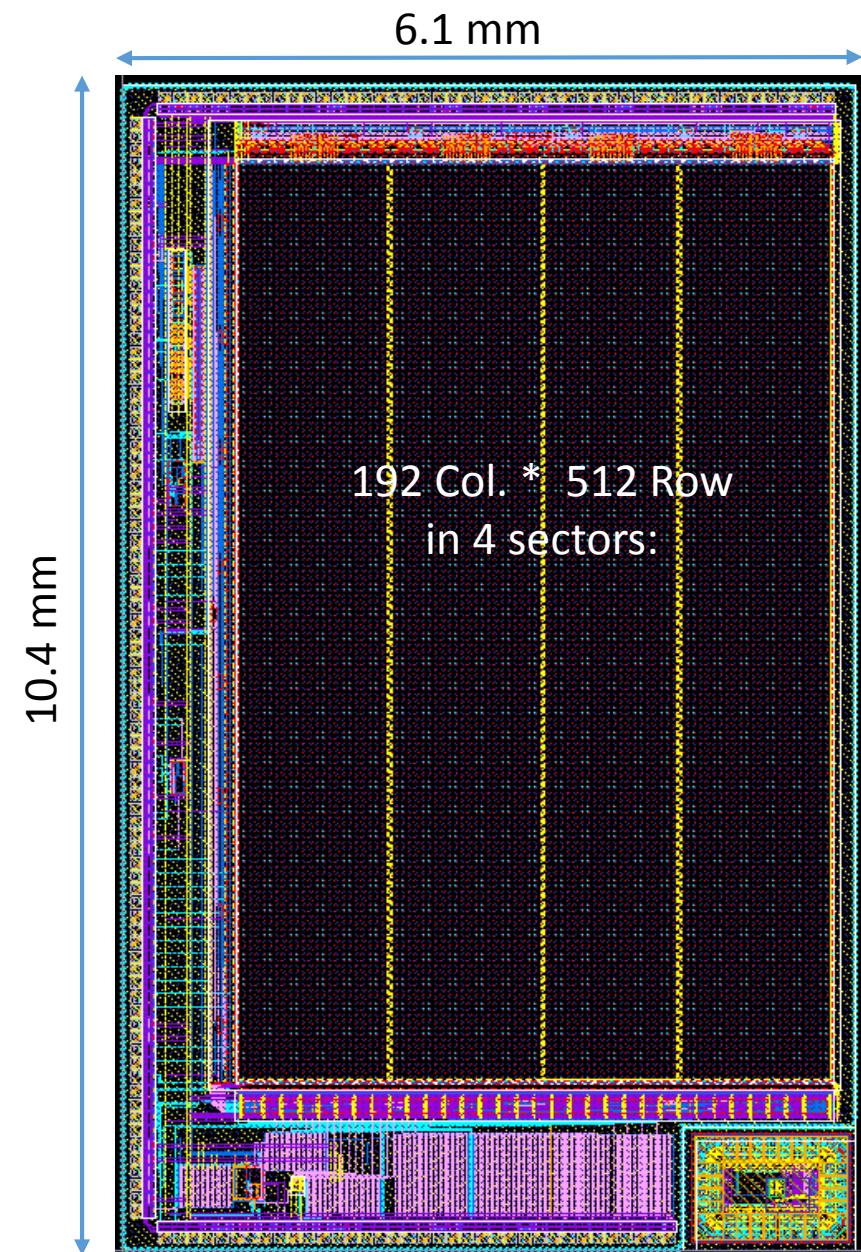
MOST1_2019 芯片概要

-----Yang ZHOU 2019.09.27

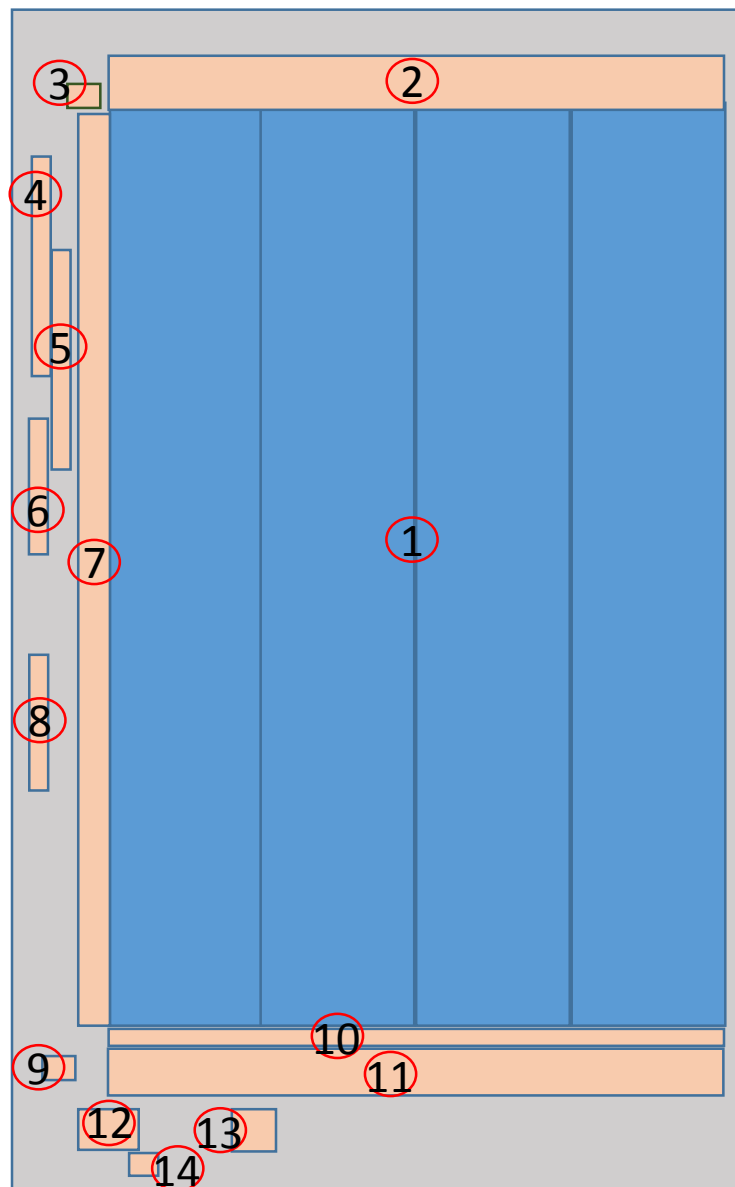
- **Layout**整体概览
- 电源网络及分区情况
- 主要的时钟、信号和数据网络



- **DRC** 剩余如上图，可wave
- **ANTENNA clean**
- **LVS:**
 - ✓ Serializer和PLL模块是BOX形式；
 - ✓ PerpheraReadOut以cdl文件的形式；
 - ✓ 其他以schematic的形式

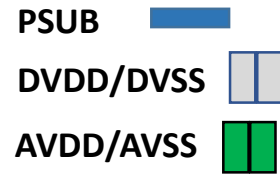


165 Pads



编号	模块
1	Matrix: 4*48*512 pixels
2	Col . Decoder+ A/D switches & buffers for test
3	Analogue output buffer
4	DAC
5	Serial Interface
6	Bandgap + buffer
7	Row decoder
8	RSDS
9	LVDS receiver
10	Cache
11	Peripheral Readout
12	PLL
13	Serializer
14	LVDS receiver

电源网络及分区：



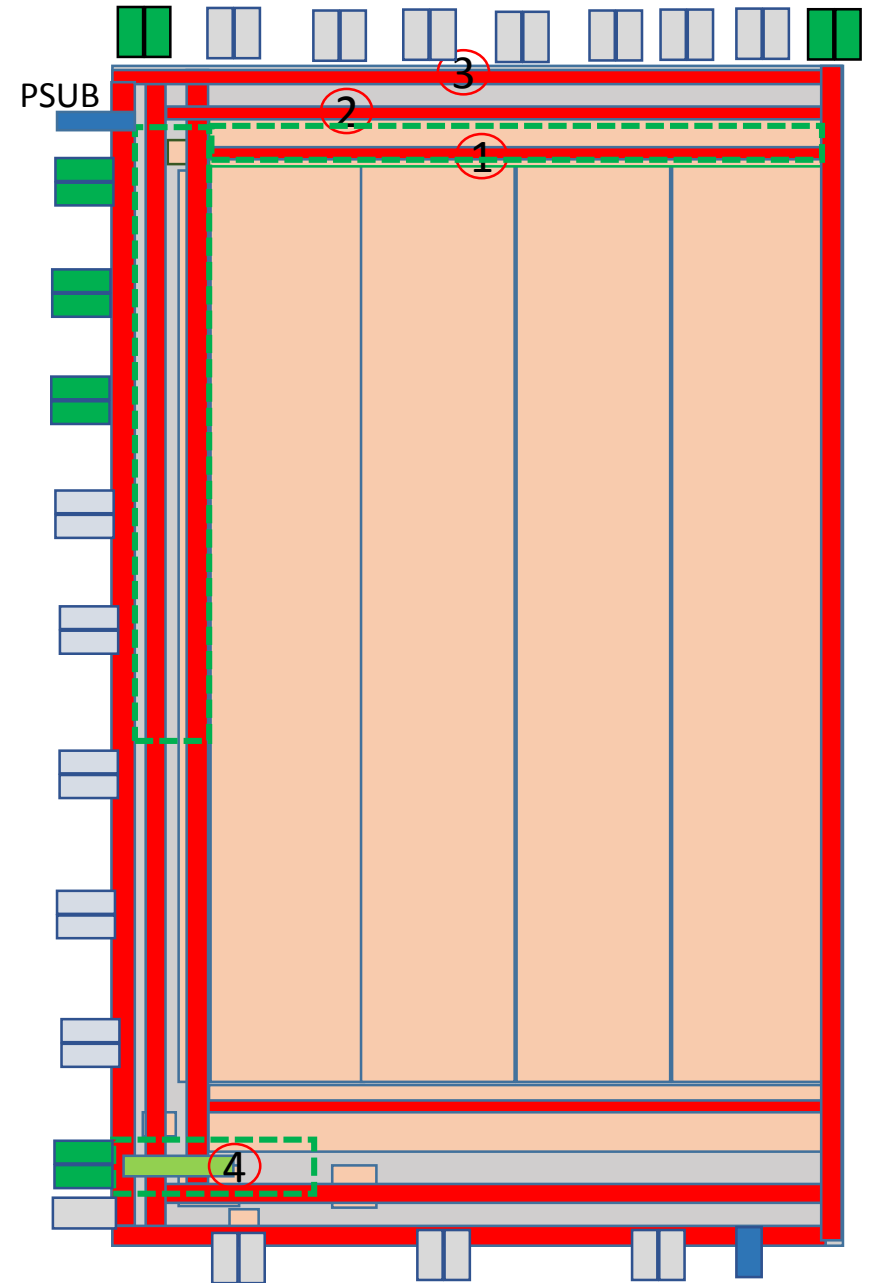
1.包括pad ring在内的三圈相互连接的网络（红色实线1， 2, 3）：

AVDD/AVSS DVDD/DVSS PSUB

2. 除matrix之外，绿色虚线区域内为使用模拟电源网络集中区域，包括模拟像素输出相关的SF，开关等，模拟buffer， DAC, Bandgap；
4号区域为PLL以及为其提供高速时钟的一个LVDS reveiver模块，使用一组模拟电源、地PAD单独供电，没有接入1,2的电源网络；其他均接入数字电源、地网络

3. Matrix之外的模块，置于深N阱（WB）之中，其他区域覆盖深P阱（WPD），通过均匀分布的P型有源区接触连接到PSUB电平

4. 6 对儿模拟电源PAD， 15对儿半数字电源PAD， 2个PSUB电平PAD



主要的时钟、信号和数据网络:

